硬件描述训练2（第八次1、2）实验报告

软件1801 肖云杰 201826010113

（本次实验做完了基于D、C级任务的B级任务，报告如下）

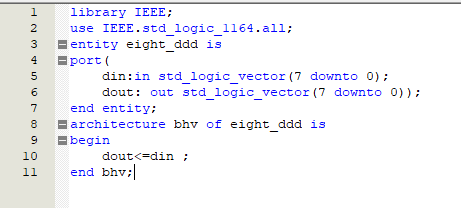
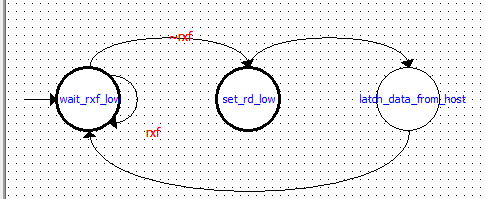
（D、C级任务的文件部分已经根据B更改，图片可能会超出等级）

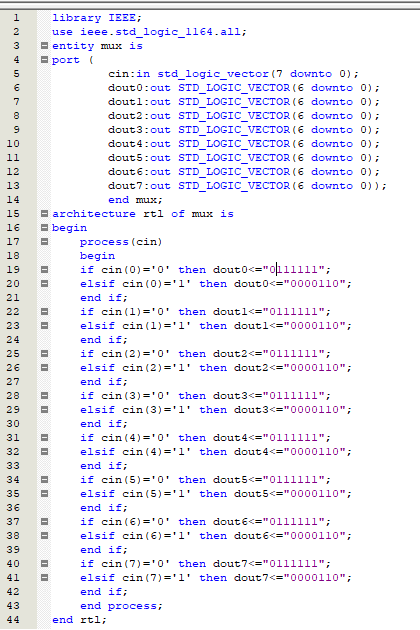
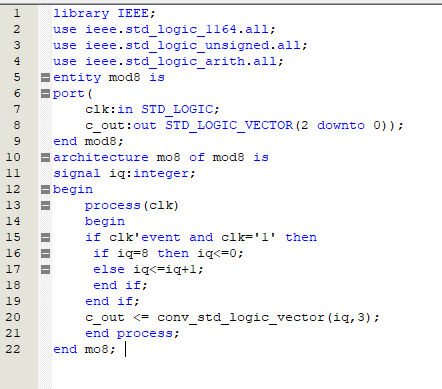
**D级任务、C级任务**

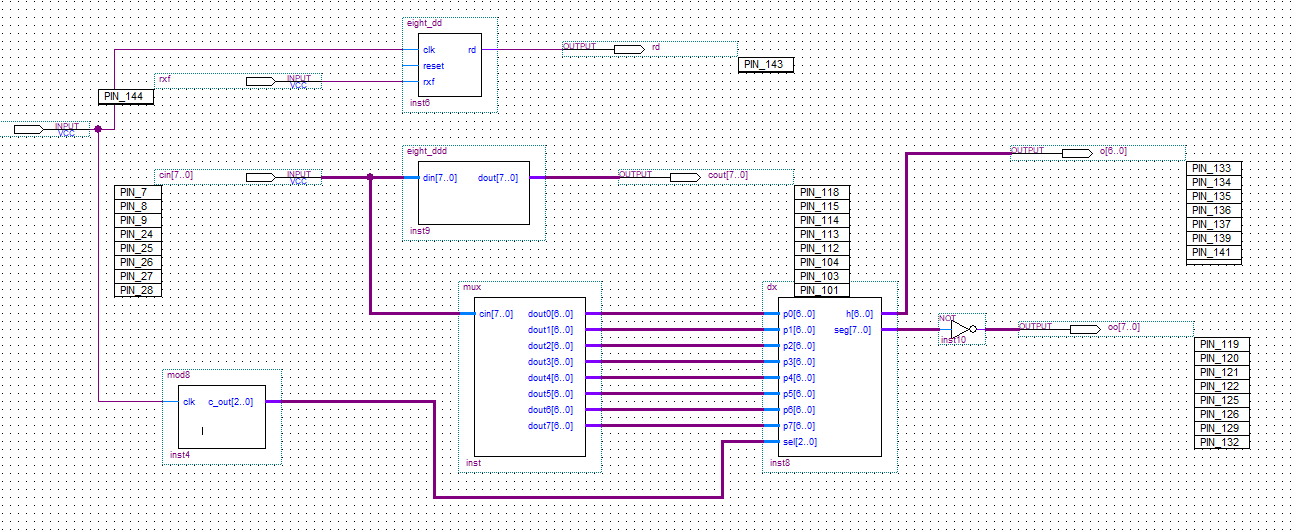
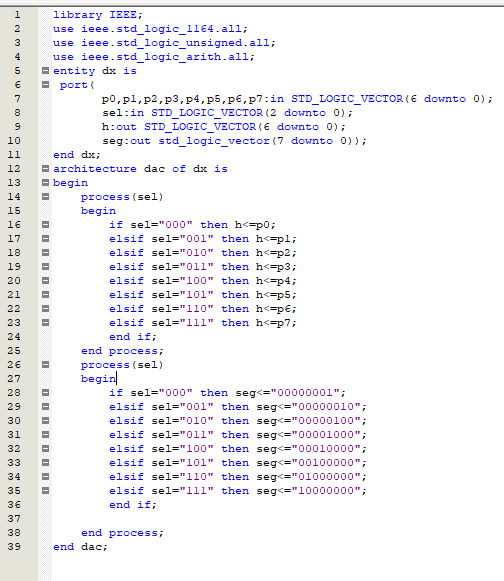
使用状态图生成实验VHDL文件的基本框架，将状态图作修改，使其不包括输入输出（变得容易处理），同时输入输出文件，单独写VHDL文件，分别作为模块，加入到顶层文件中。

加入时钟信号，手动重写模八计数器，使模八计数器能将时钟信号转化为8位的位选信号，并根据位选信号，从8位二进制（0，1）输入中选取相应位，选取其段选信号位，显示。

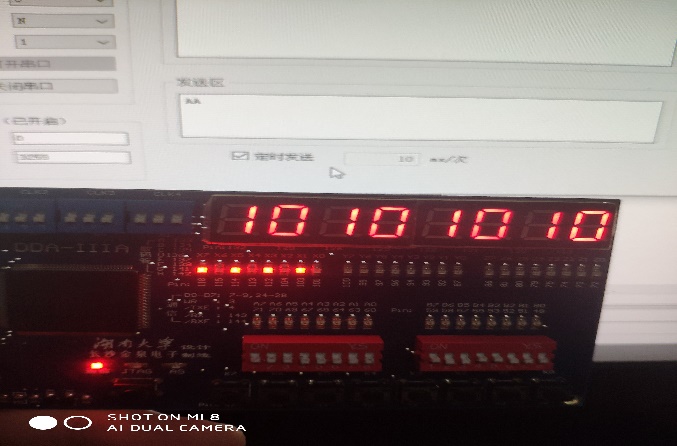
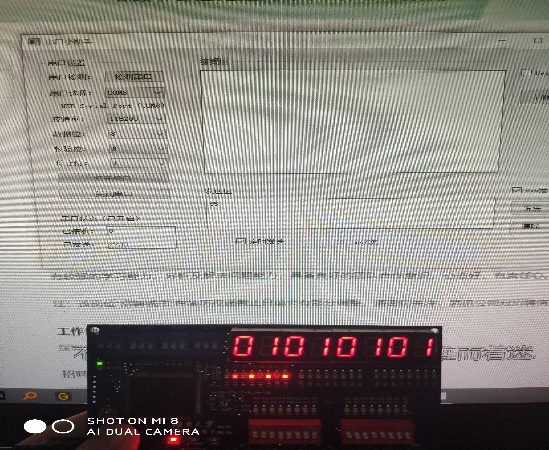
状态图和部分VHDL文件如下







**结果图如下**

****

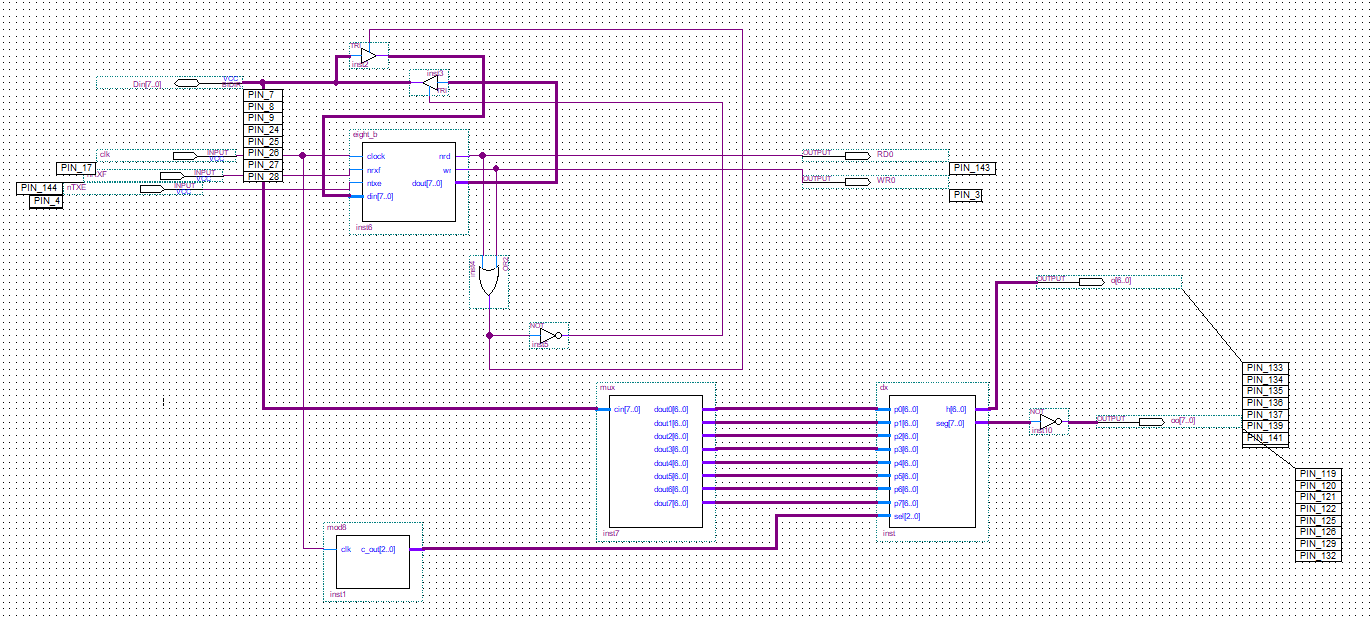
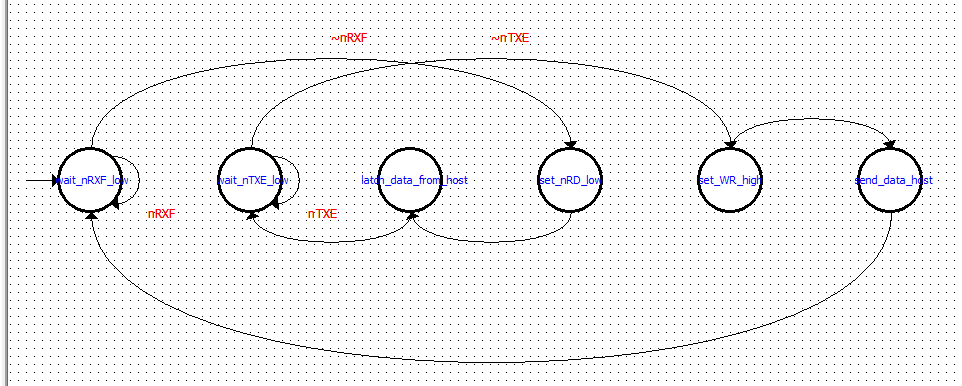
**部分分析**

数码管显示正确，选用AA和55是因为AA和55包括了所有的数码管，可以全方位检测问题。

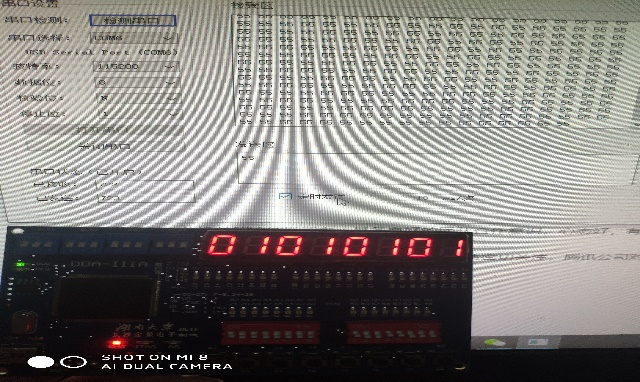
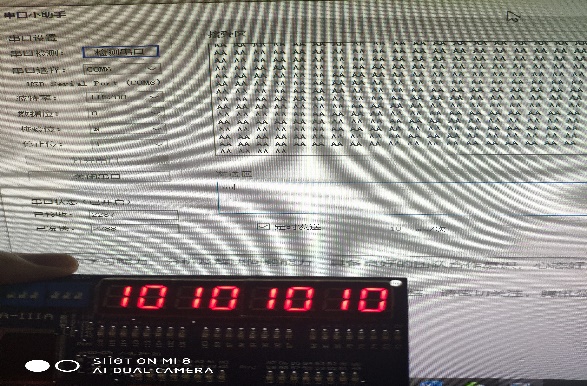
**B级任务**

采用状态图，实现基本底层的VHDL文件，在其中修改，得到正确的VHDL，数码管显示电路同C级任务，连接输入，分配管脚即可

**底层图如下（其余VHDL相同）**



**验证正确图如下**

****

**总结**

本次实验中，遇到问题，其中

1. 位选信号低电平有效（debug了一个多小时才发现）-> 需要注重基础知识
2. 手写模八计数器和译码器和位选选择时，发现VHDL语法还是不是特别熟悉，部分代码需要参考之前写过的代码来写。

了解了状态图输入法的优点，极容易生成基本底层状态图，不过细节处理比较困难（可能是因为我还不太熟悉），可以在通过状态图生成的VHDL的文件上，修改VHDL的基本代码。然后再整合相关模块文件，进行不同模块的测试。

实现了上位机和实验板的相互通信，看到数据传输成功，在实验板的数码管上成功显示，有一种终于成功了的自豪感（修改数码管耗时4h）