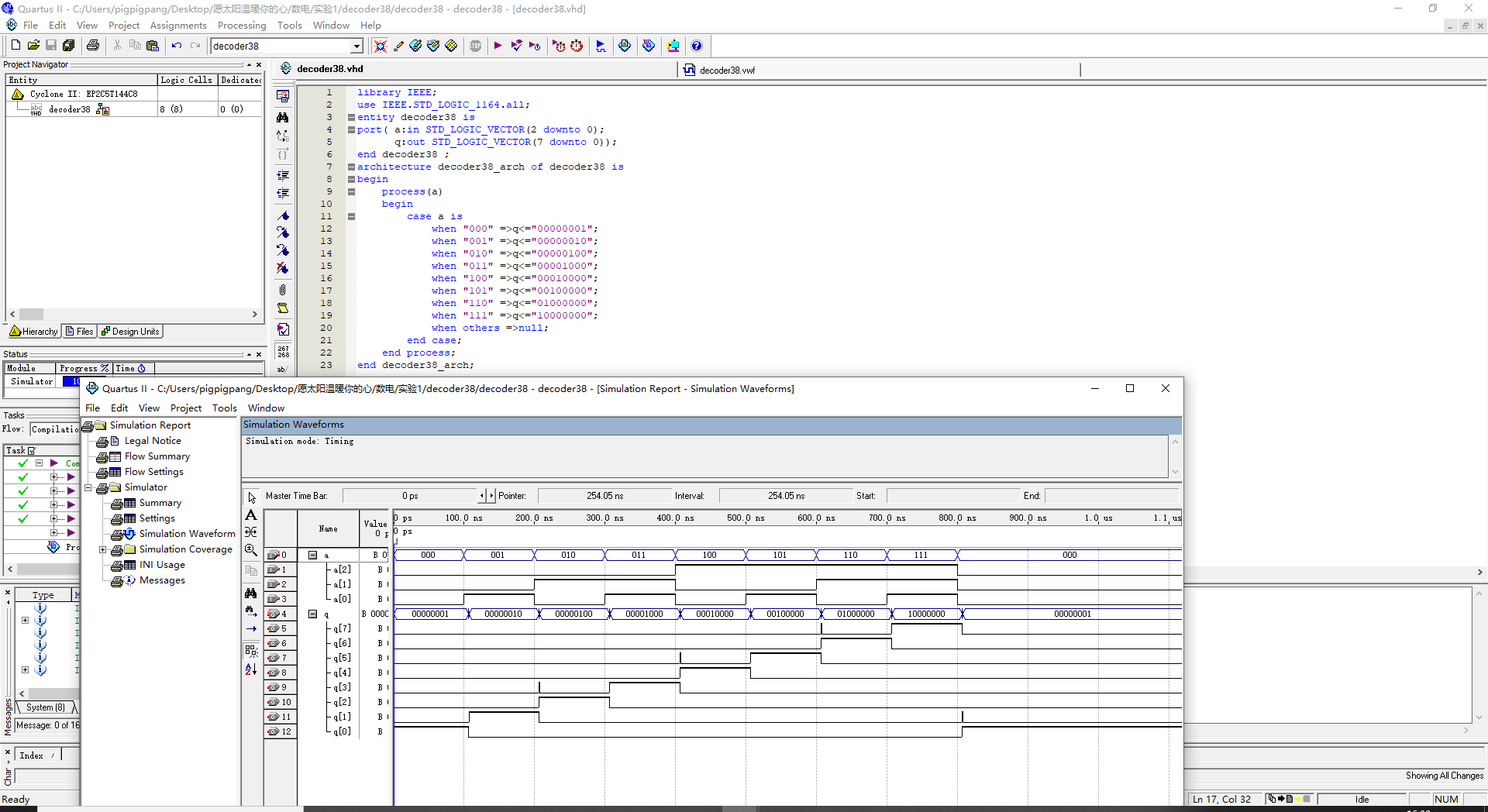
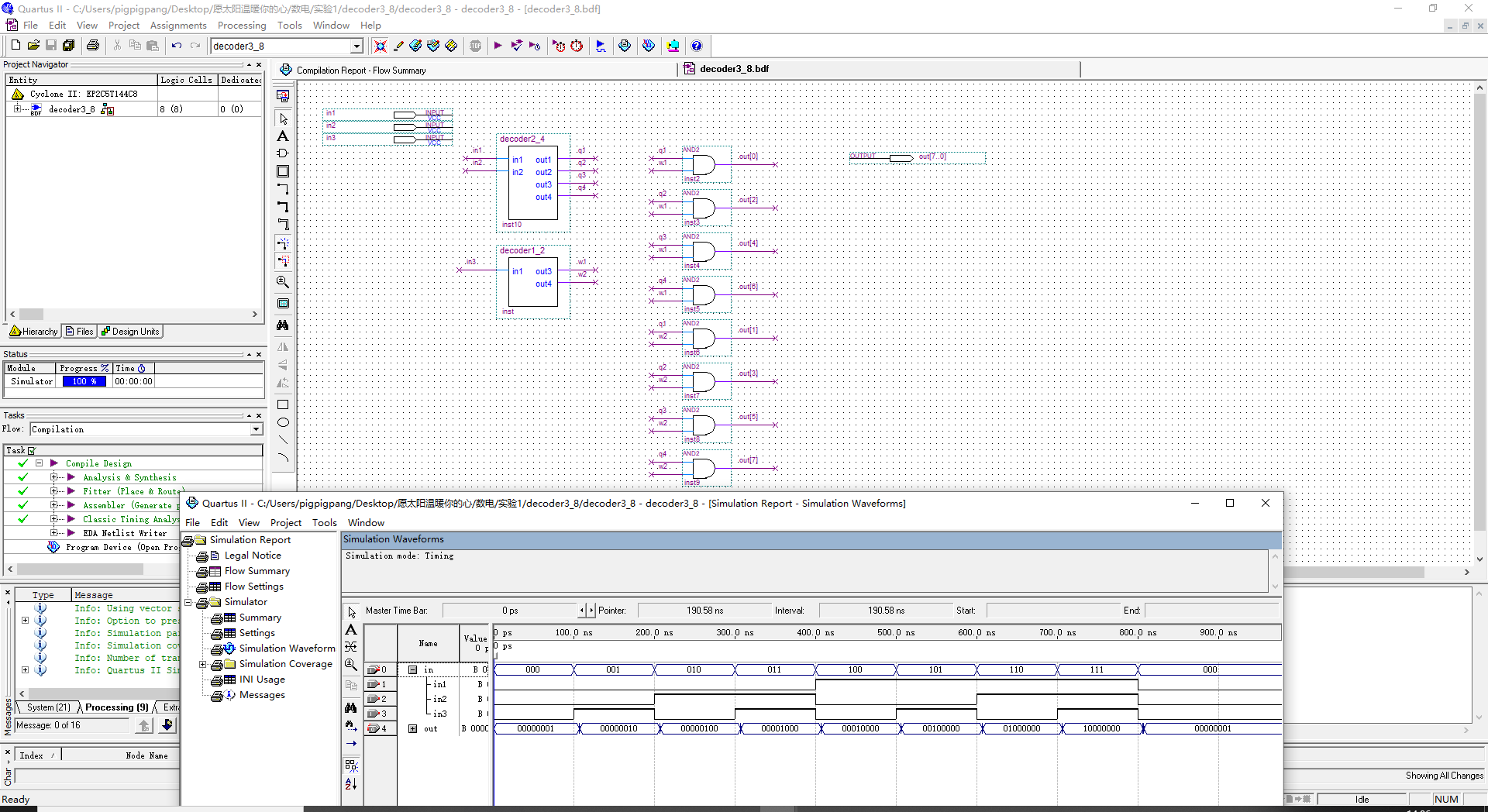
1.

3-8译码器的VHDL语言实现



3-8译码器的原理图实现



2. 模型机指令译码器的VHDL程序

