

[个人主页](#) / 我的课程 / [数字系统实验](#) / 第一次课 / 训练1

**开始时间** 2017年10月22日 星期日 17:25

**状态** 完成

**完成于** 2017年10月22日 星期日 17:38

**耗时** 13 分钟 48 秒

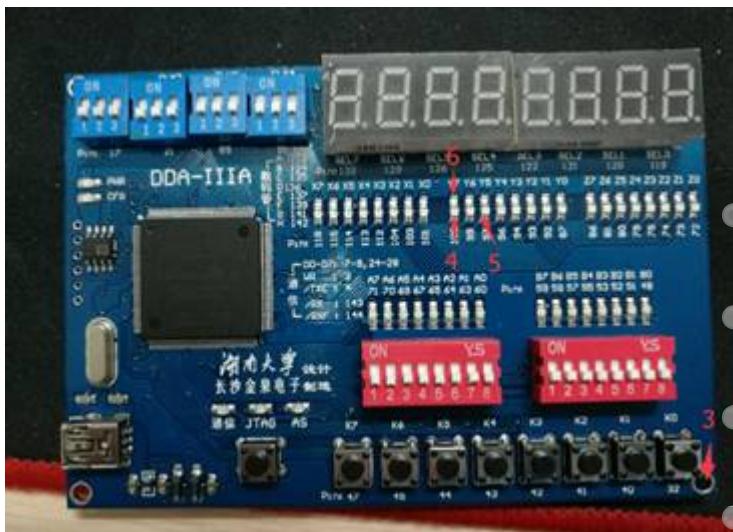
**成绩** 30.00/满分31.00 (97%)

### 题目1

完成

获得1.00分中的1.00分

要用万用表测量图中LED灯两端的电压，下列选项中正确的是：



红表笔接4 黑表笔接3

选择一项：

- a. 红表笔接4, 黑表笔接6
- b. 红表笔接3, 黑表笔接4
- c. 红表笔接6, 黑表笔接3
- d.

**题目2**

完成

获得1.00分中的1.00分

DDA-IIIA型实验板数码管上位选信号对应管脚号为\_\_\_\_\_

选择一项:

- a. p132 p129 p126-125 p122-119
- b. p133-137 p139-142
- c. p4-5 p20-25

**题目3**

完成

获得1.00分中的1.00分

英文软件开发流程如何记忆?

选择一项:

- a. Tell me, I'll forget. Show me, I may remember. But involve me and I'll understand
- b. 不知道
- c. Exercise, exercise, and exercise

**题目4**

完成

获得1.00分中的1.00分

数码管显示的原理\_\_\_\_\_

选择一项或多项:

- a. 动态扫描
- b. 不知道
- c. 人眼视觉暂留
- d. 每位数码管显示间隔足够短

**题目5**

完成

获得1.00分中的1.00分

下图是万用表的实物图，要用该万用表测量数码管的类型应该用图中哪个档位



选择一项：

- a. 1
- b. 2
- c. 3
- d. 4

**题目6**

完成

获得1.00分中的1.00分

**实验室的安全管理知识**

选择一项或多项:

- a. 离开时整理好各自的桌子与椅子，废纸废物带离实验室，椅子收放到桌子下
- b. 实验室禁止玩游戏
- c. 禁止喧哗
- d. 实验室禁止吃东西
- e. 最后离开实验室需要关门、关窗、关电、关空调

**题目7**

完成

获得1.00分中的1.00分

**本期课程的考核方式**

选择一项:

- a. 作业+验收
- b. 测试
- c. (考勤+课后题库完成+日志) 30%+在线题库测试 (30%) +综合1 (验收+报告) 20%+大综合 (验收+报告) 20%
- d. 不清楚

**题目8**

完成

获得1.00分中的1.00分

**单个实验的流程**

选择一项：

- a. 不知道
- b. 设计输入→仿真及调试→下载及调试→工程结束
- c. 工程方案立项→开发环境安装→设计输入→分析综合→仿真及调试→下载及调试→工程结束
- d. 开发环境安装→工程方案立项→设计输入→仿真及调试→下载及调试→工程结束

**题目9**

完成

获得1.00分中的1.00分

**下列关于示波器的说法正确的是**

选择一项或多项：

- a. 示波器利用狭窄的、由高速电子组成的电子束，打在涂有荧光物质的屏面上，就可产生细小的光点（这是传统的模拟示波器的工作原理）
- b. 利用示波器能观察各种不同信号幅度随时间变化的波形曲线，还可以用它测试各种不同的电量，如电压、电流、频率、相位差、调幅度等等
- c. 在被测信号的作用下，电子束就好像一支笔的笔尖，可以在屏面上描绘出被测信号的瞬时值的变化曲线
- d. 示波器是一种用途十分广泛的电子测量仪器。它能把肉眼看不见的电信号转换成看得见的图像，便于人们研究各种电现象的变化过程。

**题目10**

完成

获得1.00分中的1.00分

JTAG下载文件选择\_\_\_\_\_

选择一项:

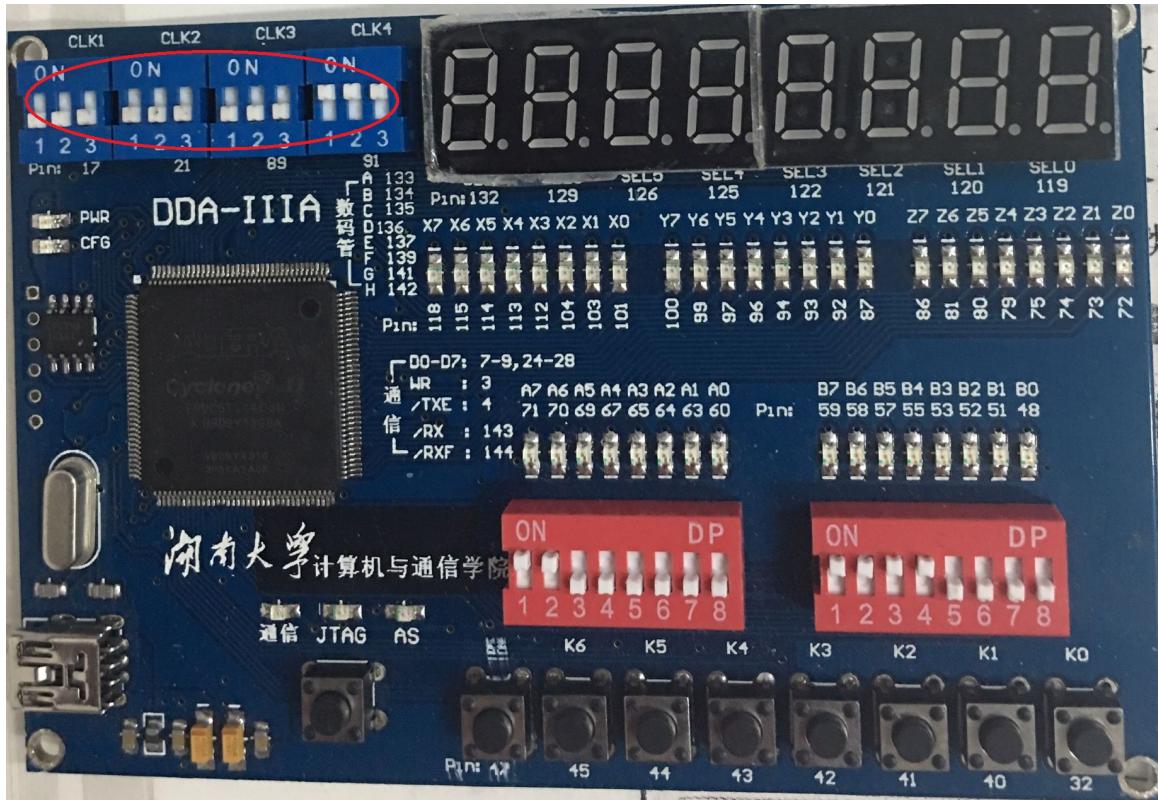
- a. \*.sof
- b. \*.scf
- c. \*.vwf
- d. \*.pof

## 题目11

完成

获得1.00分中的1.00分

下图1-3中红色圈内对应的时钟信号频率最低的管脚号以及频率最高的管脚号分别是\_\_\_\_\_。



选择一项：

- a. CLK3(P89) 和 CLK4(P91)
- b. CLK4(P91) 和 CLK1(P17)
- c. CLK1(P17) 和 CLK4(P91)
- d. CLK1(P17) 和 CLK2(P21)
- e. CLK2(P21) 和 CLK4(P91)

**题目12**

完成

获得1.00分中的1.00分

DDA-IIIA型实验板上用的FPGA主芯片为\_\_\_\_\_

选择一项：

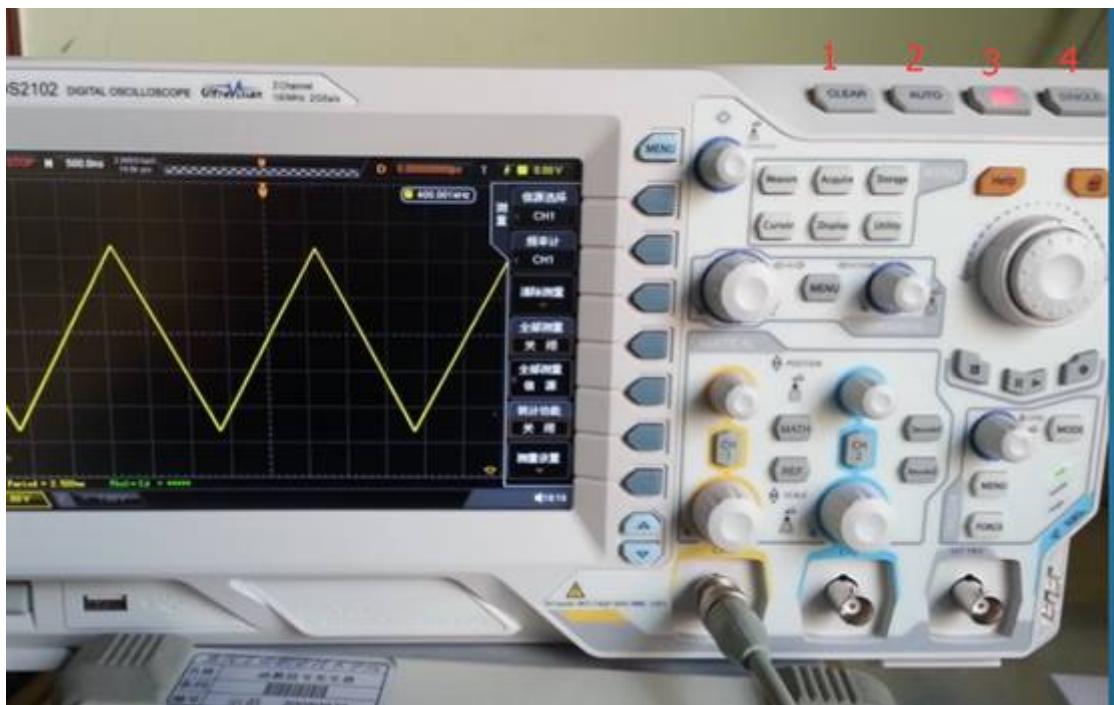
- a. 不知道
- b. cyclone系列的ep1c3t100c8n
- c. cyclone系列的ep2c5t144c8
- d. flex系列的10k20

**题目13**

完成

获得1.00分中的1.00分

要用示波器观测FPGA电路板上某个引脚的信号，将对应信号线正确连接之后，开始测量时第一步应该按下图中对应的哪个按键。



选择一项：

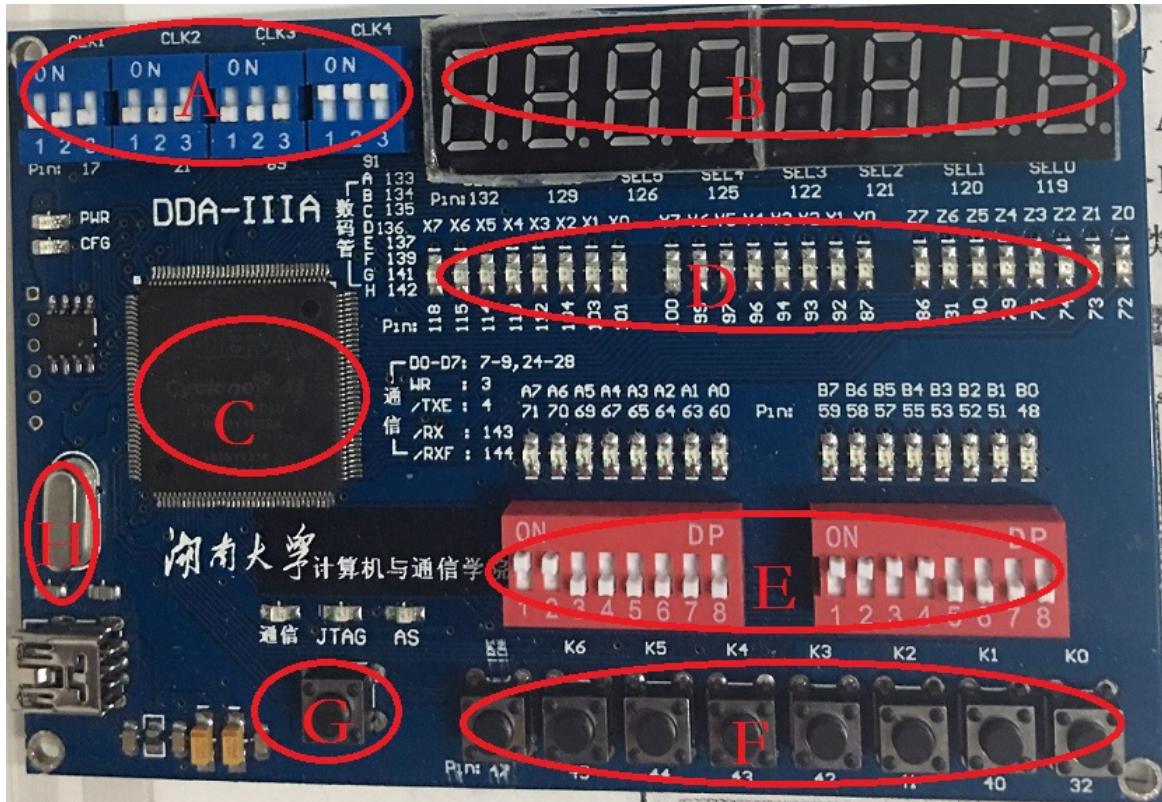
- a. 2
- b. 4
- c. 1
- d. 3

**题目14**

完成

获得1.00分中的0.00分

下图中A的时钟源来自于\_\_\_\_\_



选择一项：

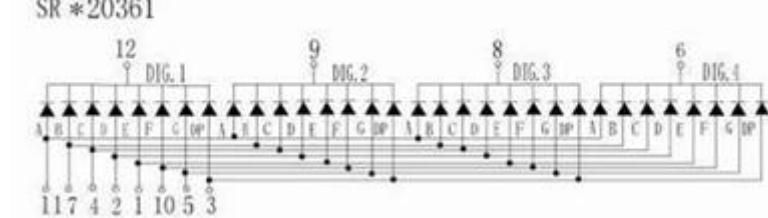
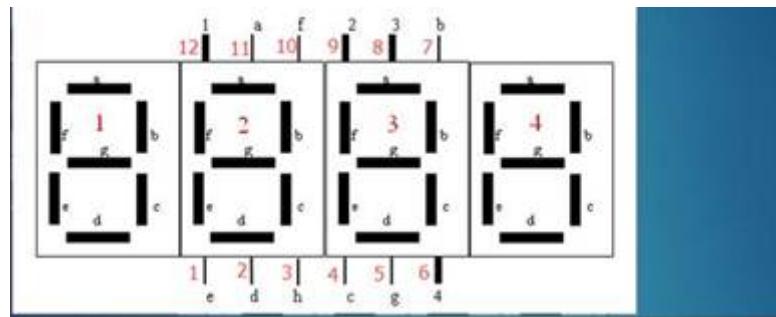
- a. C
- b. E
- c. D
- d. G
- e. H

**题目15**

完成

获得1.00分中的1.00分

1. 下图中数码管的位选信号对应的管脚号是\_\_\_\_\_



选择一项：

- a. 红色序号11 7 4 2 1 10 5 3
- b.

红色序号12 9 8 6

- c. 红色序号1234
- d. 黑色序号1 2 3 4

**题目16**

完成

获得1.00分中的1.00分

## 本期课程内容安排

选择一项或多项：

- a. 在线题库测试、综合项目2（大综合）
- b. 数码管显示、组合电路、触发器、移位寄存器、计数器、大综合实验
- c. 综合项目1、验收或测试、功能仿真训练、验收或测试、VHDL编程训练
- d. 数码管显示案例、仿真专题训练、硬件语言编程训练、大综合项目或倒车雷达

**题目17**

完成

获得1.00分中的1.00分

下列关于万用表的说法正确的有哪些

选择一项或多项：



a.

数字万用表是目前最常用的一种数字仪表。其主要特点是准确度高、分辨率强、测试功能完善、测量速度快、显示直观、过滤能力强、耗电省，便于携带。



b. 有的万用表还可以测量晶体管的主要参数以及电容器的电容量等。充分熟练掌握万用表的使用方法是电子技术的最基本技能之一。



c. 万用表是由磁电系电流表(表头),测量电路和选择开关等组成的。通过选择开关的变换,可方便地对多种电学参量进行测量。



d. 万用表是一种带有整流器的、可以测量交、直流电流、电压及电阻等多种电学参量的磁电式仪表。对于每一种电学量,一般都有几个量程。

**题目18**

完成

获得1.00分中的1.00分

AS下载文件选择\_\_\_\_\_

选择一项：



a. \*.qdf



b. \*.sof



c. \*.bsf



d. \*.pof

**题目19**

完成

获得1.00分中的1.00分

将下载电缆线与PC机USB接口以及实验板相连接，接下来将进行下载操作，实验板上的模式选择完毕之后，quartusII软件应选择哪种命令，进入下载窗口\_\_\_\_\_

选择一项：

- a. processing→compiler tool
- b. processing→simulator tool
- c. tool→programmer

**题目20**

完成

获得1.00分中的1.00分

实验板上的数码管的特性\_\_\_\_\_

选择一项：

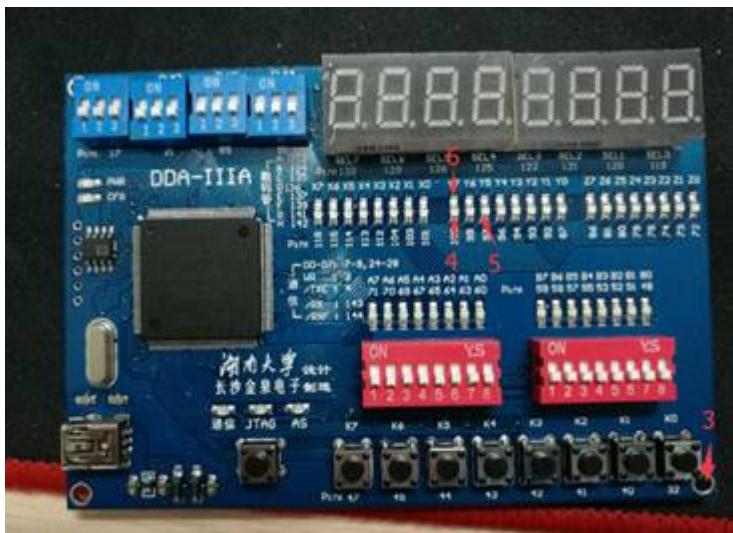
- a. 共阳极
- b. 共阴极
- c. 半阴半阳
- d. 不知道

**题目21**

完成

获得1.00分中的1.00分

用示波器测量FPGA实验板上管脚100上的信号，下列连接方式正确的是。



选择一项：

- a.  
1接4, 2接6
- b.  
1接6, 2接4
- c.  
1接3, 2接4
- d.  
1接4, 2接5

**题目22**

完成

获得1.00分中的1.00分

## 本期课程考核成绩分布

选择一项：

- a. 设计流程30+仿真技能30+编程训练20+大综合20
- b. (考勤+题库+日志) 30%+ (在线题库测试) 30%+综合1验收和报告20%+大综合验收和报告20%
- c. 不知道
- d. 设计流程30+仿真机能20+硬件描述20+大综合30

**题目23**

完成

获得1.00分中的1.00分

## 本期实验课培训技能

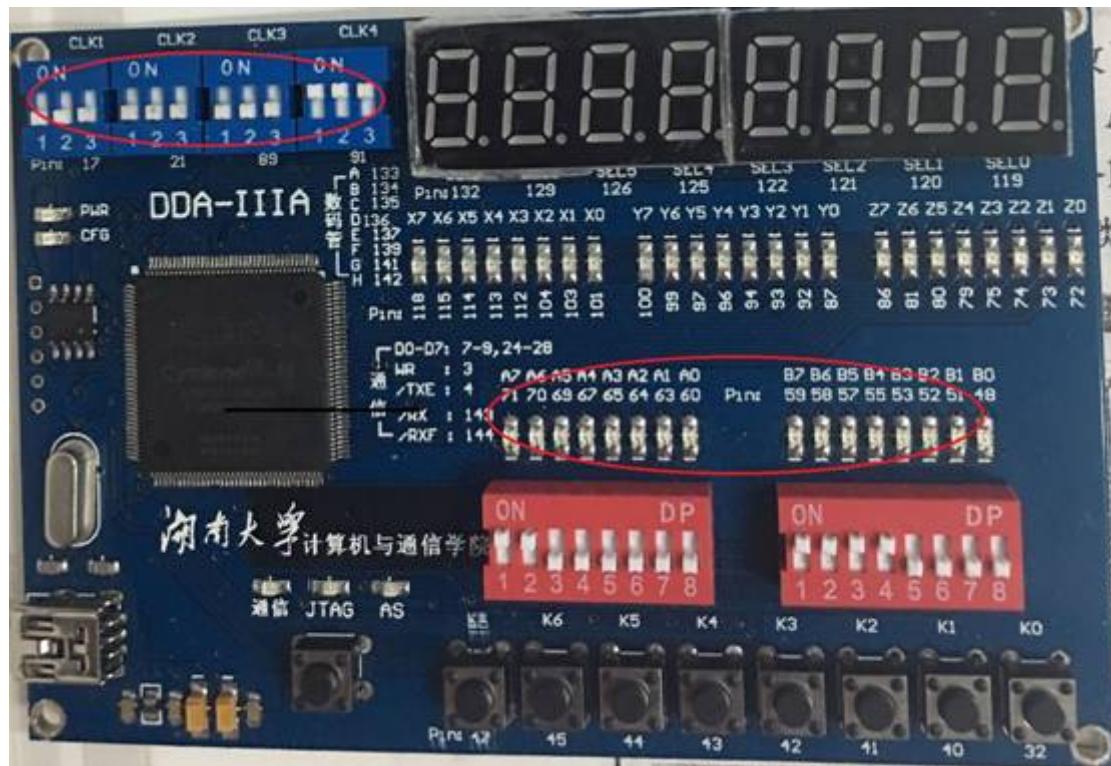
选择一项或多项：

- a. 设计思路
- b. 写代码
- c. 验证：用测试工具（示波器、万用表等）
- d. 画图（识图、分析图、画结构框图等）、真值表、RTL
- e. 阅读（错误信息识别与解决）、文档、日志等

**题目24**

完成

获得1.00分中的1.00分

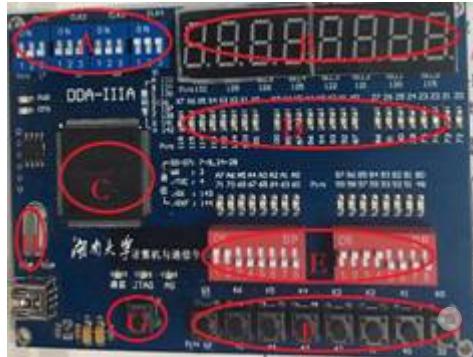


**题目25**

完成

获得1.00分中的1.00分

1. 下图F部分，实验板通电后，F部分的按键初始态是\_\_\_\_\_



选择一项：

- a. 高电平“1”
- b. 低电平“0”
- c. 高阻态

**题目26**

完成

获得1.00分中的1.00分

数码管显示电路由（）控制

选择一项或多项：

- a. 动态扫描电路
- b. 位选控制电路
- c. 译码电路
- d. 段选控制电路

**题目27**

完成

获得1.00分中的1.00分

将下载电缆线与PC机USB接口以及实验板相连接，接下来将进行下载操作，实验板上的模式选择按钮不能选择哪种模式\_\_\_\_\_

选择一项：

- a. JTAG
- b. AS
- c. 通信

**题目28**

完成

获得1.00分中的1.00分

实验板上数码管段选信号对应管脚号为\_\_\_\_\_

选择一项：

- a. p133-137 p139-142
- b. p132 p129 p126-125 p122-119
- c. p4-5 p20-25

## 题目29

完成

获得1.00分中的1.00分

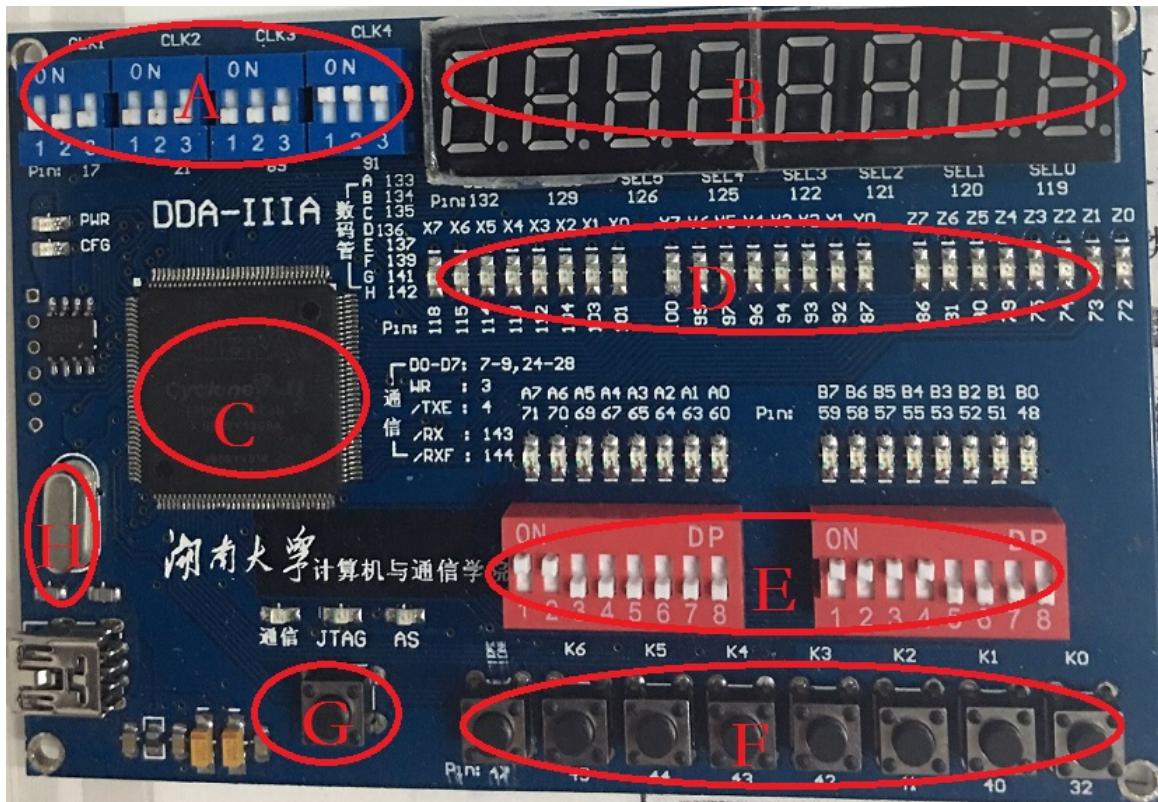


图1-1中A、B、C、D、E、F、G、H分别是\_\_\_\_\_

选择一项：

- a. 时钟信号、数码管、主芯片、发光二极管、拨码开关、按键、下载功能选择、晶振。
- b. 按键、晶振、数码管、拨码开关、时钟信号、主芯片、发光二极管、下载功能选择
- c. 按键、拨码开关、发光二极管、晶振、数码管、时钟信号、主芯片、下载功能选择
- d. 晶振、数码管、时钟信号、主芯片、下载功能选择、按键、拨码开关、发光二极管

**题目30**

完成

获得1.00分中的1.00分

在下载窗口页面的Hardware Setup栏中显示\_\_\_\_\_才能保证下载正常进行

选择一项：

- a. LPT1
- b. No hardware
- c. byteBlaster[LPT1]

**题目31**

完成

获得1.00分中的1.00分

实验室的门如何从内打开

选择一项：

- a. 直接开门锁
- b. 按门旁边的按钮，然后直接开门锁
- c. 按门旁边的按钮
- d. 刷指纹

[个人主页](#) / [我的课程](#) / [数字系统实验](#) / [第二次课](#) / [训练2](#)

**开始时间** 2017年10月22日 星期日 17:06

**状态** 完成

**完成于** 2017年10月22日 星期日 17:24

**耗时** 18 分钟 7 秒

**成绩** 50.00/满分50.00 (100%)

### 题目1

完成

获得1.00分中的1.00分

FPGA实验板上有几种不同的时钟频率能做为输入

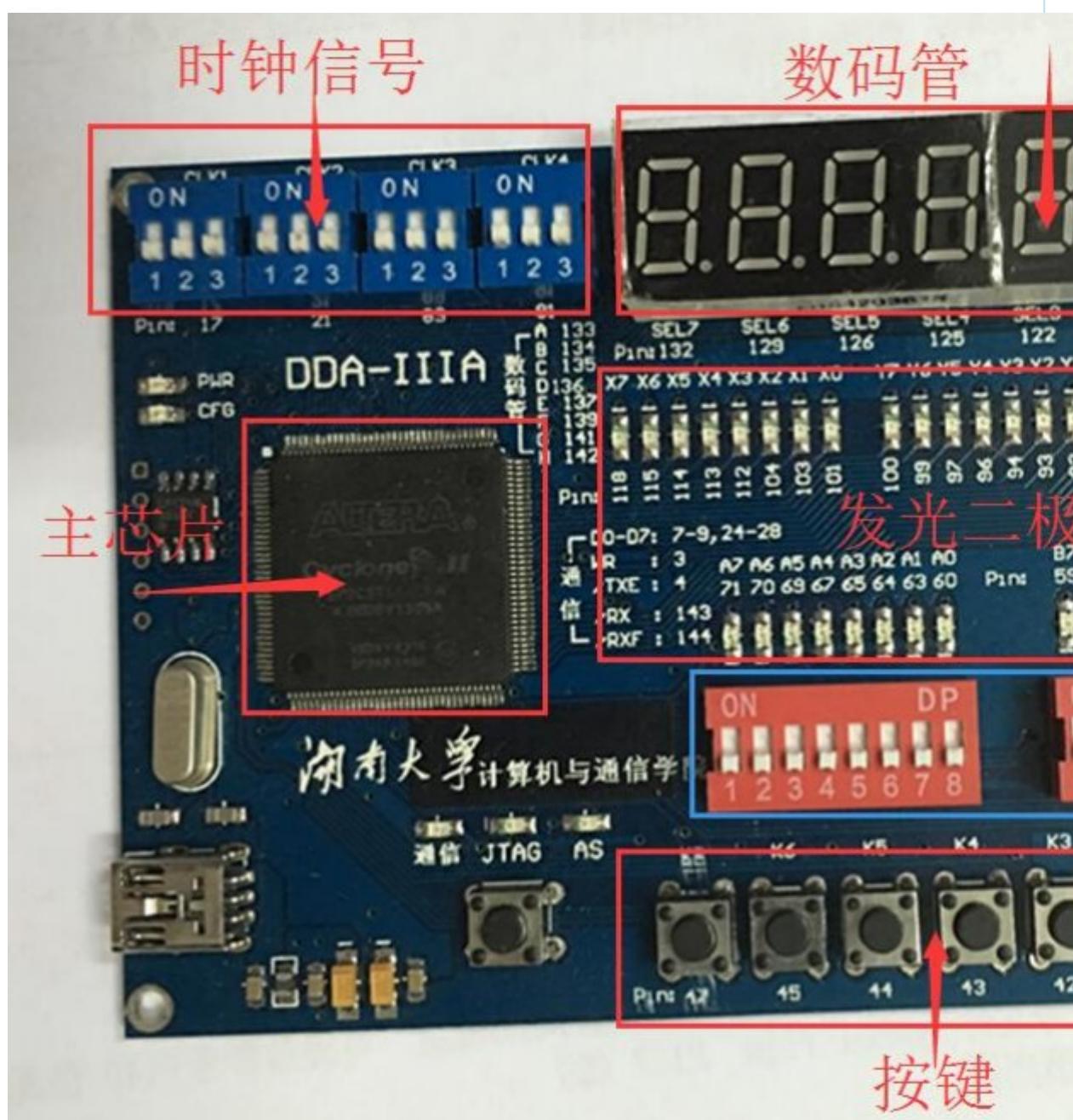
选择一项:

- a. 4
- b. 32
- c. 16
- d. 8

**题目2**

完成

获得1.00分中的1.00分



图中是FPGA实验板的实物图，哪些引脚可以做为CLK时钟信号的输入

选择一项或多项：

- a. 21
- b. 17
- c. 71
- d. 91

**题目3**

完成

获得1.00分中的1.00分

计数器芯片有非常多的种类，三位数码管显示电路实验中选用的计数器芯片是下列器件中的哪一个

选择一项：

- a. 74161
- b. 74162
- c. 74191
- d. 74160

**题目4**

完成

获得1.00分中的1.00分

下列哪一种是对总线的正确命名方式

选择一项：

- a. q[1..0]
- b. q(1..0)
- c. q[1.0]
- d. q(1.0)

**题目5**

完成

获得1.00分中的1.00分

下列说法正确的是:

选择一项或多项:

- a. 时钟边沿触发信号意味着所有的状态变化都发生在时钟边沿到来时刻。
- b. 时钟信号是时序逻辑的基础，它用于决定逻辑单元中的状态何时更新
- c. clk是时钟(Clock)信号的意思
- d. 时钟信号是指有固定周期并与运行无关的信号量，时钟频率 (clock frequency,CF) 和时钟周期相等

**题目6**

完成

获得1.00分中的1.00分

FPGA实验板上使用的数码管属于下列哪一种数码管

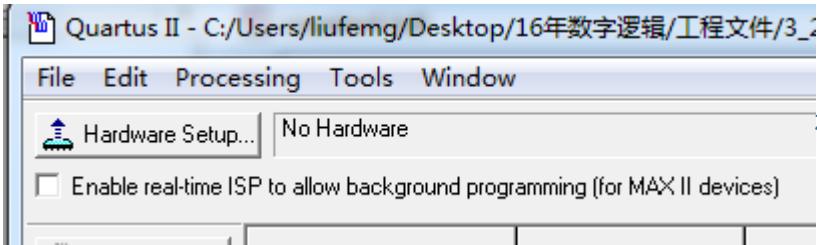
选择一项:

- a. 共阳极数码管
- b. 共基级数码管
- c. 共阴极数码管
- d. 共发射级数码管

**题目7**

完成

获得1.00分中的1.00分



在下载时碰到图中情况无法下

载的原因可能有

选择一项或多项：

- a. 驱动程序没装好
- b. USB线有问题
- c. 芯片类型选择错误
- d. USB接头接触不良

**题目8**

完成

获得1.00分中的1.00分

下列那些不属于quartus9.0元件库中DFF器件的功能

选择一项或多项：

- a. 寄存数据
- b. 减计数
- c. 加计数
- d. 数据取反

**题目9**

完成

获得1.00分中的1.00分

要在实验板上直接观察到模四计数器中LED灯的亮灭情况，CLK时钟信号应分配到哪个管脚

选择一项：

- a. 17
- b. 89
- c. 21
- d. 91

**题目10**

完成

获得1.00分中的1.00分

下列哪些属于现在可以集成到FPGA内部功能的是

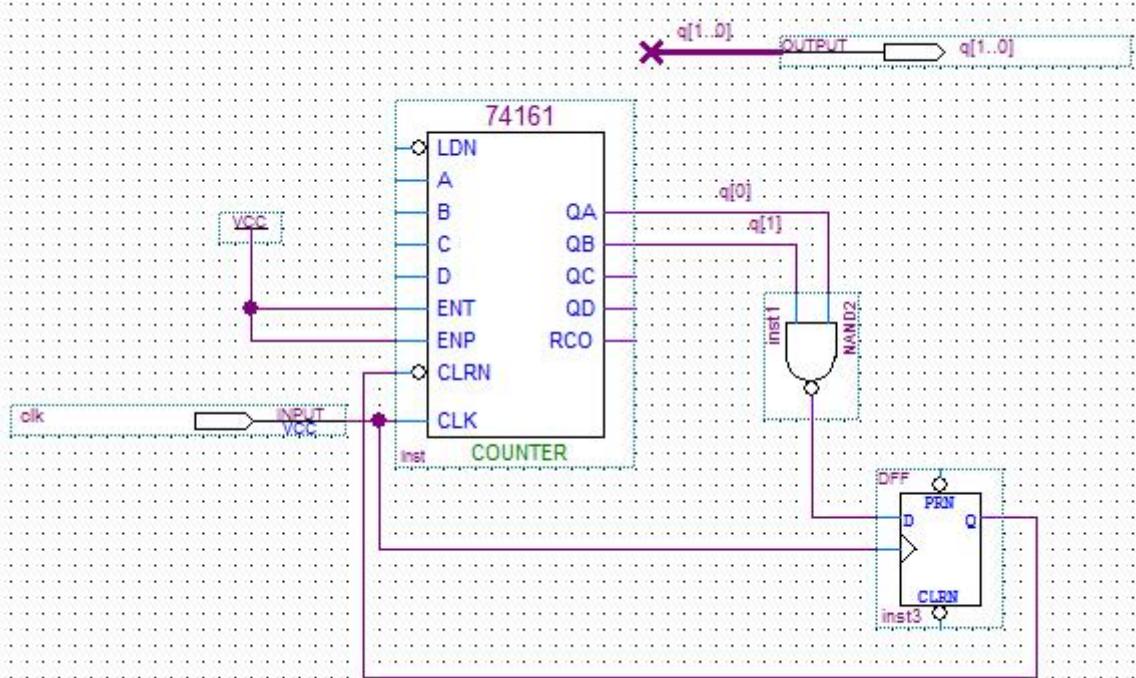
选择一项或多项：

- a. RAM和ROM
- b. PLL锁相环
- c. I/O
- d. DSP和CPU等软核

**题目11**

完成

获得1.00分中的1.00分



.图中所示的模四计数器在几个时钟周期里完成一次循环过程

选择一项：

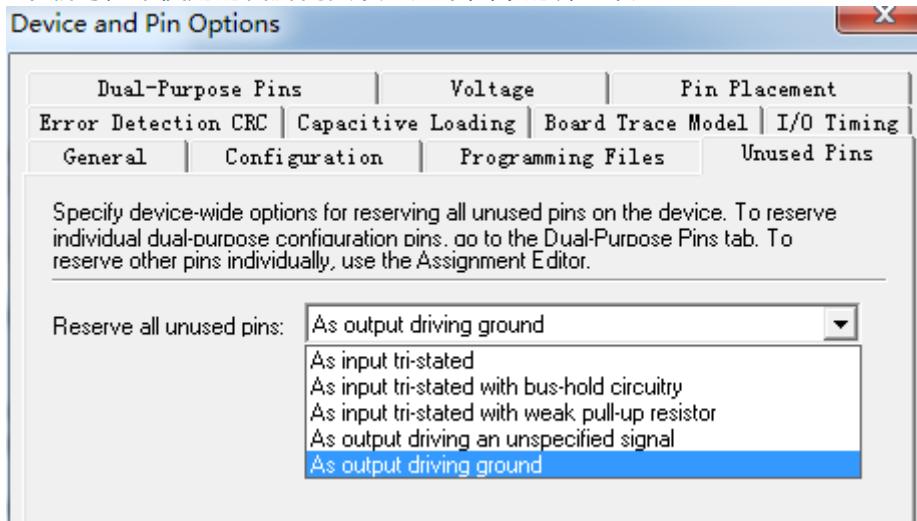
- a. 5
- b. 3
- c. 4
- d. 6

**题目12**

完成

获得1.00分中的1.00分

在下载时，未使用的管脚需要设置成下图中的哪一项



选择一项：

- a. As input tri-stated with bus-hold circuitry
- b. As output driving ground
- c. As input tri-stated
- d. As input tri-stated with weak pull-up resistor

**题目13**

完成

获得1.00分中的1.00分

FPGA实验板上LED灯亮的时候，对应管脚的逻辑电平为

选择一项：

- a. 1
- b. 随机
- c. 0

**题目14**

完成

获得1.00分中的1.00分

本学期使用的FPGA电路板中主芯片的family类型为

选择一项：

- a. cyclone
- b. cyclonell
- c. cyclonelllI
- d. flex10K

**题目15**

完成

获得1.00分中的1.00分

关于时序仿真和功能仿真 下列说法正确的是

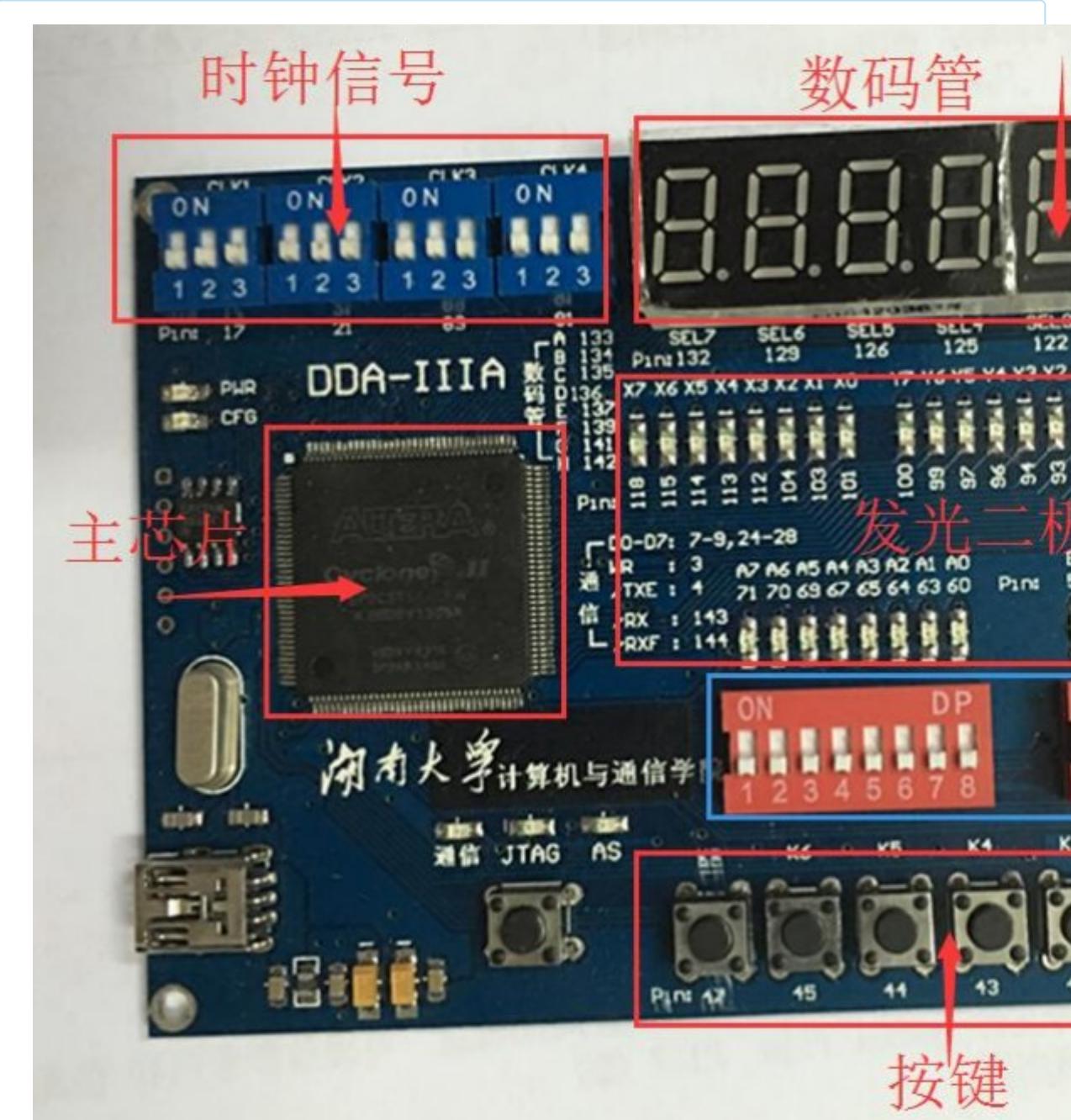
选择一项或多项：

- a. 示波器的显示是有延时的，功能仿真的结果更贴近示波器的显示
- b. 功能仿真仅仅关心输出和输入的逻辑关系是否正确，不考虑时间延时信息。
- c. 时序仿真不仅反应出输出和输入的逻辑关系，同时还计算了时间的延时信息，是与实际系统更接近的一种仿真结果。
- d. quautus9.0中的仿真分为功能仿真和时序仿真

**题目16**

完成

获得1.00分中的1.00分



上图中哪些引脚可以做为数码管位选信号的输入

选择一项或多项：

- a. 133
- b. 132
- c. 121
- d. 120

**题目17**

完成

获得1.00分中的1.00分

下列哪些元件属于实验模块模四计数器中选用的元件

选择一项或多项:

- a. DFF
- b. GND
- c. AND2
- d. VCC

**题目18**

完成

获得1.00分中的1.00分

哪些类型的文件属于本次实验所涉及到的设计源文件的后缀名

选择一项或多项:

- a. .BDF文件
- b. .VHD文件
- c. .QPF文件
- d. .BSF文件

**题目19**

完成

获得1.00分中的1.00分

要正确点亮一个数码管，需要对这个数码管提供几种不同类型的控制信号

选择一项:

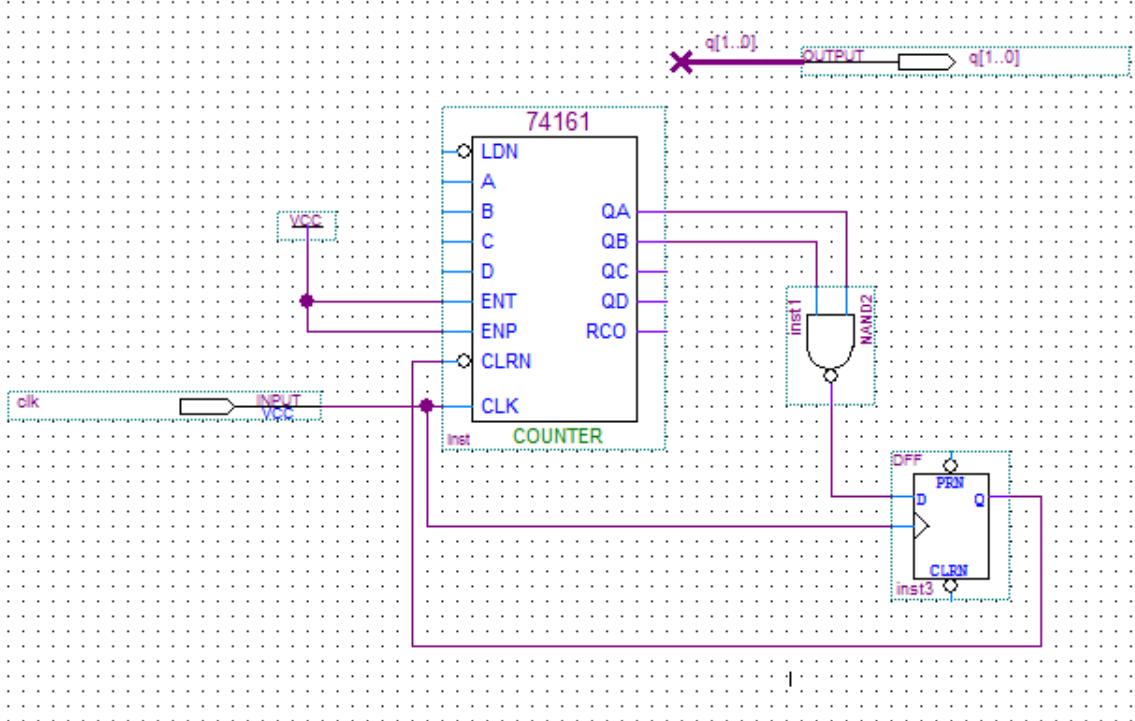
- a. 2种
- b. 1种
- c. 4种
- d. 3种

**题目20**

完成

获得1.00分中的1.00分

关于下面电路图，说法正确的是



选择一项：

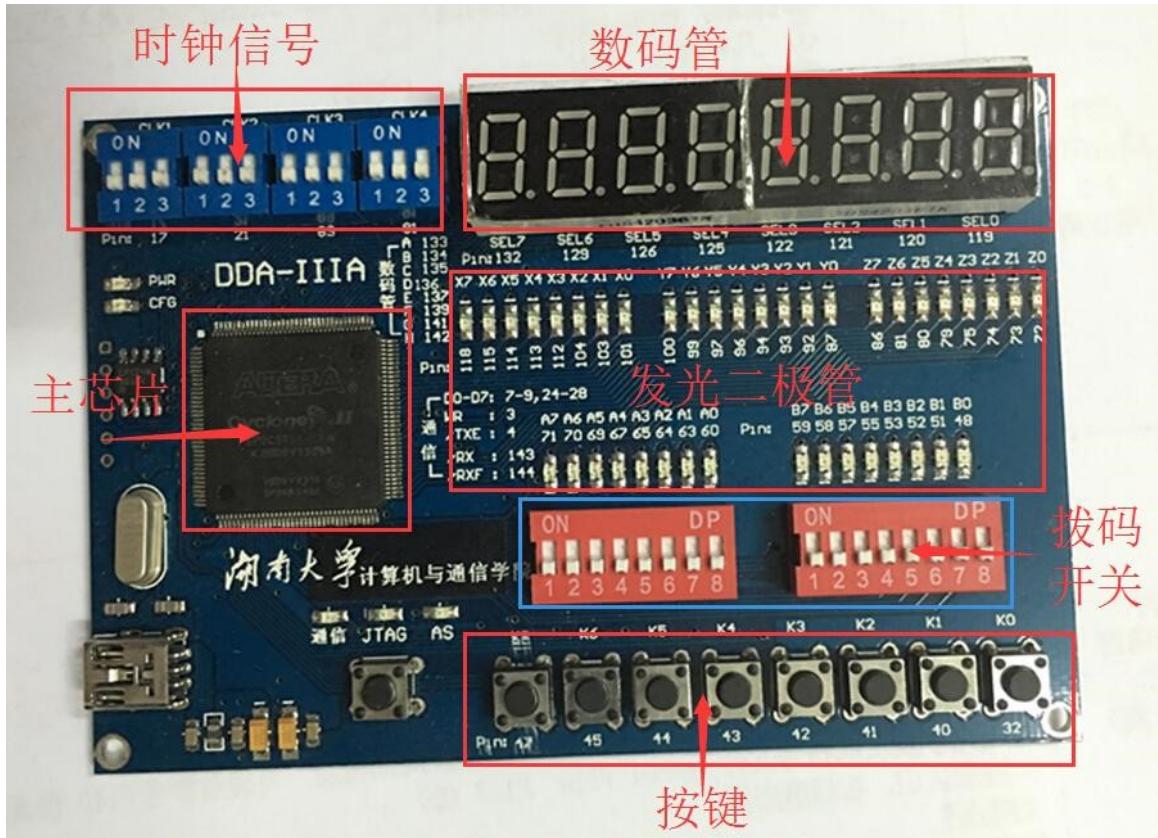
- a. 编译能通过，波形仿真结果正确
- b. 编译不能通过，波形仿真结果正确
- c. 编译能通过，波形仿真结果错误
- d. 编译不能通过，波形仿真结果错误

**题目21**

完成

获得1.00分中的1.00分

下图是FPGA实验板的实物图，哪些引脚可以做为led灯输出



选择一项：

- a. 92
- b. 134
- c. 133
- d. 91

**题目22**

完成

获得1.00分中的1.00分

本学期试验中在quartus9.0中用到的仿真类型有几种

选择一项:

- a. 1
- b. 2
- c. 3
- d. 4

**题目23**

完成

获得1.00分中的1.00分

FPGA实验板上按键开关按下时，对应管脚的值为

选择一项:

- a. 随机
- b. 0
- c. 1

**题目24**

完成

获得1.00分中的1.00分

下列哪些模块属于三位数码管显示电路中的子模块

选择一项或多项:

- a. 三选一多路选择器
- b. 23译码器
- c. 模四计数器
- d. 38译码器

**题目25**

完成

获得1.00分中的1.00分

在下列电路中，输入信号中包含clk信号的电路类型是

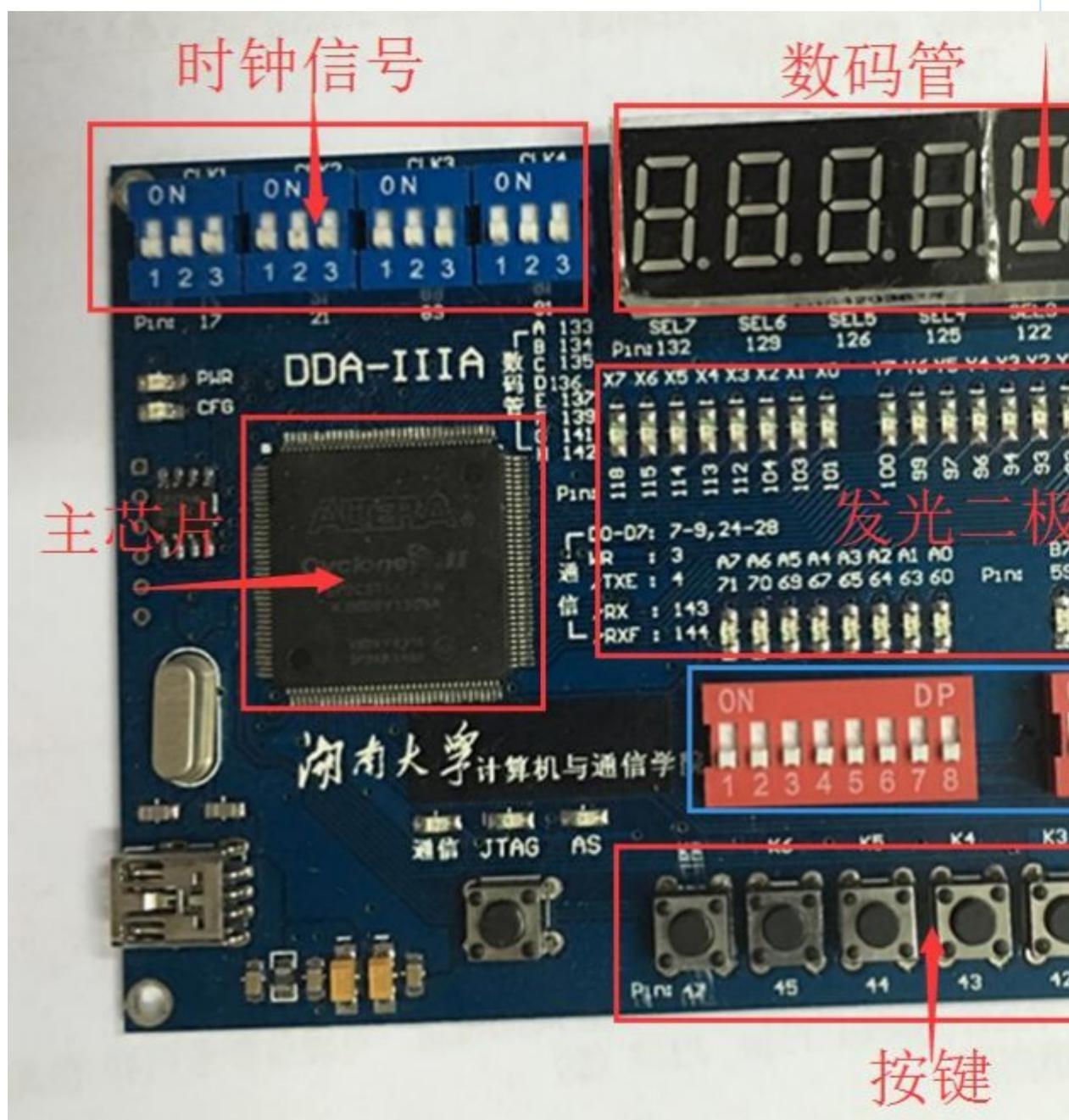
选择一项：

- a. 组合逻辑电路
- b. 时序逻辑电路

**题目26**

完成

获得1.00分中的1.00分



图中是FPGA实验板的实物图，哪些引脚可以做为数码管段选信号的输入

选择一项或多项：

- a. 137
- b. 133
- c. 132
- d. 138

**题目27**

完成

获得1.00分中的1.00分

下列哪些属于FPGA实验板上的硬件资源

选择一项或多项：

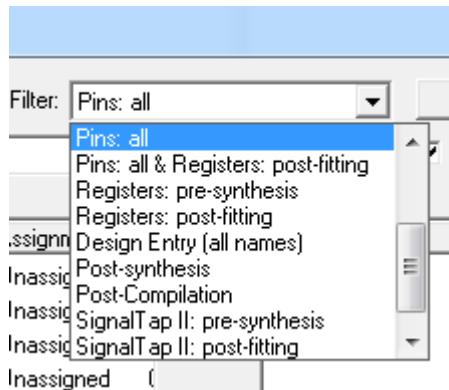
- a. 时钟信号
- b. 蜂鸣器
- c. 拨码开关
- d. 数码管

**题目28**

完成

获得1.00分中的1.00分

在波形仿真时如果要观察自己编写的VHDL代码的内部信号，可以选择下图中的哪一项



选择一项：

- a. Pins:output
- b. Registers:pre-synthesis
- c. pins:all
- d. Pins:input

**题目29**

完成

获得1.00分中的1.00分

下载时碰到下列问题出错的原因是

Type	Message
!	Warning: Changing the device resets the core voltage and junction temperature range to the default values for the new device.
i	Info: Started Programmer operation at Thu Dec 08 15:30:31 2016
x	Error: Can't configure device. Expected JTAG ID code 0x010200DD for device 1, but found JTAG ID code 0x020B10DD.
x	Error: Operation failed
i	Info: Ended Programmer operation at Thu Dec 08 15:30:31 2016

选择一项：

- a. 芯片类型选择错误
- b. USB线有问题
- c. 驱动程序没装好
- d. USB接头接触不良

**题目30**

完成

获得1.00分中的1.00分

下列那种器件具有数据寄存的功能

选择一项：

- a. D触发器
- b. 比较器
- c. 编码器
- d. 译码器

**题目31**

完成

获得1.00分中的1.00分

下列说法正确的是

选择一项：

- a. grid siz参数的设置与仿真结果无关，只是便于设置和观察仿真波形
- b. End time可设置成比时钟信号clk的周期小
- c. clk时钟信号占空比必须设置成50%
- d. grid size必须设置成和时钟信号clk的周期相等

**题目32**

完成

获得1.00分中的1.00分

下列说法正确的是

选择一项或多项：

- a. 受控部件是我们通常所熟悉的各种功能电路去具体执行，而它们又是由某一FPGA时钟信号驱动的时序电路来控制。
- b. 现代数字系统设计=控制模块 + 若干受控制的模块
- c. CLK时钟信号是时序逻辑电路中最重要的信号.
- d. 数字系统往往要求异步时序设计

**题目33**

完成

获得1.00分中的1.00分

计数芯片74161中清零信号clr<sub>n</sub>在下列哪种情况为有效

选择一项：

- a. 1和0随机有效
- b. 1
- c. 1和0都有效
- d. 0

**题目34**

完成

获得1.00分中的1.00分

对于同时点亮三个不同的数码管，下列说法正确的是

选择一项或多项：

- a. 第一步：选择第一路D0数据并输出L1数码管
- b. 第三步：选择第三路D2数据并输出L3数码管
- c. 第二步：选择第二路D1数据并输出L2数码管
- d. 返回第一步

**题目35**

完成

获得1.00分中的1.00分

关于EDA 下列说法正确的是

选择一项或多项：

- a. EDA是电子设计自动化（Electronics Design Automation）的缩写
- b. 在电子技术设计领域，可编程逻辑器件（如CPLD、FPGA）的应用，已得到广泛的普及，这些器件为数字系统的设计带来了极大的灵活性。
- c. EDA技术就是以计算机为工具，设计者在EDA软件平台上，用硬件描述语言VerilogHDL完成设计文件，然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真，直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。
- d. EDA技术是在20世纪60年代中期从计算机辅助设计（CAD）、计算机辅助制造（CAM）、计算机辅助测试（CAT）和计算机辅助工程（CAE）的概念发展而来的。

**题目36**

完成

获得1.00分中的1.00分

下列哪些是属于FPGA体系结构中的部分

选择一项或多项:

- a. 用户可选IO
- b. 锁相环
- c. 逻辑单元
- d. 嵌入式存储器

**题目37**

完成

获得1.00分中的1.00分

将输入信号a7的值赋给输出信号x7，下列语句中正确的是

选择一项:

- a.  $x7:=a7$
- b.  $x7<=a7$
- c.  $a7=x7$
- d.  $x7=a7$

**题目38**

完成

获得1.00分中的1.00分

D触发器，输出等于输入是在时钟信号什么状态下发生的

选择一项:

- a. 上升沿
- b. 为0时
- c. 下降沿
- d. 为1时

**题目39**

完成

获得1.00分中的1.00分

FPGA实验板上拨码开关拨到上面位置时，对应管脚的值为

选择一项：

- a. 1
- b. 0
- c. 随机数值

**题目40**

完成

获得1.00分中的1.00分

在本学期使用的DDA-3型FPGA实验板上，数码管位选信号在下列哪种情况下有效

选择一项：

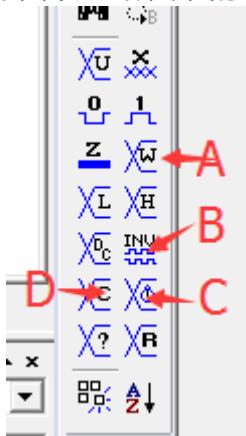
- a. 为1时
- b. 1和0都有效
- c. 1和0随机有效
- d. 为0时

**题目41**

完成

获得1.00分中的1.00分

下图中点击哪个图标可做为时钟信号CLK的输入信号激励设置



选择一项：

- a. C
- b. A
- c. B
- d. D

**题目42**

完成

获得1.00分中的1.00分

在下列电路中，输出只和输入有关的电路类型是

选择一项：

- a. 组合逻辑电路
- b. 时序逻辑电路

**题目43**

完成

获得1.00分中的1.00分

下列哪些选项属于FPGA实验流程中的部分

选择一项或多项:

- a. 设计输入
- b. 分析综合
- c. 引脚约束
- d. 工程立项

**题目44**

完成

获得1.00分中的1.00分

quartus软件新建工程文件的后缀名为

选择一项:

- a. .bsf
- b. .qpf
- c. .vwf
- d. .sof

**题目45**

完成

获得1.00分中的1.00分

本次实验中涉及到的电路主要有几种不同的类型

选择一项:

- a. 4
- b. 3
- c. 2
- d. 1

**题目46**

完成

获得1.00分中的1.00分

本学期使用的FPGA电路板上的主芯片是下列那一款

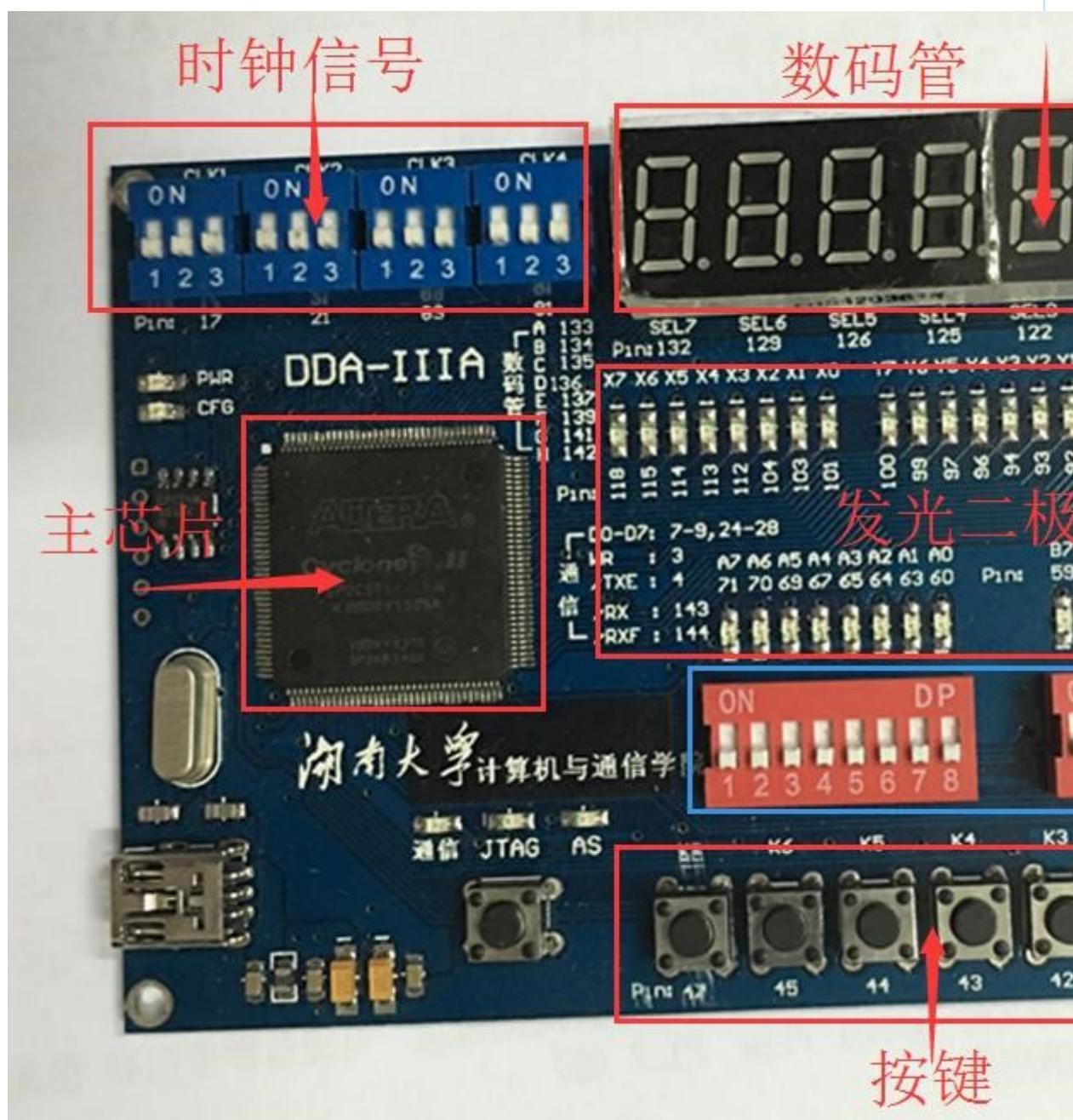
选择一项:

- a. EP2C5F256C6
- b. EP2C8F256C6
- c. EP2C5AT144A7
- d. EP2C5T144C8N

## 题目47

完成

获得1.00分中的1.00分



图中是FPGA实验板的实物图，哪些引脚可以在任何情况下做为led灯输出

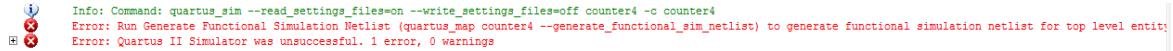
选择一项或多项：

- a. 73
- b. 72
- c. 71
- d. 70

**题目48**

完成

获得1.00分中的1.00分

**出现下图中错误信息的原因是**

```
Info: Command: quartus_sim --read_settings_files=on --write_settings_files=off counter4 -c counter4
Error: Run Generate Functional Simulation Netlist (quartus_map counter4 --generate_functional_sim_netlist) to generate functional simulation netlist for top level entity
Error: Quartus II Simulator was unsuccessful. 1 error, 0 warnings
```

**选择一项：**

- a. 仿真时波形文件没有正确保存
- b. 设计源文件不能正确编译
- c. 功能仿真之前没有生成功能仿真网表
- d. 仿真时输入信号激励设置出错

**题目49**

完成

获得1.00分中的1.00分

**关于FPGA下列说法正确的是****选择一项或多项：**

- a. FPGA是Field - Programmable Gate Array的缩写
- b. FPGA是在PAL、GAL、CPLD等可编程器件的基础上进一步发展的产物
- c. FPGA是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。
- d. FPGA的中文意思是现场可编程门阵列

**题目50**

完成

获得1.00分中的1.00分

计数芯片74161能够改装成最大为多少进制的计数器

选择一项:

- a. 4
- b. 16
- c. 15
- d. 8



[个人主页](#) / 我的课程 / 数字系统实验 / 第三次课 / 训练3

**开始时间** 2017年10月24日 星期二 01:22

**状态** 完成

**完成于** 2017年10月24日 星期二 01:26

**耗时** 4分钟 28秒

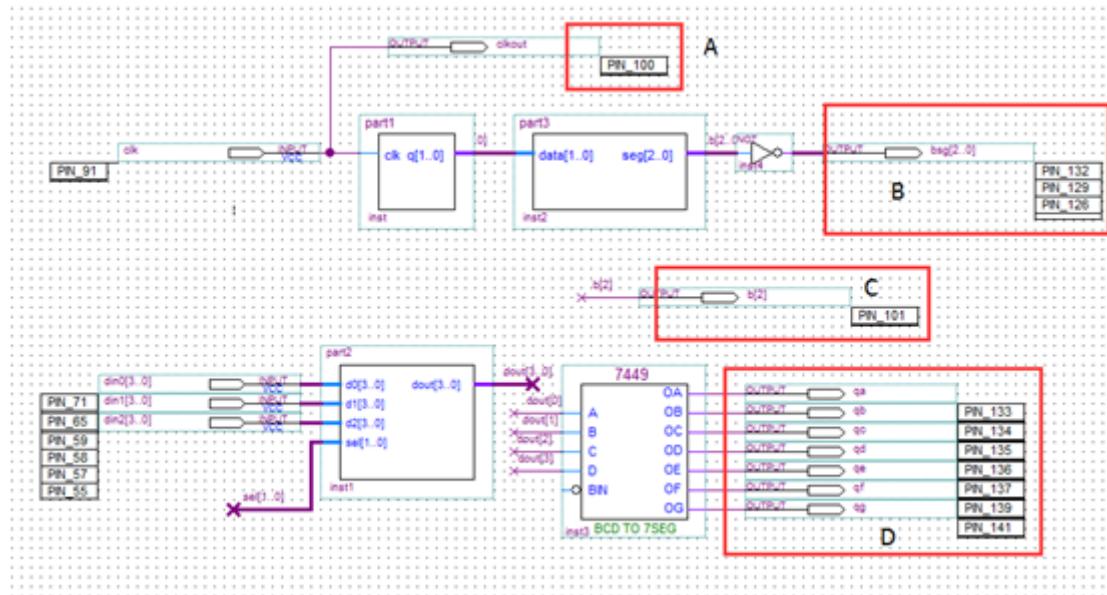
**成绩** 30.00/满分30.00 (100%)

### 题目1

完成

获得1.00分中的1.00分

下图是三位数码管显示电路顶层图，图中ABCD哪一项是对应数码管的位选信号。



选择一项：

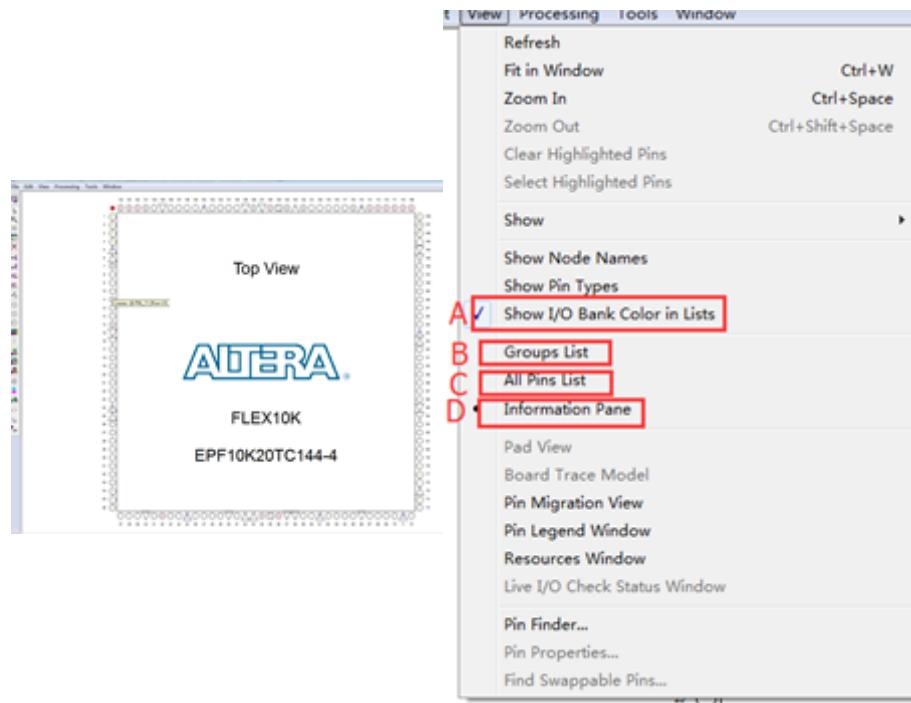
- a. D
- b. A
- c. B
- d. C

**题目2**

完成

获得1.00分中的1.00分

在下载分配管脚的时候如下图所示如果只出现芯片没有分配管脚的选项，应该选择图中哪一项将分配管脚的窗口显示出来



选择一项：

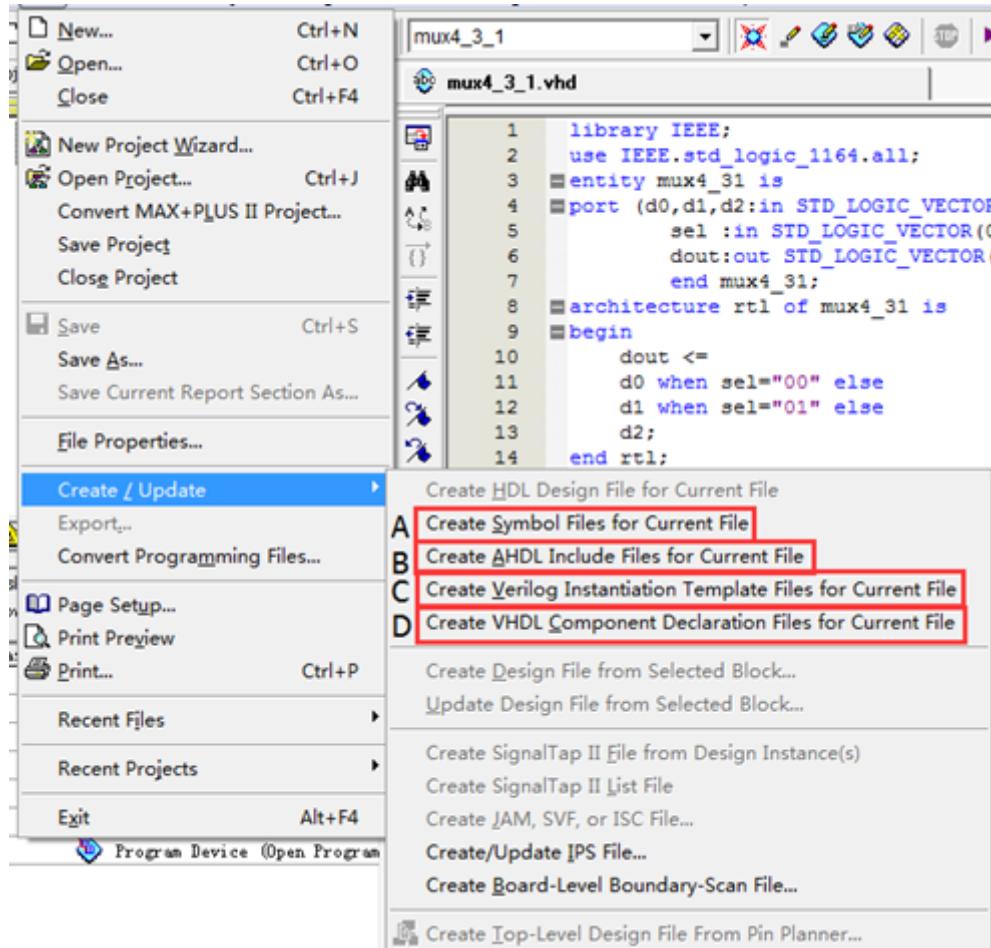
- a. A
- b. D
- c. B
- d. C

**题目3**

完成

获得1.00分中的1.00分

VHDL程序创建子模块的命令是下列哪一项



选择一项：

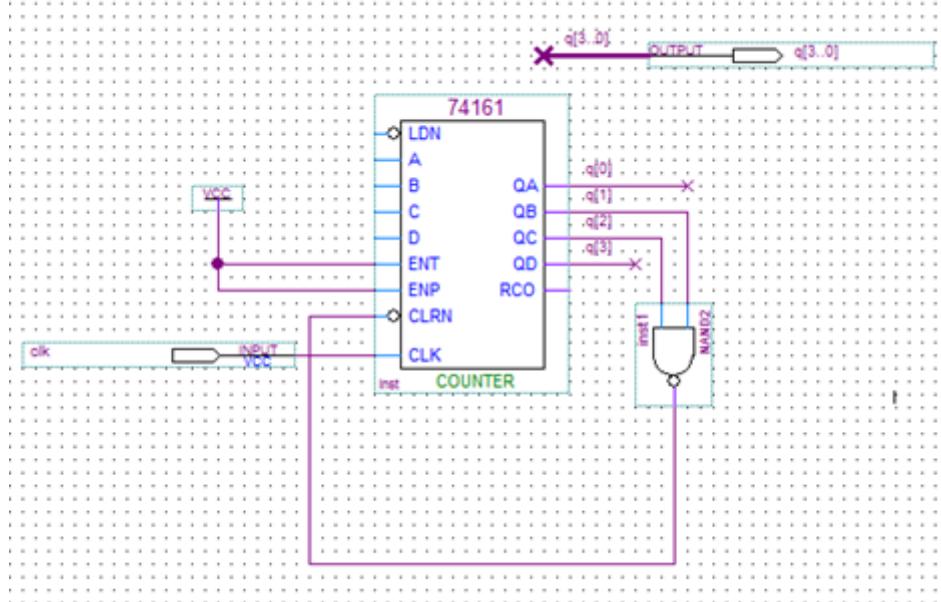
- a. C
- b. B
- c. D
- d. A

**题目4**

完成

获得1.00分中的1.00分

下图是一个利用芯片74161改装的计数器，请问这是一个几进制的计数器



选择一项：

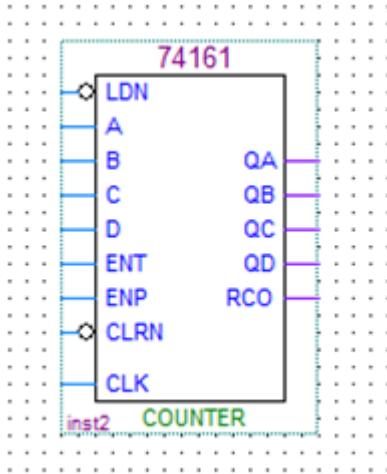
- a. 6
- b. 7
- c. 4
- d. 5

**题目5**

完成

获得1.00分中的1.00分

芯片74161具有下列哪些功能



选择一项或多项：

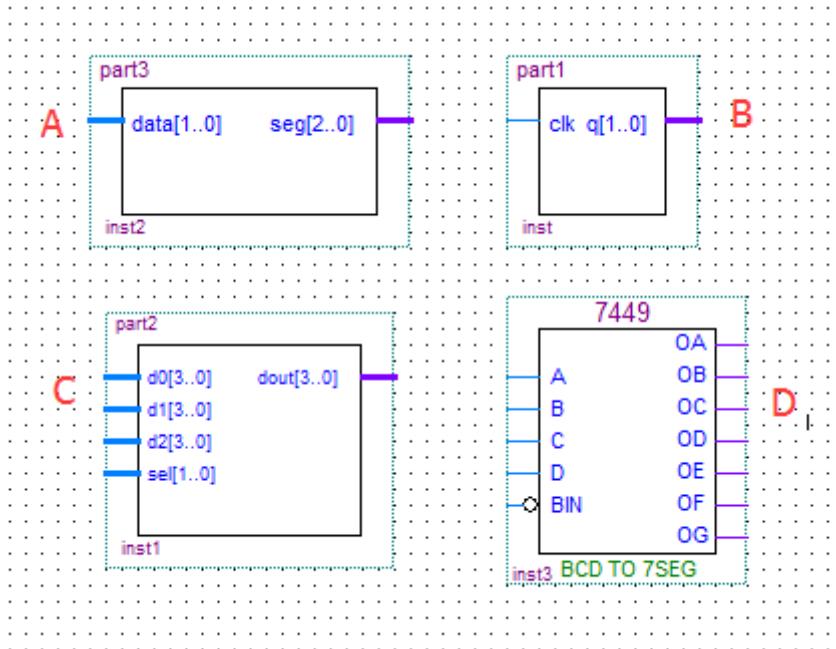
- a. 减计数
- b. 加计数
- c. 清零
- d. 输出端保持数据不变

**题目6**

完成

获得1.00分中的1.00分

下图中均是三位数码管显示电路顶层图中的一个组成部分，哪一个是23译码器设计源文件所生成的子模块？



选择一项：

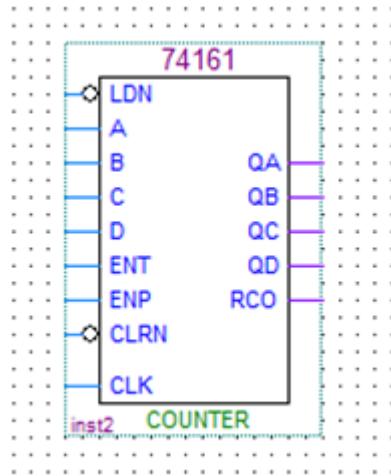
- a. A
- b. D
- c. B
- d. C

**题目7**

完成

获得1.00分中的1.00分

下图是芯片74161的元件图，输入端口ENT、ENP在什么情况下芯片具有计数功能



选择一项：

- a. 高电平低电平都不能计数
- b. 高电平低电平都能计数
- c. 高电平计数
- d. 低电平计数

**题目8**

完成

获得1.00分中的1.00分

下列哪些属于硬件描述语言完成设计源文件的过程

选择一项或多项：

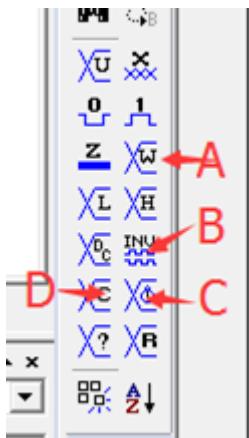
- a. 新建文本框，在文本框中完成代码的编写（选择合适的硬件描述语言）。
- b. 建立工程文件（工程目录、名称和选择合适器件）
- c. 编译代码（检查语法是否有错误）。
- d. 仿真设计文件（得到仿真波形验证结果）。

**题目9**

完成

获得1.00分中的1.00分

在仿真3选1多路选择器时，如果要对sel[1..0]设置成周期信号，应该选择下图中的哪一项



选择一项：

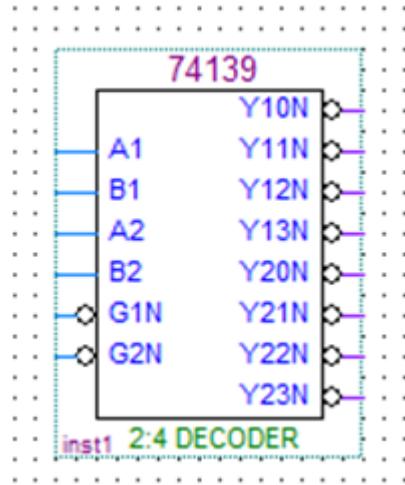
- a. A
- b. B
- c. D
- d. C

**题目10**

完成

获得1.00分中的1.00分

关于芯片74139下列说法正确的是



选择一项或多项：

- a. G1N为0, A1, B1输入均为1的时候, 输出端Y10N-Y13N的值为1110。
- b. 74139是一个双2-4译码器。
- c. 第一组输入A1B1和第二组输入A2B2之间没有联系, 是相互独立的。
- d. 使能端G1N、G2N在高电平的时候有效。

**题目11**

完成

获得1.00分中的1.00分

在用图形法实现三位数码管显示电路的顶层设计时, 下列哪些文件需要复制到新建顶层设计工程文件所在的文件夹中去创建设计源文件?

选择一项或多项：

- a. .VHD格式的设计源文件
- b. .VWF格式的波形文件
- c. .BDF格式的设计源文件
- d. .QPF格式的工程文件

**题目12**

完成

获得1.00分中的1.00分

下列芯片在三位数码管显示实验中没有用到的是

选择一项:

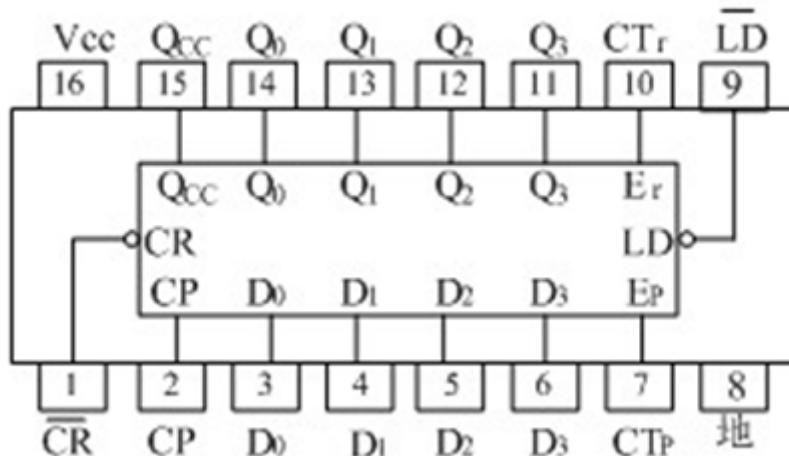
- a. 74139
- b. 7449
- c. 74194
- d. 74161

**题目13**

完成

获得1.00分中的1.00分

下图是芯片74161的引脚图，进位输出端口Qcc与下列哪个输入输出端口无关



选择一项:

- a. CTp
- b. Q0
- c. CTr
- d. Q1

**题目14**

完成

获得1.00分中的1.00分

如果要5个数码管同时显示，对应的位选信号产生电路中24译码器14139应该换成下列芯片中的哪一个

选择一项：

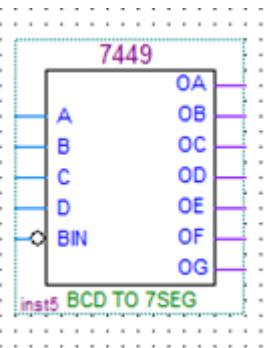
- a. 7443超3码-十进制译码器
- b. 74138 3-8译码器
- c. 7449BCD-7段译码器
- d. 74145 BCD-10进制译码器

**题目15**

完成

获得1.00分中的1.00分

关于芯片7449下列说法正确的是



选择一项或多项：

- a. 如果要对A-F或者其他字符进行译码，需要自行编写译码程序，不能直接使用7449进行译码
- b. 7449是一个BCD-7段译码器
- c. 7449输入端BIN为使能端，当BIN为0时，输出端有正确的译码输出。
- d. 7449能对0-9这10个数字正确译码

**题目16**

完成

获得1.00分中的1.00分

要用VHDL语言定义一个输入数据4位数据，正确的是：

选择一项或多项：

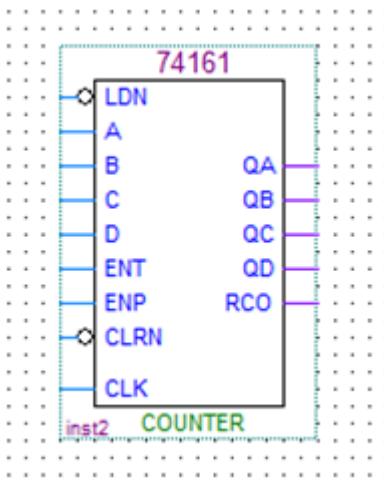
- a. d0: in STD\_LOGIC\_VECTOR(0 to 3)
- b. d0: in STD\_LOGIC\_VECTOR(3 downto 0)
- c. d0: in STD\_LOGIC\_VECTOR(0 downto 3)
- d. d0: in STD\_LOGIC\_VECTOR(3 to 0)

**题目17**

完成

获得1.00分中的1.00分

要对下图中某个输入端口置逻辑电平“1”，应该在对应端口接入下列哪个元件



选择一项：

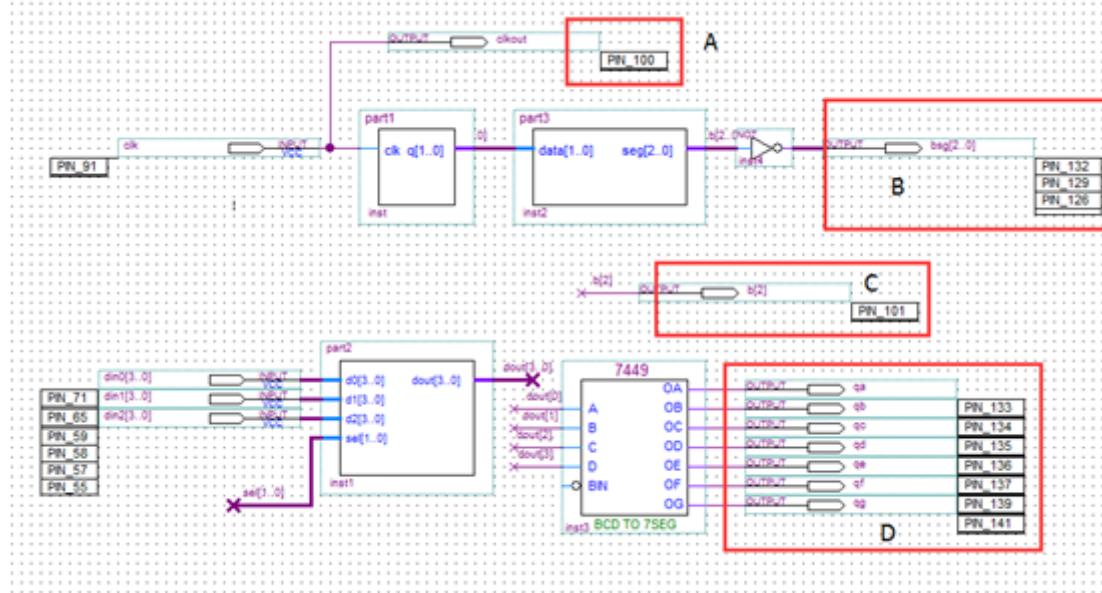
- a. GND
- b. INPUT
- c. VCC
- d. OUTPUT

**题目18**

完成

获得1.00分中的1.00分

下图是三位数码管显示电路顶层图，图中ABCD哪一项是对应数码管的段选信号。



选择一项：

- a. A
- b. D
- c. B
- d. C

**题目19**

完成

获得1.00分中的1.00分

关于语句“use IEEE.std\_logic\_1164.all”下列说法正确的是

选择一项或多项：

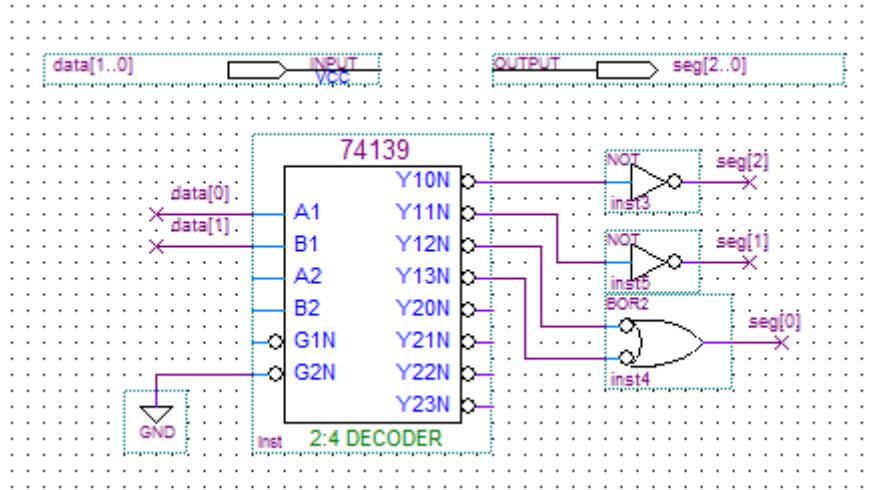
- a. 1164程序包定义了std-logic型and、nand、or、nor、xor、not等逻辑运算
- b. 1164程序包扩展定义了unsigned、signed等数据类型
- c. 1164程序包定义了std\_logic和std\_logic\_vector等数据类型
- d. 1164程序包定义了包含unsigned和signed相关算术运算符和转换函数

**题目20**

完成

获得1.00分中的1.00分

将2-4译码器74139改装成下图所示的2-3译码器，如果data输入为01时，输出端seg正确的值为



选择一项：

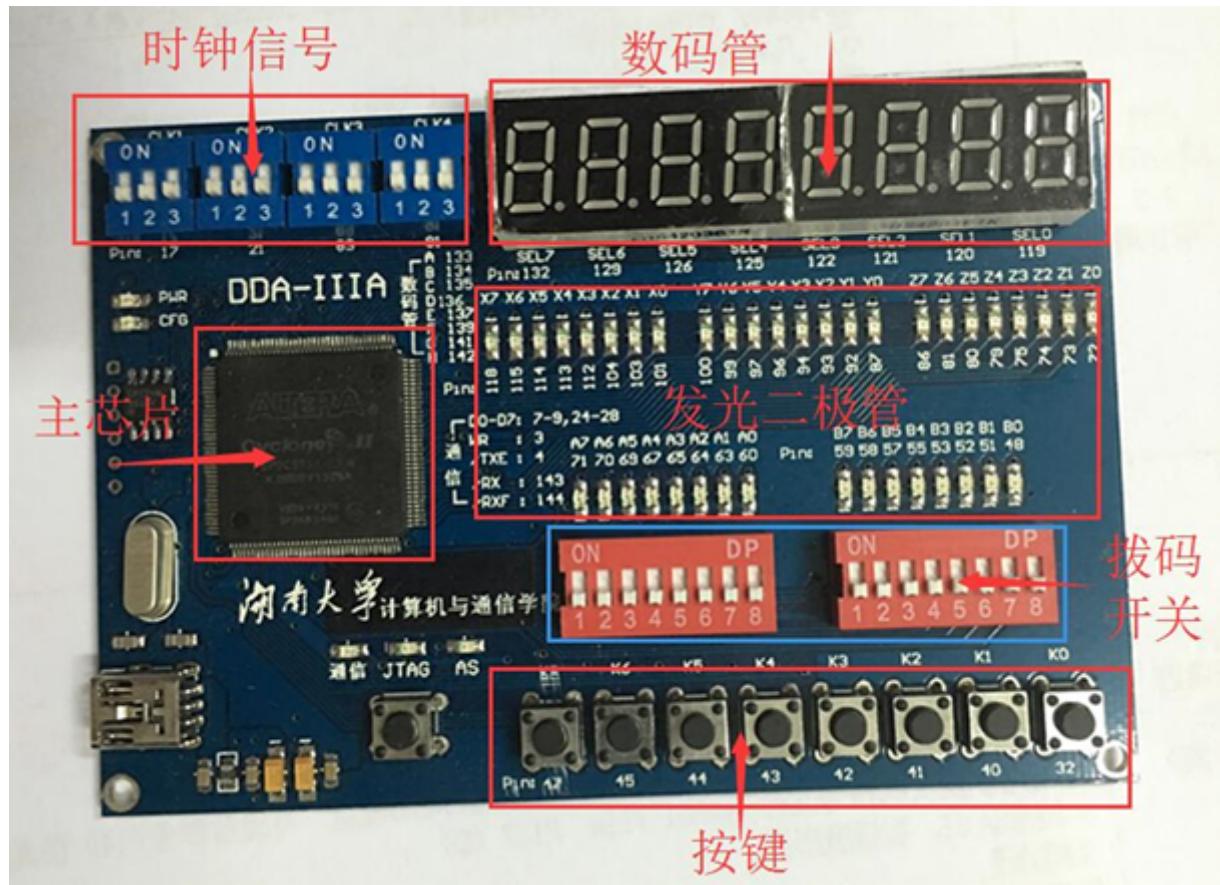
- a. 010
- b. 101
- c. 110
- d. 100

**题目21**

完成

获得1.00分中的1.00分

要改变本试验中三位数码管上显示的数值，应该改变下图中的哪个硬件资源的状态



选择一项：

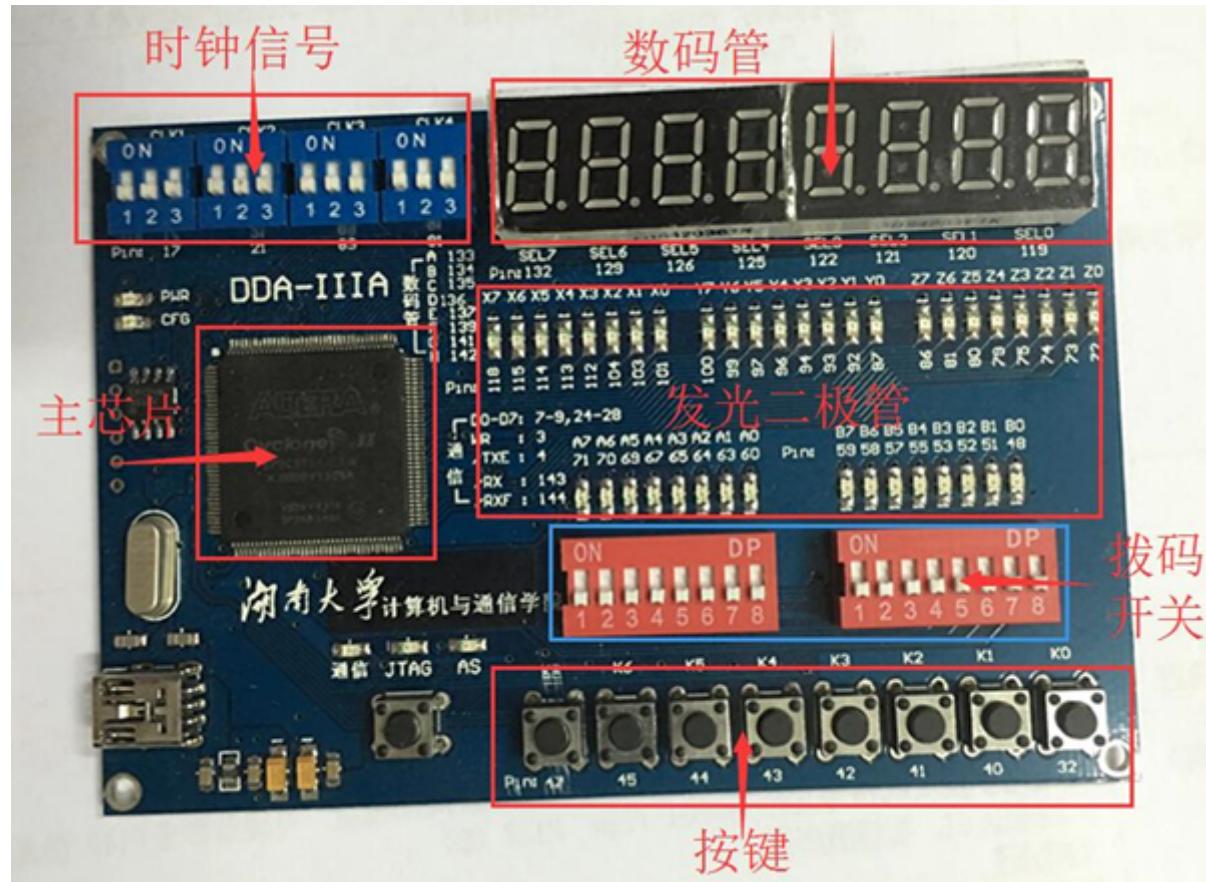
- a. 发光二极管
- b. 按键开关
- c. 时钟信号
- d. 拨码开关

**题目22**

完成

获得1.00分中的1.00分

要使三位数码管同时显示时不出现闪烁现象，扫描频率的时钟信号CLK不应该分配给下列哪个选项



选择一项：

- a. 91
- b. 89
- c. 17
- d. 21

**题目23**

完成

获得1.00分中的1.00分

下列哪些属于图形输入法完成设计源文件的过程

选择一项或多项：

- a. 仿真设计文件（得到仿真波形验证结果）。
- b. 建立工程文件（工程目录、名称和选择合适器件）
- c. 编辑设计图形文件（放置元件、连线、设计输入输出管脚名称）。
- d. 编译设计图形文件（检查电路是否有错误）。

**题目24**

完成

获得1.00分中的1.00分

如果在分配管脚中出现下图所示没有对应管脚能分配，选择下列哪个选项能继续正确分配管脚

	Node Name
1	d0[3]
2	d0[2]
3	d0[1]
4	d0[0]
5	d1[3]
6	d1[2]
7	d1[1]
8	d1[0]
9	d2[3]
10	d2[2]
11	d2[1]
12	d2[0]
13	dout[3]
14	dout[2]

选择一项：

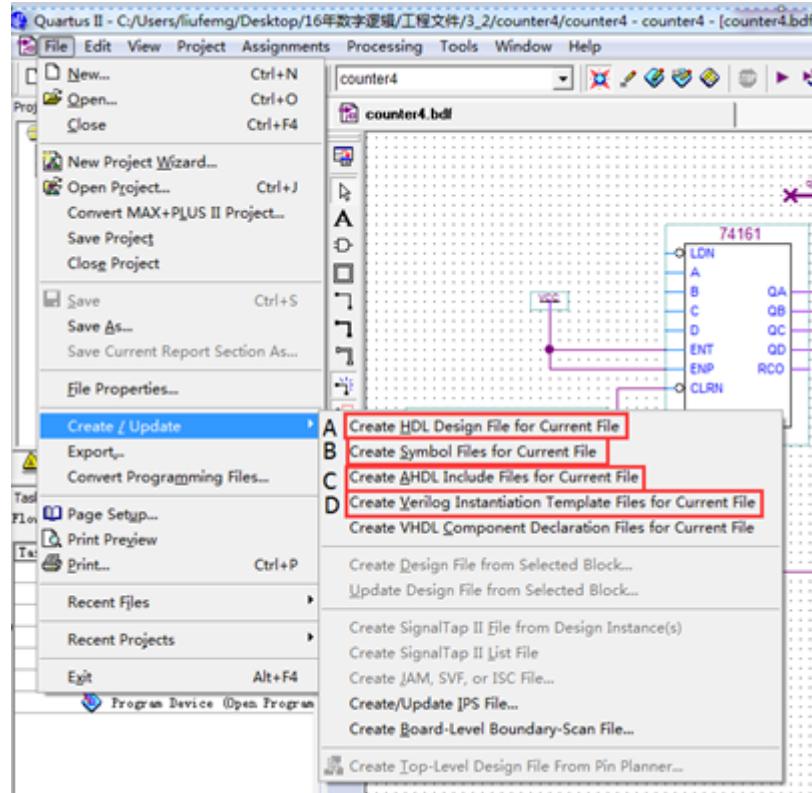
- a. 在该界面上点击右键，选择Customize Columns，再在新弹出的界面中在左侧中选择location并将其添加至右侧。
- b. 关闭该工程再重新打开这个工程
- c. 将工程重新编译之后再打开分配管脚界面
- d. 关闭quartus软件再重新打开

**题目25**

完成

获得1.00分中的1.00分

Bdf设计源文件创建子模块的命令是下图中哪一项



选择一项：

- a. C
- b. A
- c. D
- d. B

**题目26**

完成

获得1.00分中的1.00分

在编译VHDL文件出现错误提示Error: Top-level design entity "XXXXX" is undefined，错误的原因是如下哪一项：

选择一项：

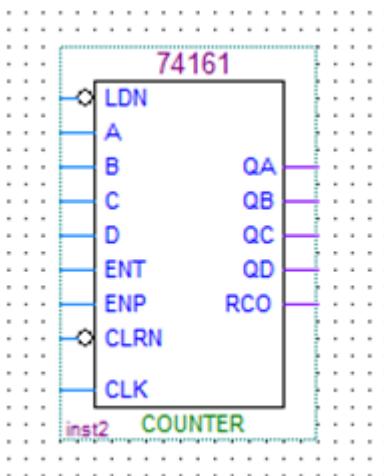
- a. 输入输出端口没有正确定义
- b. 结构体中存在语法错误
- c. 程序包没有正确声明
- d. 工程名和代码中定义的实体名不一致

**题目27**

完成

获得1.00分中的1.00分

要对下图中某个输入端口置逻辑电平“0”，应该在对应端口接入下列哪个元件



选择一项：

- a. GND
- b. VCC
- c. OUTPUT
- d. INPUT

**题目28**

完成

获得1.00分中的1.00分

设计源文件创建完成子模块的后缀名是

选择一项：

- a. .vhd
- b. .bdf
- c. .bsf
- d. .qpf

**题目29**

完成

获得1.00分中的1.00分

关于译码器 下列说法正确的是

选择一项或多项：

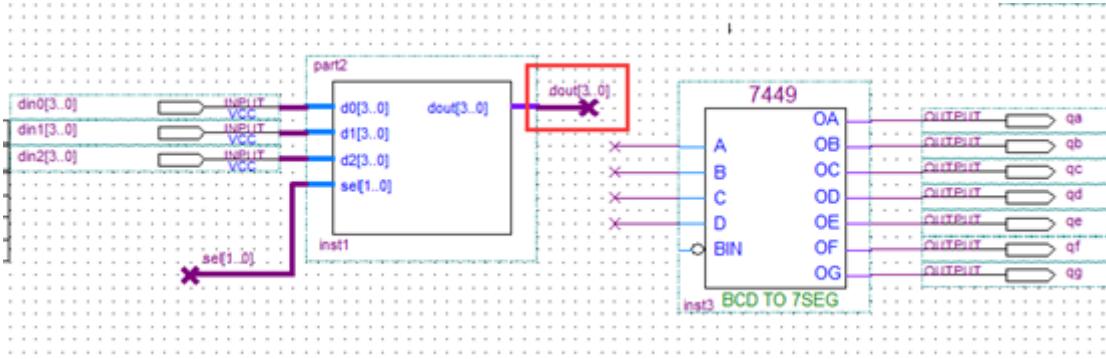
- a. 译码器的种类很多，但它们的工作原理和分析设计方法大同小异，其中二进制译码器、二十进制译码器和显示译码器是三种最典型，使用十分广泛的译码电路
- b. 变量译码器一般是一种较少输入变为较多输出的器件，常见的有n线- $2^n$ 线译码和8421BCD码译码两类
- c. 译码器decoder)是一类多输入多输出组合逻辑电路器件，其可以分为：变量译码和显示译码两类。
- d. 显示译码器用来将二进制数转换成对应的七段码，一般其可分为驱动LED和驱动LCD两类

**题目30**

完成

获得1.00分中的1.00分

下图是三位数码管显示电路顶层图的一部分，图中红框中dout[3..0]中的最高位d[3]应该接到芯片7449的哪个输入端口



选择一项：

- a. B
- b. D
- c. A
- d. C

个人主页 / 我的课程 / 数字系统实验 / 第五次课 / 训练5

**开始时间** 2017年11月13日 星期一 02:45

**状态** 完成

**完成于** 2017年11月20日 星期一 09:14

**耗时** 7 天 6 小时

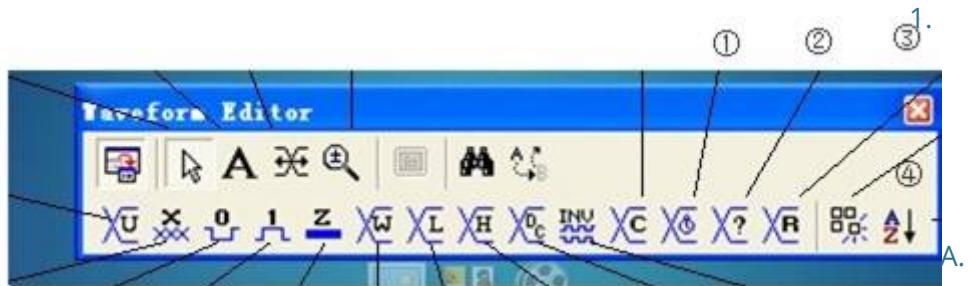
**成绩** 45.00/满分45.00 (100%)

### 题目1

完成

获得1.00分中的1.00分

下图中①②③④分别表示\_\_\_\_\_;



选择一项:

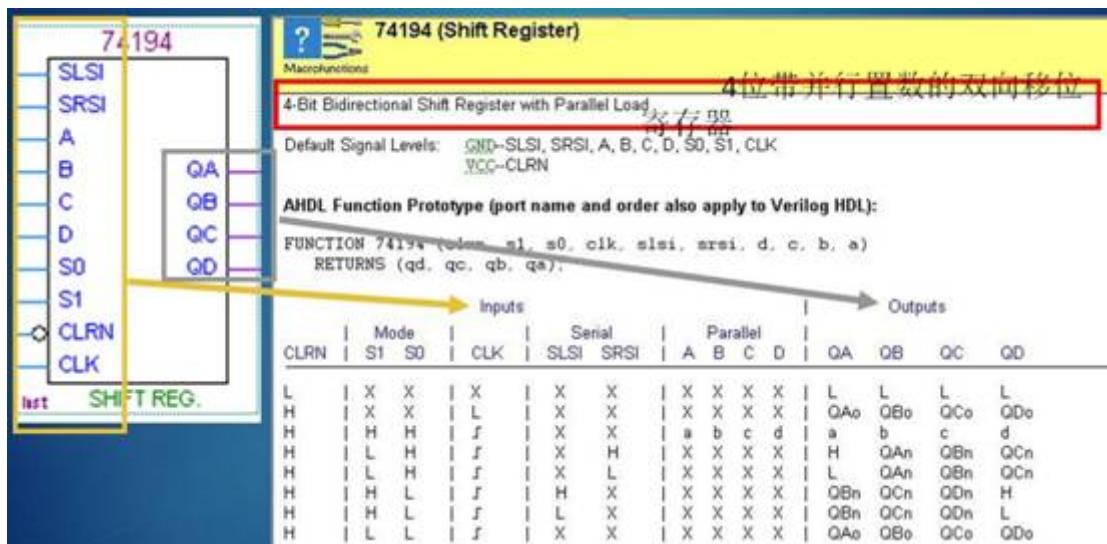
- a. 对齐网络、随机值、时钟值、任意值
- b. 时钟值、随机值、任意值、对齐网络
- c. 时钟值、任意值、随机值、对齐网络

**题目2**

完成

获得1.00分中的1.00分

下图74194真值表中L、H、X符号的意义分别是：\_\_\_\_\_



1.

选择一项：

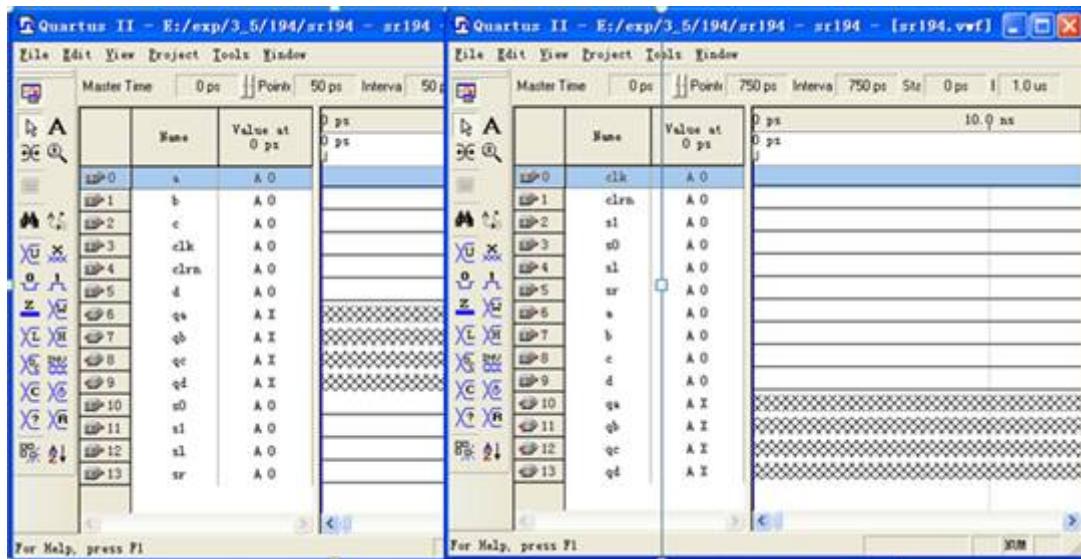
- a. 低电平 任意 高电平
- b. 低电平 高电平 任意
- c. 任意 低电平 高电平
- d. 高电平 低电平 任意

**题目3**

完成

获得1.00分中的1.00分

1. 下面的仿真图中左图与右图分别是\_\_\_\_\_



选择一项：

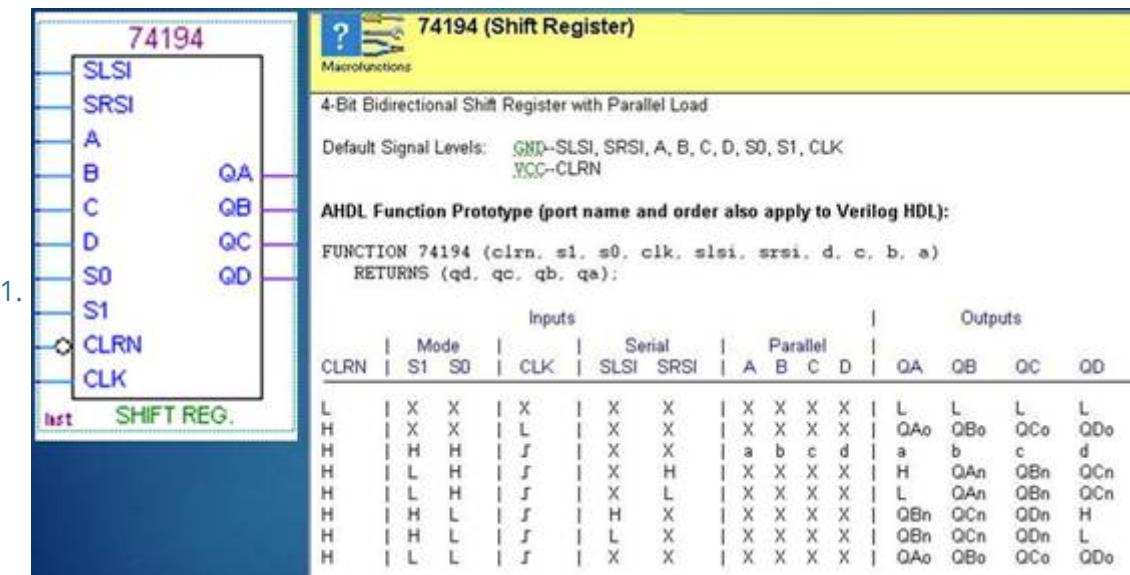
- a. 仿真时信号整合前与整合后
- b. 仿真时信号整合前与未整合完
- c. 仿真时信号整合后与未整合完

**题目4**

完成

获得1.00分中的1.00分

下图74194的功能表中SLSI SRSI是\_\_\_\_\_。



选择一项：

- a. 串行左移或右移输入的数据
- b. 模式选择信号
- c. 复位清0信号
- d. 并行输入数据

**题目5**

完成

获得1.00分中的1.00分

clock period与grid size宽度关系不恰当地是\_\_\_\_\_。

选择一项：

- a. 一倍
- b. 20倍
- c. 一半
- d. 四倍

**题目6**

完成

获得1.00分中的1.00分

\_\_\_\_\_的特点是任意时刻的输出仅仅取决于该时刻的输入，与电路原来的状态无关。

选择一项：

- a. 模拟电路
- b. 时序逻辑电路
- c. 组合逻辑电路
- d. 数字电路

**题目7**

完成

获得1.00分中的1.00分

仿真前，最重要的2个参数需要设置，分别是\_\_\_\_\_

选择一项或多项：

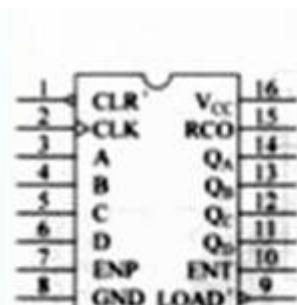
- a. grid size
- b. end time
- c. clock period

题目8

完成

获得1.00分中的1.00分

下图芯片74161真值表中\_\_\_\_\_功能与CLK异步



(a) 74L5161

输入					输出
CLK	LOAD'	CLR'( $\bar{R}_0$ )	ENP	ENT	$Q$
×	×	0	×	×	全0
†	0	1	×	×	预置数
†	1	1	1	1	计数
×	1	1	0	×	保持
×	1	1	×	0	保持

### (3) 高值化

•

选择

圖 A-28 74LS161(四位二進制開關計數器)引脚排列及真值表

项：

- a. 预置数
  - b. 计数
  - c. 保持
  - d. 全0

题目9

完成

获得1.00分中的1.00分

是指电路中各寄存单元的更新是在同一时钟信号控制下同时完成。

选择一项：

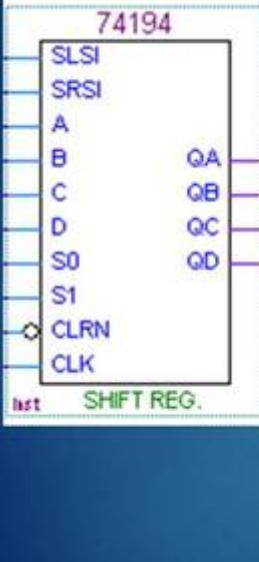
- a. 同步时序电路
  - b. 异步时序电路
  - c. 数字电路
  - d. 模拟电路

**题目10**

完成

获得1.00分中的1.00分

下图74194的功能表中ABCD是\_\_.

1. 

**74194 (Shift Register)**

Macrofunctions:

4-Bit Bidirectional Shift Register with Parallel Load

Default Signal Levels: GND-SLSI, SRSI, A, B, C, D, S0, S1, CLK  
VCC-CLRN

AHDL Function Prototype (port name and order also apply to Verilog HDL):

```
FUNCTION 74194 (clrn, s1, s0, clk, slsi, srssi, d, c, b, a)
RETURNS (qd, qc, qb, qa);
```

**Inputs**

CLRN	Mode			Serial	Parallel				Outputs				
	S1	S0	CLK		SLSI	SRSI	A	B	C	D	QA	QB	QC
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QAo	QBo	QCo	QDo
H	H	H	J	X	X	a	b	c	d	a	b	c	d
H	L	H	J	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	J	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	J	H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L	J	L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	J	X	X	X	X	X	X	QAo	QBo	QCo	QDo

选择一项：

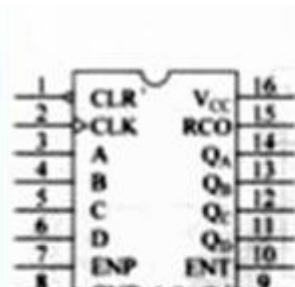
- a. 复位清0信号
- b. 并行输入数据
- c. 模式选择信号
- d. 串行左移或右移输入的数据

**题目11**

完成

获得1.00分中的1.00分

下图芯片74161的真值表中的CLK与CLR分别属于\_\_\_\_\_。



(a) 74LS161

输入					输出
CLK	LOAD'	CLR' ( $\bar{R}_0$ )	ENP	ENT	$Q$
×	×	0	×	×	全0
†	0	1	×	×	预置数
†	1	1	1	1	计数
×	1	1	0	×	保持
×	1	1	×	0	保持

(b) 真值表

图 A-28 74LS161(四位二进制同步计数器)引脚排列及真值表

选择一项：  
a. 异步时钟、同步清零  
b. 同步时钟、同步清零  
c. 同步时钟、异步清零  
d. 异步时钟、异步清零

**题目12**

完成

获得1.00分中的1.00分

74194功能仿真时，信号添加完排序，要注意信号排序位置：CLK置顶、其次是按照\_\_\_\_\_的顺序放置。

选择一项：

- a. 同步控制信号、异步控制信号、输入数据信号、输出数据信号
- b. 输入数据信号、同步控制信号、异步控制信号、输出数据信号
- c. 输入数据信号、异步控制信号、同步控制信号、输出数据信号
- d. 异步控制信号、同步控制信号、输入数据信号、输出数据信号

**题目13**

完成

获得1.00分中的1.00分

\*.VWF与 simulator report 分别是\_\_\_\_\_ -

选择一项:

- a. 波形激励输入文件 波形输出文件
- b. 波形输出文件 波形激励输入文件
- c. 仿真结果 波形激励输入文件
- d. 波形文件 仿真结果

**题目14**

完成

获得1.00分中的1.00分

下图中蓝色椭圆里的语句表示\_\_\_\_\_

The image shows two side-by-side code editors. The left editor contains the original VHDL code for a D flip-flop, while the right editor contains the modified code where specific annotations have been removed.

**Left Editor (Original Code):**

```

library ieee;
use ieee.std_logic_1164.all;

entity exp_xiaodou is
port( d_in,clk:in std_logic;
      clk_out:out std_logic);
end exp_xiaodou;

architecture rtl of exp_xiaodou is
signal a,b:std_logic;
begin
process(d_in,clk)
begin
  if(clk='1' and clk'event) then
    a<=d_in;
    b<=a;
  end if;
end process;
  q out<=a and (not b);
end rtl;

```

**Right Editor (Modified Code):**

```

library ieee;
use ieee.std_logic_1164.all;

entity exp_xiaodou2 is
port( d_in,clk:in std_logic;
      clk_out:out std_logic);
end exp_xiaodou2;

architecture arch of exp_xiaodou2 is
component mydff is
PORT
(
  clock : IN STD_LOGIC ;
  data : IN STD_LOGIC ;
  q : OUT STD_LOGIC
);
END component;
signal x,y:std_logic;
begin
begin
  mydff port map(clock=>clk,data=>d_in,q=>x);
  mydff port map(clk,x,y);
  clk_out<=x and (not y);
end arch,

```

**Annotations:**

- Left Editor:** The first three lines of the process block (the assignment statements) are circled in blue.
- Right Editor:** The first three lines of the architecture block (the port map statements) are circled in blue.

选择一项：

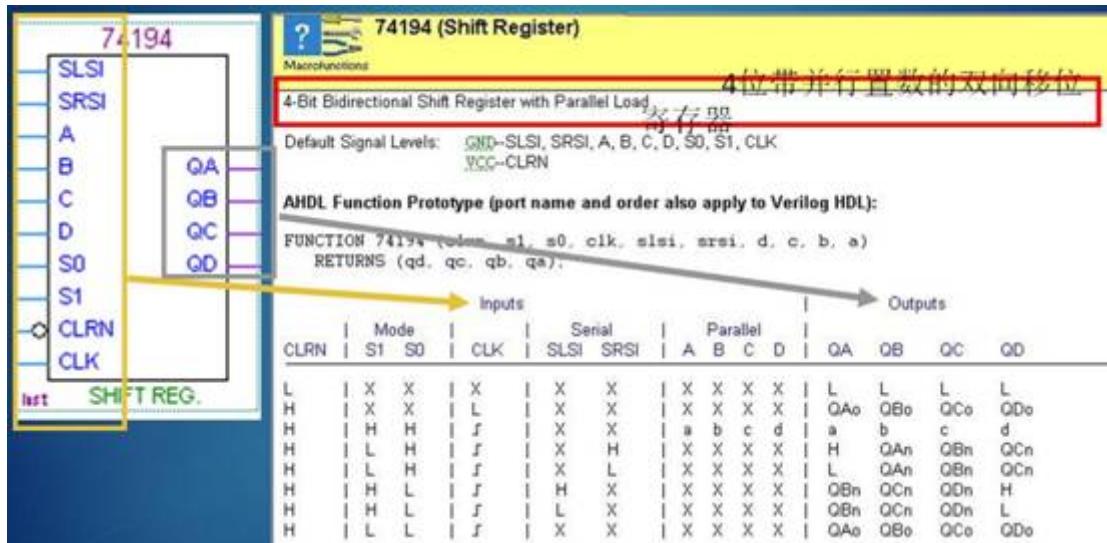
- a. 与CLK同步
- b. 与CLK异步
- c. 数据传输

**题目15**

完成

获得1.00分中的1.00分

下图74194真值表中QA<sub>0</sub>QB<sub>0</sub>QC<sub>0</sub>QD<sub>0</sub>的意义是：\_\_\_\_\_



1.

选择一项：

- a. 输入值
- b. 上一个状态的值
- c. 输出值

**题目16**

完成

获得1.00分中的1.00分

\_\_\_\_\_其任一时刻的输出不仅取决于该时刻的输入，而且还与过去各时刻的输入有关。常见的有触发器、计数器、寄存器等。由于其具有存储或记忆的功能，检修起来就比较复杂。

选择一项：

- a. 数字电路
- b. 时序逻辑电路
- c. 模拟电路
- d. 组合逻辑电路

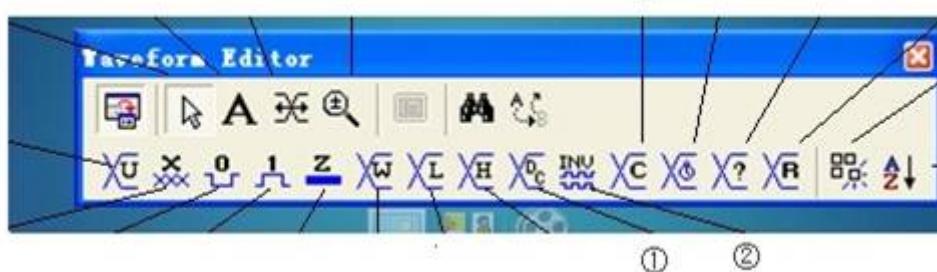
**题目17**

完成

获得1.00分中的1.00分

下图中①②③分别表示\_\_\_\_\_;

1.



选择一项：

- a. 反向、计数值、无关
- b. 计数值、反向、无关
- c. 无关、反向、计数值
- d. 计数值、无关、反向

**题目18**

完成

获得1.00分中的1.00分

下图中红色椭圆里的语句表示\_\_\_\_\_

1.

library ieee; use ieee.std\_logic\_1164.all; entity exp\_xiaodou2 is port( d\_in,clk:in std\_logic; clk\_out:out std\_logic); end exp\_xiaodou2; architecture arch of exp\_xiaodou2 is component mydff is PORT ( clock : IN STD\_LOGIC ; data : IN STD\_LOGIC ; q : OUT STD\_LOGIC ); END component; signal x,y:std\_logic; begin begin mydff port map(clock=>clk, data=>d\_in, q=>q); mydff port map(clk,x,y); clk\_out=<x and (not y); end begin; end arch;

选择一项：

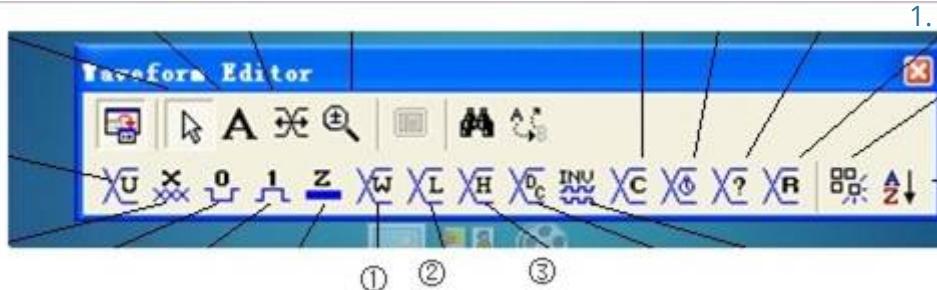
- a. 数据传输
- b. 与CLK同步
- c. 与CLK异步

**题目19**

完成

获得1.00分中的1.00分

下图中①②③分别表示\_\_\_\_\_;



选择一项：

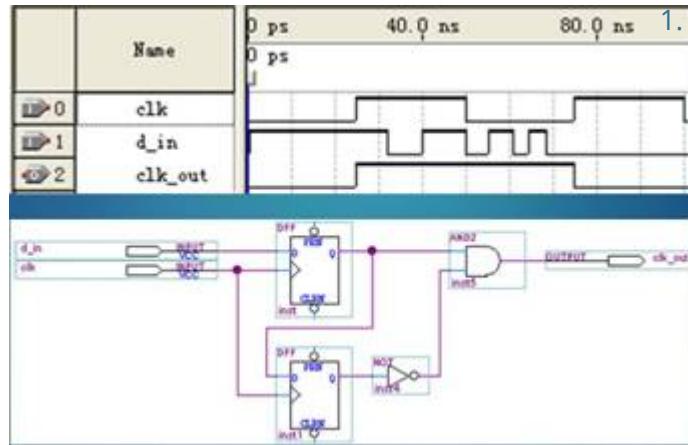
- a. 弱不定、低电平、高电平
- b. 不定、低电平、高电平
- c. 弱不定、低电平、高电平
- d. 弱不定、弱低电平、弱高电平

**题目20**

完成

获得1.00分中的1.00分

下图中的仿真图中体现与clk同步的区域是\_\_\_\_\_



选择一项：

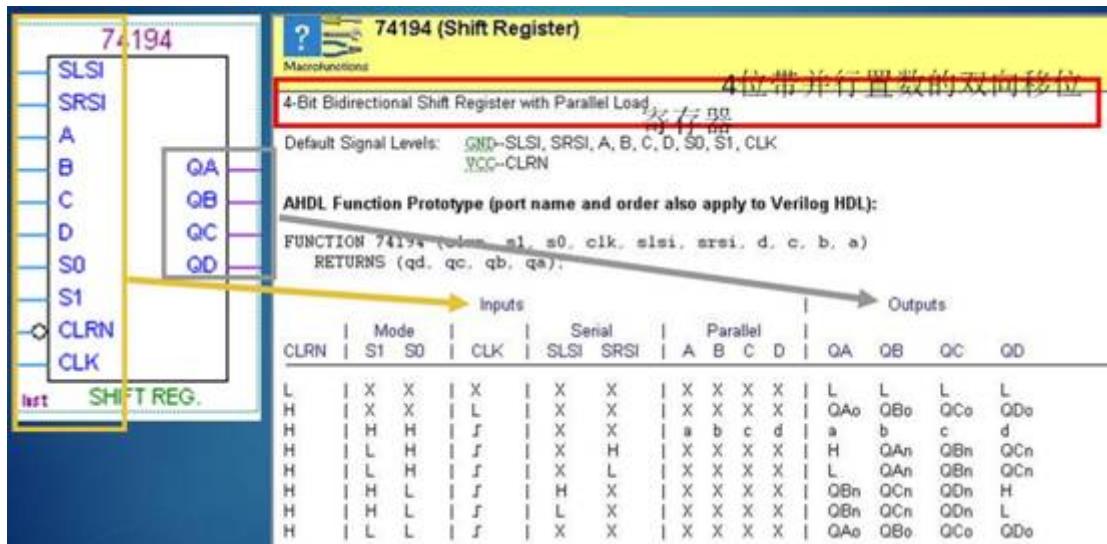
- a. 40ns
- b. 65ns
- c. 50ns
- d. 25ns

**题目21**

完成

获得1.00分中的1.00分

下图74194中清零信号以及有效值是\_\_\_\_\_



1.

选择一项：

- a. CLEAR 低电平
- b. CLRN 高电平
- c. CLRN 低电平
- d. CLEAR 高电平

**题目22**

完成

获得1.00分中的1.00分

\_\_\_\_\_是用来FPGA产品发布时用，程序下载至配置芯片EPCS中，电路板上电后，主芯片引导着由配置芯片中配置数据拷到主芯片上后再执行用户电路。这样的话，数据掉电也没关系，重新上电后就又出现了。

选择一项：

- a. JTAG下载
- b. PS下载
- c. USB
- d. AS下载

**题目23**

完成

获得1.00分中的1.00分

仿真时，信号整理过程中的基本原则是\_\_\_\_\_

选择一项或多项：

- a. 时钟信号随机
- b. 全局控制信号居前
- c. 时钟信号置顶
- d. 输出信号排最后

**题目24**

完成

获得1.00分中的1.00分

同步时序电路和异步时序电路比较，其差异在于没有统一的时钟脉冲控制。\_\_\_\_\_是指电路中各存储单元无统一的时钟控制，不受同一时钟控制。状态变化的时刻是不稳定的，通常输入信号只在电路处于稳定状态时才发生变化。

选择一项：

- a. 数字电路
- b. 同步时序电路
- c. 异步时序电路
- d. 模拟电路

**题目25**

完成

获得1.00分中的1.00分

仿真时信号整合Grouping时高低位如何排序\_\_\_\_\_

选择一项：

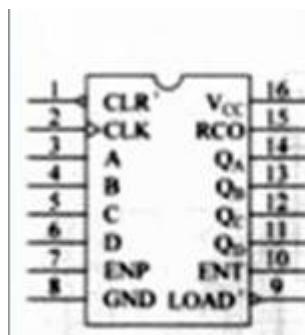
- a. 由高到低
- b. 随机
- c. 由低到高

**题目26**

完成

获得1.00分中的1.00分

下图芯片74161真值表中\_\_\_\_\_功能与CLK同步。



		输入				输出
CLK	LOAD'	CLR' ( $\bar{Q}_0$ )	ENP	ENT	$Q$	
×	×	0	×	×	全0	
†	0	1	×	×	预置数	
†	1	1	1	1	计数	
×	1	1	0	×	保持	
×	1	1	×	0	保持	

(b) 真值表

图 A-28 74LS161(四位二进制同步计数器)引脚排列及真值表

1.

选择一项或多

项：

- a. 全0
- b. 保持
- c. 预置数
- d. 计数

**题目27**

完成

获得1.00分中的1.00分

-----一般用于在线调试程序，是程序之际烧写到FPGA芯片，载完成后直接运行

选择一项：

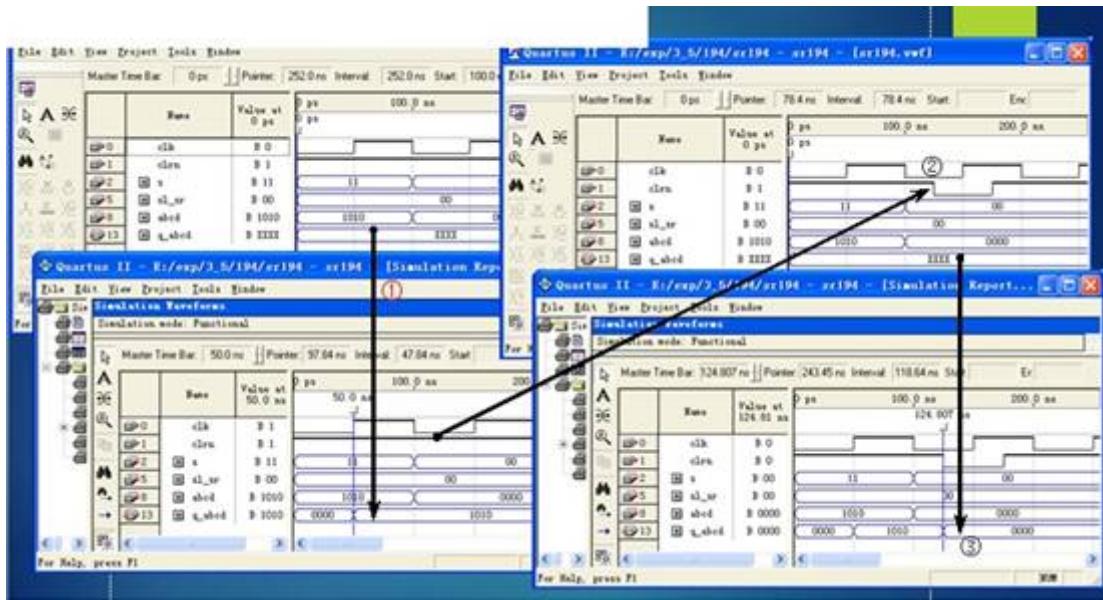
- a. JTAG下载
- b. USB
- c. PS下载
- d. AS下载

**题目28**

完成

获得1.00分中的1.00分

下图是74194部分功能的仿真截图，图中①②③表示是\_\_\_\_\_；



1.

选择一项：

- a. 分部仿真的过程：先置数功能设定后看结果、再设定异步清零、异步清零设定后再看异步清零的结果
- b. 置数功能、异步清零设置、异步清零看结果
- c. 置数、异步清零、保持状态
- d. 置数、同步清零、保持

**题目29**

完成

获得1.00分中的1.00分

下图中①②③④⑤分别表示\_\_\_\_\_



选择一项：

- a. 未初始化、强不定、强低电平、强高电平、高阻
- b. 高阻、强不定、低电平、高电平、未初始化
- c. 未初始化、高阻、低电平、高电平、不定
- d. 强不定、未初始化、强低电平、强高电平、高阻

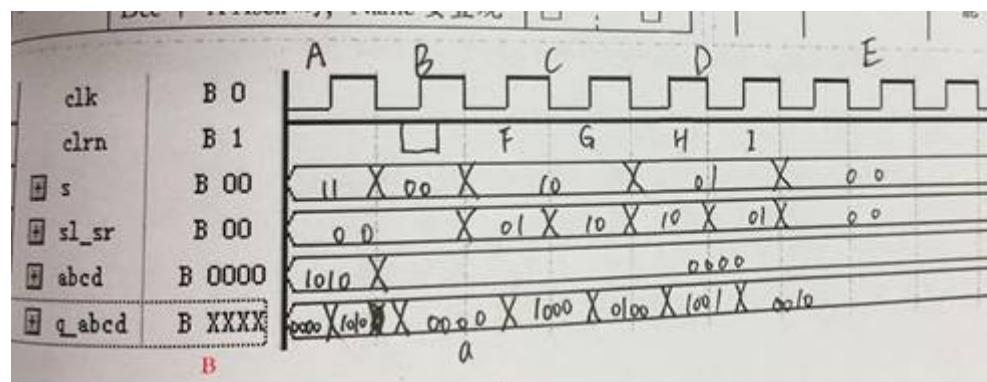
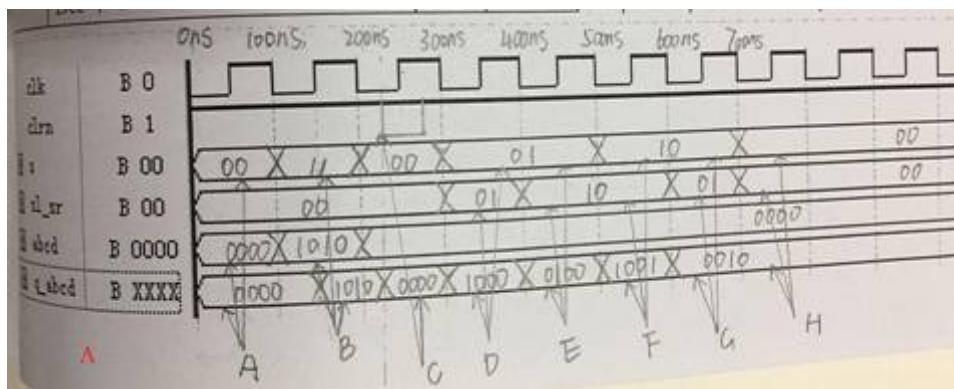
**题目30**

完成

获得1.00分中的1.00分

74194功能仿真，要求能实现：第2周期出现数据1010，后续结果中需出现数据0010，其他各功能必须且只出现1次。

下面图中能正确仿真上述要求的图是：图A？图B？①\_\_\_\_\_



正确仿真图中②A的功能\_\_\_\_\_③B的功能\_\_\_\_\_④C的功能\_\_\_\_\_⑤D的功能\_\_\_\_\_⑥E的功能\_\_\_\_\_  
 ⑦F的功能\_\_\_\_\_⑧G的功能\_\_\_\_\_⑨H的功能\_\_\_\_\_

- |         |        |
|---------|--------|
| ④       | 异步清0   |
| ⑨       | 保持状态   |
| ①正确的图是？ | 图A     |
| ②       | 电路初始化  |
| ⑦       | 串行左移补1 |
| ⑧       | 串行左移补0 |
| ⑥       | 串行右移补0 |
| ⑤       | 串行右移补1 |

③

并行置数

**题目31**

完成

获得1.00分中的1.00分

\_\_\_\_\_的特点是任意时刻的输出不仅取决于当时的输入信号，而且还取决于电路原来的状态，或者说，还与以前的输入有关。

选择一项：

- a. 时序逻辑电路
- b. 数字电路
- c. 模拟电路
- d. 组合逻辑电路

**题目32**

完成

获得1.00分中的1.00分

\_\_\_\_\_是不受时钟影响的，在一个芯片系统初始化（或者说上电）的时候需要这么一个全局的信号来对整个芯片进行整体的复位，到一个初始的确定状态。而\_\_\_\_\_需要在时钟沿来临的时候才会对整个系统进行复位。

选择一项：

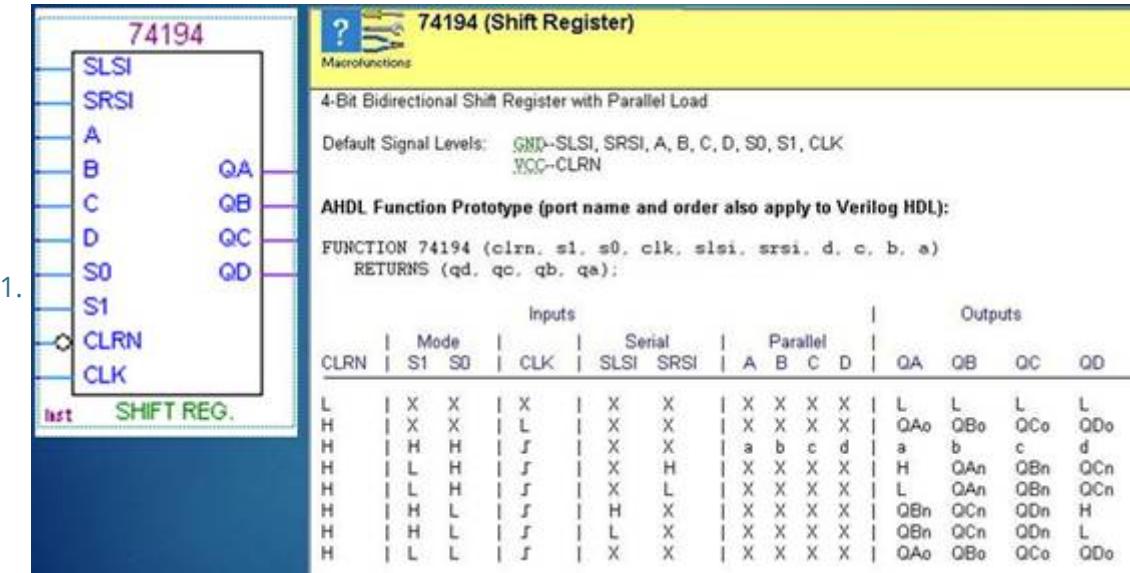
- a. 同步复位、异步复位
- b. 异步复位、同步复位
- c. 同步时钟、异步时钟
- d. 异步时钟、同步时钟

**题目33**

完成

获得1.00分中的1.00分

下图74194的功能表中CLRN是\_\_\_\_\_。



选择一项：

- a. 并行输入数据
- b. 模式选择信号
- c. 复位清0信号
- d. 串行左移或右移输入的数据

**题目34**

完成

获得1.00分中的1.00分

仿真时，信号整理过程中时钟信号位置\_\_\_\_\_。

选择一项：

- a. 中间
- b. 置顶
- c. 最后
- d. 随机

**题目35**

完成

获得1.00分中的1.00分

clock period和grid size分别是指\_\_\_\_\_

选择一项：

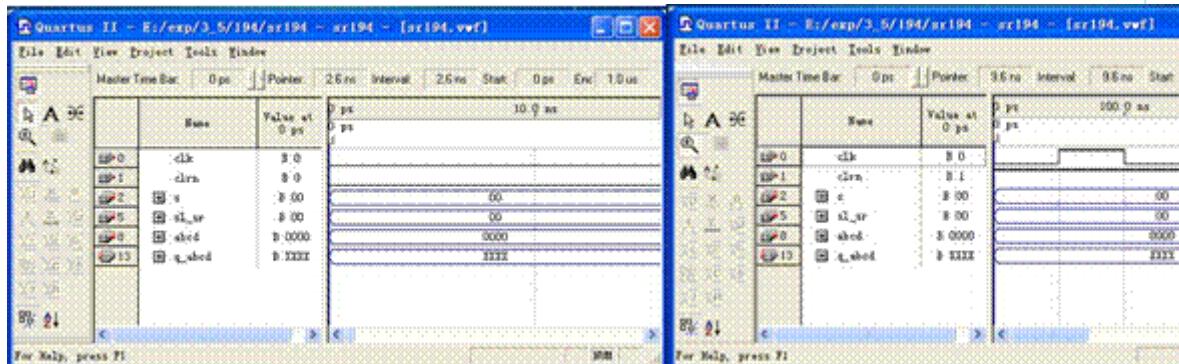
- a. 网格 周期
- b. 仿真时间 周期
- c. 时钟周期 网格
- d. 周期 仿真时间

**题目36**

完成

获得1.00分中的1.00分

1. 下列图为74194的仿真图初始化，哪一个初始化设置是正确的\_\_\_\_\_ -



选择一项：

- a. 左图
- b. 右图

**题目37**

完成

获得1.00分中的1.00分

仿真的基本思路\_\_\_\_\_

选择一项:

- a. 随意
- b. 按功能
- c. 三步走，先参数设置，初始，再后分段分功能仿真。

**题目38**

完成

获得1.00分中的1.00分

波形仿真，建立波形仿真vWF文件，添加变量和实现各变量的数据输入，simulator要先设计好输入激励，再启动仿真器，再看模拟结果是否正确来判断逻辑行为是否正确。以下步骤中：

- A. 添加工程中的输入、输出信号，并将其排序以及同类信号组合group
- B. 点击保存，文件名默认同工程名
- C. File->New...->Vector Waveform File
- D. 对输入信号设计输入激励（分段设置）
- E. Processing->Start Simulation
- F. 点击Processing -> Generate Functional Simulation Netlist

执行的先后顺序是\_\_\_\_\_

选择一项:

- a. C、A、D、B、F、E
- b. C、B、A、D、F、E
- c. A、B、C、D、E、F
- d. C、A、B、D、E、F

**题目39**

完成

获得1.00分中的1.00分

74194功能仿真时，信号添加完排序，要注意信号排序位置：\_\_\_\_\_置顶

选择一项：

- a. 输入数据信号
- b. 异步控制信号
- c. 时钟信号
- d. 同步控制信号

**题目40**

完成

获得1.00分中的1.00分

下图74194的功能表中S1S0是——

The image shows the functional table for the 74194 shift register. The left side lists the pins: SLSI, SRSI, A, B, C, D, S0, S1, CLRN, and CLK. The right side lists the outputs: QA, QB, QC, and QD. The table has two main sections: 'Inputs' and 'Outputs'. The 'Inputs' section includes columns for Mode (S1, S0), CLK, Serial (SLSI, SRSI), and Parallel (A, B, C, D). The 'Outputs' section includes columns for QA, QB, QC, and QD. The table rows show the logic levels (L or H) for each input combination and the resulting output levels.

		Inputs				Outputs							
CLRN	S1	S0	Mode	CLK	Serial	A	B	C	D	QA	QB	QD	
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QAo	QBo	QCo	QDo
H	H	H	J	X	X	a	b	c	d	a	b	c	d
H	L	H	J	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	J	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	J	H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L	J	L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	J	X	X	X	X	X	X	QAo	QBo	QCo	QDo

选择一项：

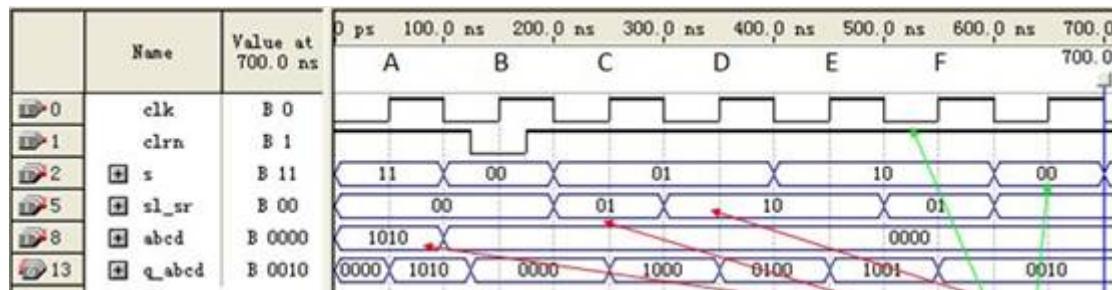
- a. 串行左移或右移输入的数据
- b. 复位清0信号
- c. 模式选择信号
- d. 并行输入数据

**题目41**

完成

获得1.00分中的1.00分

下图为74194的功能仿真结果，分别分段说明其各项功能：ABCDEF分别是



选择一项：

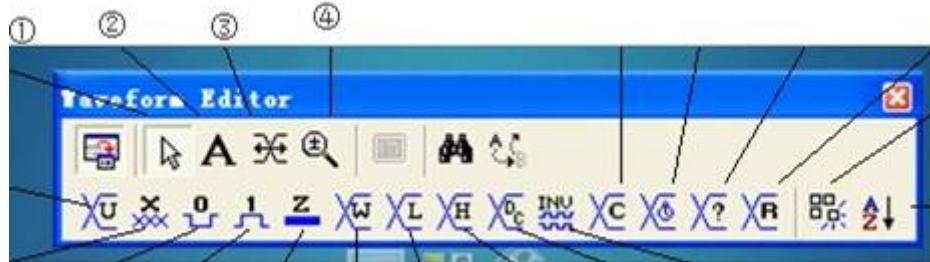
- a. 置数、异步清零、右移补1、右移补0、左移补1、保持
- b. 置数、异步清零、右移补1、右移补0、左移补1、左移补0
- c. 置数、异步清零、右移补1、右移补0、左移补1、左移补0、保持
- d. 置数、清零、左移补1、左移补0、右移补1、右移补0.

**题目42**

完成

获得1.00分中的1.00分

下图中①②③④分别表示\_\_\_\_\_



选择一项：

- a. 拖拽、添加文字、选取、缩放
- b. 添加文字、选取、拖拽、缩放
- c. 选取、添加文字、拖拽、缩放
- d. 缩放、添加文字、选取、拖拽

**题目43**

完成

获得1.00分中的1.00分

仿真的基本原则为\_\_\_\_\_

选择一项：

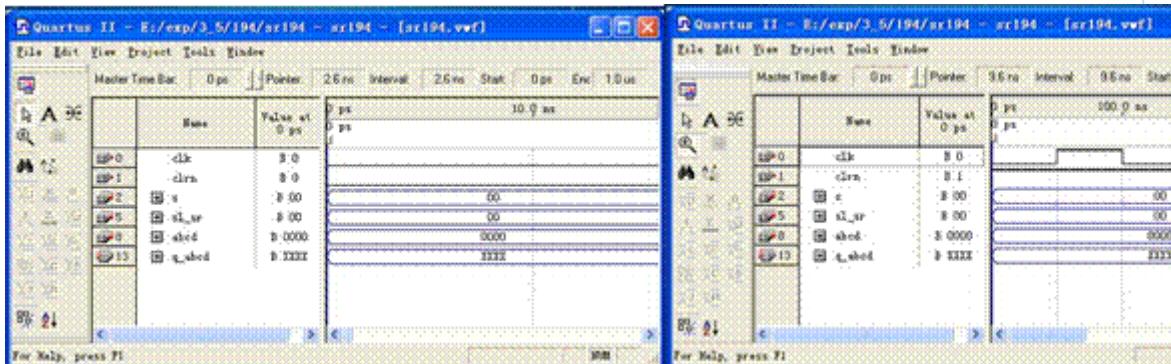
- a. 分段仿真
- b. 需要先预先进行参数设置
- c. 初始化
- d. 完整简洁

**题目44**

完成

获得1.00分中的1.00分

1. 下列图为74194的仿真图初始化，正确的初始化设置是\_\_\_\_\_。



选择一项：

- a. CLK信号设置成clock period周期变化状态、其余全部置0
- b. 置数、异步清零、右移补1、右移补0、左移补1、保持
- c. 全部置为0
- d. CLK信号设置成clock period周期变化状态、异步清零信号置无效、同步控制信号置保持状态、数据输入默认零

**题目45**

完成

获得1.00分中的1.00分

数字电路根据逻辑功能的不同特点，可以分成两大类，一类叫\_\_\_\_\_，另一类叫\_\_\_\_\_。

选择一项或多项：

- a. 组合逻辑电路
- b. 模拟电路
- c. 数字电路
- d. 时序逻辑电路



[个人主页](#) / [我的课程](#) / [数字系统实验](#) / [第七次课](#) / [训练7](#)

**开始时间** 2017年11月27日 星期一 11:34

**状态** 完成

**完成于** 2017年12月4日 星期一 00:18

**耗时** 6 天 12 小时

**成绩** 153.00/满分169.00 (91%)

### 题目1

完成

获得1.00分中的1.00分

在VHDL中，100 m 属于( )文字。

选择一项：

- a. 实数
- b. 整数
- c. 物理量
- d. 以数制基数表示的

**题目2**

完成

获得1.00分中的1.00分

QuartusII工具软件具有（ ）等功能。

选择一项：

- a. 编程
- b. 编辑
- c. 以上均可
- d. 编译

**题目3**

完成

获得1.00分中的1.00分

在VHDL中，加“+”和减“-”算术运算的操作数据是——数据类型。

选择一项：

- a. 任意类型
- b. 整型
- c. 整型或实型
- d. 实型

**题目4**

完成

获得1.00分中的1.00分

VHDL语言是一种结构化设计语言；一个设计实体（电路模块）包括实体与结构体两部分，结构体描述是——

选择一项：

- a. 器件的内部功能
- b. 器件外部特性
- c. 器件的综合约束
- d. 器件外部特性与内部功能

**题目5**

完成

获得1.00分中的1.00分

在VHDL的端口声明语句中，用(\_\_\_\_)声明端口为输出方向。

选择一项：

- a. BUFFER
- b. INOUT
- c. IN
- d. OUT

**题目6**

完成

获得1.00分中的1.00分

使用QuartusII工具软件建立仿真文件，应采用（）方式。

选择一项：

- a. 图形编辑
- b. 符号编辑
- c. 波形编辑
- d. 文本编辑

**题目7**

完成

获得1.00分中的1.00分

下面可以多次编程的器件是\_\_\_\_\_：

选择一项：

- a. GAL
- b. PLA
- c. ROM
- d. PAL

**题目8**

完成

获得1.00分中的1.00分

逻辑操作符XNOR表示——逻辑。

选择一项:

- a. 异或
- b. 或非
- c. 与非
- d. 同或

**题目9**

完成

获得1.00分中的1.00分

VHDL语言程序结构的特点是把一个设计实体分成——

选择一项:

- a. 外部和内部
- b. 图形部分和文本部分
- c. 实体和实体说明
- d. 结构体和结构体说明

**题目10**

完成

获得1.00分中的1.00分

下面只能一次编程的器件是:\_\_\_\_\_

选择一项:

- a. GAL
- b. FPGA
- c. CPLD
- d. PAL

**题目11**

完成

获得1.00分中的1.00分

以下关于VHDL中标识符的说法不正确的是 ——

选择一项:

- a. 标识符不允许与VHDL中的关键字重合
- b. 标识符必须由英文字母开始，且不能以下划线结束
- c. 标识符由26个英文字母和数字0 ~ 9以及下划线组成
- d. 标识符中可以包含空格

**题目12**

完成

获得1.00分中的1.00分

关于VHDL数据类型，正确的是 —— 。

选择一项：

- a. 用户可以定义任何类型的数据
- b. 前面三个答案都是错误的
- c. 用户不能定义子类型
- d. 用户可以定义子类型

**题目13**

完成

获得1.00分中的1.00分

可编程逻辑器件的英文简称是——

选择一项：

- a. PLD
- b. PLA
- c. PAL
- d. FPGA

**题目14**

完成

获得1.00分中的1.00分

要使用std\_logic数据类型，必须对IEEE中的\_\_\_\_\_程序包进行声明。

选择一项：

- a. std\_logic\_arith
- b. std\_logic\_unsigned
- c. std\_logic\_1164
- d. std\_logic\_signed

**题目15**

完成

获得1.00分中的1.00分

关于1987标准的VHDL语言中，对标识符描述正确的是 ——

选择一项：

- a. 可以使用数字开头
- b. 任何字符都可以
- c. 必须以英文字母开头
- d. 可以使用汉字开头

**题目16**

完成

获得1.00分中的1.00分

在下列标识符中，( )是VHDL错误的标识符。

选择一项：

- a. h\_adde4
- b. h\_adder\_4
- c. 4h\_adde
- d. h\_adde

**题目17**

完成

获得1.00分中的1.00分

在VHDL的IEEE标准库中，预定义的标准逻辑位STD\_LOGIC的数据类型中是用什么表示的。

选择一项：

- a. 全部是数字
- b. 大写字母数字
- c. 大写字母、-、数字
- d. 小写字母和数字

**题目18**

完成

获得1.00分中的1.00分

1987标准的VHDL语言中，对合法的标识符描述不正确的是 ——

选择一项：

- a. 下划线不能用在结尾
- b. 下划线不能连用
- c. 不能使用下划线
- d. 下划线不能用在开头

**题目19**

完成

获得1.00分中的1.00分

关于关系运算符的说法正确的是 ——

选择一项：

- a. 关系运算的数据类型可以不相同
- b. 关系运算的数据类型必须相同
- c. 关系运算只用于整数类型的数据（还有实数）
- d. 如果a和b都是字符型数据，则不能用“=”关系运算符

**题目20**

完成

获得1.00分中的1.00分

可以进行在系统编程的器件是:——

选择一项:

- a. FPGA
- b. PAL
- c. EPROM
- d. GAL

**题目21**

完成

获得1.00分中的0.00分

基于EDA软件的FPGA / CPLD设计流程为：原理图/HDL文本输入→\_\_\_\_\_→综合→适配  
→\_\_\_\_\_→编程下载→硬件测试。

①功能仿真 ②时序仿真 ③逻辑综合 ④配置 ⑤引脚锁定

选择一项:

- a. ③①
- b. ④②
- c. ①②
- d. ④⑤

**题目22**

完成

获得1.00分中的1.00分

下列哪个流程是正确的基于EDA软件的FPGA / CPLD设计流程：

选择一项：

- a. 原理图/HDL文本输入→综合→编程下载→→适配硬件测试
- b. 原理图/HDL文本输入→适配→综合→编程下载→硬件测试
- c. 原理图/HDL文本输入→适配→编程下载→综合→硬件测试
- d. 原理图/HDL文本输入→综合→适配→编程下载→硬件测试

**题目23**

完成

获得1.00分中的1.00分

请指出Altera Cyclone系列中的EP1C6Q240C8这个器件是属于\_\_\_\_\_

选择一项：

- a. GAL
- b. FPGA
- c. CPLD
- d. ROM

**题目24**

完成

获得1.00分中的1.00分

在VHDL中，`16#FE#` 属于(\_\_\_\_)文字。

选择一项：

- a. 整数
- b. 物理量
- c. 实数
- d. 以数制基数表示的

**题目25**

完成

获得1.00分中的1.00分

基于可编程器件EDA技术主要包括四大要素：大规模可编程器件、硬件描述语言、实验开发系统和——

选择一项：

- a. 硬件电路仿真器件测试
- b. 软件开发工具
- c. 模拟器件及接口
- d. 监控程序模块

**题目26**

完成

获得1.00分中的1.00分

布尔表达式 $Y=AB+C$ 的正确VHDL表达式是——

选择一项:

- a.  $Y \leq A \text{ AND } B \text{ OR } C$
- b.  $Y \leq A \text{ AND } (B \text{ OR } C)$
- c.  $Y \leq AC+C$
- d.  $Y \leq A \text{ AND } B + C$

**题目27**

完成

获得1.00分中的1.00分

关于VHDL运算符优先级的说法正确的是——

选择一项:

- a. 不能使用括号
- b. 括号可以改变优先级
- c. 括号的优先级最低
- d. 括号不能改变优先级

**题目28**

完成

获得1.00分中的1.00分

执行下列语句后Q的值等于 \_\_\_\_。

.....

SIGNAL E: STD\_LOGIC\_VECTOR (2 TO 5);

SIGNAL Q: STD\_LOGIC\_VECTOR (9 DOWNTO 2);

.....

E<=(2=>'0', 4=>'0', OTHERS=>'1');

Q<=(2=>E (2), 4=>E (3), 5=>'1', 7=>E (5), OTHERS=>E (4));

.....

选择一项:

- a. "11011011"
- b. "11011001"
- c. "00110100"
- d. "00101100"

**题目29**

完成

获得1.00分中的1.00分

在EDA中，IP的中文含义是——

选择一项：

- a. 知识产权核
- b. 在系统编程
- c. 网络协议
- d. 网络供应商

**题目30**

完成

获得1.00分中的1.00分

关于VHDL运算符优先级的说法正确的是 ——

选择一项：

- a. 关系运算的优先级最低
- b. 逻辑运算的优先级最低
- c. 逻辑运算的优先级最高
- d. 关系运算的优先级最高

**题目31**

完成

获得4.00分中的4.00分

下列是EDA技术应用时涉及的步骤：

- A. 原理图/HDL文本输入; B. 适配; C. 时序仿真; D. 编程下载; E. 硬件测试; F. 综合

请选择合适的项构成基于EDA软件的FPGA / CPLD设计流程：

A → \_①\_\_\_\_ → \_②\_\_\_\_ → \_③\_\_\_\_ → D → \_④\_\_\_\_

②对应

B

①对应

F

④对应

E

③对应

C

**题目32**

完成

获得1.00分中的1.00分

下面数据中属于实数的是 ——

选择一项：

- a. 4.2
- b. "1"
- c. "11011"
- d. 3

**题目33**

完成

获得1.00分中的1.00分

符合1987标准VHDL的标识符是 ——

选择一项：

- a. 22
- b. 2A
- c. A\_2
- d. A+2

**题目34**

完成

获得3.00分中的2.00分

EDA设计输入主要包括①——、②——和③——。

- ①  图形输入
- ③  波形输入
- ②  HDL文本输入

**题目35**

完成

获得1.00分中的1.00分

自顶向下设计过程中，描述器件一部分功能的模块一般称为（）。

选择一项：

- a. 完整设计
- b. 顶层设计
- c. 底层设计
- d. 全面设计

**题目36**

完成

获得1.00分中的1.00分

关于VHDL中的数字，请找出以下数字中最大的一个：——。

选择一项：

- a. 8#376#
- b. 2#1110\_1110#
- c. 16#E#E1
- d. 10#170#

**题目37**

完成

获得2.00分中的2.00分

PLD的可编程主要基于A. LUT结构 或者 B. 乘积项结构:

请指出下列两种可编程逻辑基的可编程结构:

CPLD 基于 () 的可编程结构

B

FPGA 基于 () 的可编程结构

A

**题目38**

完成

获得1.00分中的1.00分

在VHDL中，45\_234\_287属于( ) 数据类型

选择一项:

- a. 比特型
- b. 整数型
- c. 实数
- d. 字符型

**题目39**

完成

获得1.00分中的1.00分

符合1987VHDL标准的标识符是 ——

选择一项:

- a. 2\_2\_a
- b. 2a
- c. a\_2\_3
- d. a\_\_ \_\_2

**题目40**

完成

获得1.00分中的1.00分

VHDL的设计实体可以被高层次的系统 ——，成为系统的一部分

选择一项:

- a. 输出
- b. 输入
- c. 仿真
- d. 调用

**题目41**

完成

获得1.00分中的0.00分

下面哪个不是VHDL常用的描述风格。

选择一项:

- a. 数据流
- b. This choice was deleted after the attempt was started.
- c. 行为
- d. 结构化

**题目42**

完成

获得1.00分中的1.00分

在QuartusII集成环境下为图形文件产生一个元件符号的主要用途是（）。

选择一项:

- a. 综合
- b. 仿真
- c. 编译
- d. 被高层次电路设计调用

**题目43**

完成

获得1.00分中的1.00分

在使用元件例化语句时，如采用的是位置关联的方式，则例化的端口表达式（信号\_\_\_\_\_）与元件声明语句中的端口。

选择一项：

- a. 名称可以不一致，顺序也可以不一致。
- b. 名称必须一致，顺序可以不一致
- c. 名称必须一致，顺序也必须一致
- d. 名称可以不一致，顺序必须一致；

**题目44**

完成

获得1.00分中的1.00分

大规模可编程器件主要有FPGA、CPLD两类，下列对CPLD结构与工作原理的描述中，正确的是：——

选择一项：

- a. CPLD即是现场可编程逻辑器件的英文简称
- b. CPLD是基于查找表结构的可编程逻辑器件
- c. 早期的CPLD是从FPGA的结构扩展而来
- d. 在Xilinx公司生产的器件中，XC9500系列属CPLD结构

**题目45**

完成

获得1.00分中的1.00分

使用QuartusII工具软件实现文本设计输入，应采用（）方式。

选择一项：

- a. 波形编辑
- b. 符号编辑
- c. 图形编辑
- d. 文本编辑

**题目46**

完成

获得1.00分中的1.00分

在VHDL标识符命名规则中，以（）开头的标识符是正确的。

选择一项：

- a. 字母
- b. 数字
- c. 字母或数字
- d. 下划线

**题目47**

完成

获得1.00分中的1.00分

转换函数TO\_BITVECTOR(A)的功能是 ——

选择一项：

- a. 将REAL转换为BIT\_VECTOR
- b. 将TIME转换为BIT\_VECTOR
- c. 将INTEGER转换为BIT\_VECTOR
- d. 将STDLOGIC\_VECTOR转换为BIT\_VECTOR

**题目48**

完成

获得1.00分中的1.00分

CPLD的可编程是主要基于什么结构——

选择一项：

- a. 查找表 (LUT)
- b. PAL可编程
- c. ROM可编程
- d. 与或阵列可编程

**题目49**

完成

获得1.00分中的0.00分

关于VHDL数据类型，不正确的是——

选择一项：

- a. 布尔型数据类型的取值是FALSE和TRUE
- b. “STD\_LOGIC” 是IEEE预定义数据类型
- c. 数据类型为字符型的标识符是区分大小写的。
- d. “BIT\_VECTOR”是IEEE预定义数据类型

**题目50**

完成

获得1.00分中的1.00分

关于VHDL中的数字，请找出以下数字中数值最小的一个：——

选择一项：

- a. 2#1111\_1110#
- b. 8#276#
- c. 16#E#E1
- d. 10#170#

**题目51**

完成

获得1.00分中的1.00分

自顶向下设计过程中，描述器件总功能的模块一般称为（）。

选择一项：

- a. 完整设计
- b. 顶层设计
- c. 底层设计
- d. 全面设计

**题目52**

完成

获得4.00分中的4.00分

EDA设计流程包括①——、②——、③——和④——四个步骤。

④ 下载编程

① 设计输入

③ 实际设计检验

② 设计实现

**题目53**

完成

获得1.00分中的1.00分

QuartusII是——

选择一项：

- a. 硬件描述语言
- b. 高级语言
- c. EDA工具软件
- d. 综合软件

**题目54**

完成

获得1.00分中的1.00分

在VHDL中，数组型（array）和记录型（record）属于（ ）数据。

选择一项：

- a. 复合类型
- b. 标量型
- c. 文件类型
- d. 存取类型

**题目55**

完成

获得1.00分中的1.00分

下列选项中，哪些项在VHDL程序设计文件中属于可选部分 ——

选择一项：

- a. 实体和结构体
- b. 结构体和配置
- c. 库、程序包和配置
- d. 库和实体

**题目56**

完成

获得1.00分中的1.00分

VHDL语言程序结构中必不可少的部分是：——

选择一项：

- a. 库
- b. 程序包
- c. .配置
- d. 实体和结构体

**题目57**

完成

获得1.00分中的1.00分

STD\_LOGIG\_1164中定义的高阻是字符 ——

选择一项:

- a. z
- b. x
- c. X
- d. Z

**题目58**

完成

获得1.00分中的1.00分

在STD\_LOGIG\_1164中字符Z定义为——

选择一项:

- a. 弱信号1
- b. 高阻
- c. 初始值
- d. 弱信号0

**题目59**

完成

获得1.00分中的1.00分

在VHDL的端口声明语句中，用——声明端口为双向方向

选择一项：

- a. OUT
- b. INOUT
- c. BUFFER
- d. IN

**题目60**

完成

获得1.00分中的1.00分

在VHDL的实体说明中，端口名表的作用是 ——

选择一项：

- a. 说明实体输入、输出端口的信号类型及端口模式
- b. 列出所有输入端口的名称
- c. 列出所有输出端口的名称
- d. 只定义输入、输出端口的数目

**题目61**

完成

获得1.00分中的1.00分

在VHDL中，库可以包含一个或多个 ——

选择一项：

- a. 程序包
- b. 输出
- c. 输入
- d. 结构体

**题目62**

完成

获得1.00分中的1.00分

EDA的中文含义是 ——

选择一项：

- a. 计算机辅助教学
- b. 计算机辅助制造
- c. 电子设计自动化
- d. 计算机辅助计算

**题目63**

完成

获得1.00分中的1.00分

不符合1987 标准VHDL的标识符是 ——

选择一项:

- a. %50
- b. a1b1
- c. a2b2
- d. ad12

**题目64**

完成

获得1.00分中的1.00分

如果 $a=1, b=0$ , 则逻辑表达式  $(a \text{ AND } b) \text{ OR } (\text{NOT } b \text{ AND } a)$  的值是 ——

- A. 0
- B. 1
- C. 2
- D. 不确定

选择一项:

- a. 1
- b. 0
- c. 2
- d. 不确定

**题目65**

完成

获得1.00分中的1.00分

VHDL的实体声明部分用来指定设计单元的——

选择一项:

- a. 引脚
- b. 输入端口
- c. 以上均可
- d. 输出端口

**题目66**

完成

获得1.00分中的1.00分

在EDA工具中，能完成在目标系统器件上布局布线软件称为——

选择一项:

- a. 适配器
- b. 综合器
- c. 下载器
- d. 仿真器

**题目67**

完成

获得1.00分中的1.00分

VHDL的设计文体可以被高层次的系统——，成为系统的一部分。

选择一项：

- a. 仿真
- b. 输入
- c. 调用
- d. 输出

**题目68**

完成

获得1.00分中的1.00分

可编程逻辑器件PLD属于（）电路。

选择一项：

- a. 半用户定制
- b. 非用户定制
- c. 自动生成
- d. 全用户定制

**题目69**

完成

获得1.00分中的1.00分

MAX+PLUS的文本文件类型是（后缀名）——

选择一项：

- a. .TXT
- b. 以上都不是
- c. .HDL
- d. .VHD

**题目70**

完成

获得1.00分中的1.00分

大规模可编程器件主要有FPGA、CPLD两类，下列对CPLD结构与工作原理的描述中，正确的是( )。

选择一项：

- a. 早期的CPLD是从GAL的结构扩展而来
- b. CPLD即是现场可编程逻辑器件的英文简称
- c. 在Altera公司生产的器件中，FLEX10K系列属CPLD结构
- d. CPLD是基于查找表结构的可编程逻辑器件

**题目71**

完成

获得1.00分中的1.00分

当前最流行的并成为IEEE标准的硬件描述语言包括VHDL和——

选择一项:

- a. AHDL语言
- b. C语言
- c. Verilog HDL语言
- d. ABEL语言

**题目72**

完成

获得1.00分中的1.00分

对CPLD器件特点描述正确的是:——

选择一项:

- a. 集成度低于PAL和GAL
- b. 内部触发器少
- c. 可以加密
- d. 不能多次编程

**题目73**

完成

获得1.00分中的1.00分

VHDL语言共支持四种常用库，其中哪种库是用户的VHDL设计现行工作库——

选择一项：

- a. STD库
- b. IEEE库
- c. WORK工作库
- d. VITAL库

**题目74**

完成

获得1.00分中的1.00分

在下列可编程逻辑器件中，属于低密度可编程逻辑器件LDPLD的是（）

选择一项：

- a. CPLD
- b. FPGA
- c. PAL
- d. EPLD

**题目75**

完成

获得1.00分中的1.00分

对于大多数主流的VHDL综合器，一般不支持哪个数据类型——

选择一项：

- a. INTEGER
- b. STRING
- c. BIT
- d. TIME

**题目76**

完成

获得1.00分中的1.00分

在EDA工具中，能将硬件描述语言转换为硬件电路的重要工具软件称为——。

选择一项：

- a. 综合器
- b. 适配器
- c. 仿真器
- d. 下载器

**题目77**

完成

获得1.00分中的0.00分

如定义SIGNAL b:BIT\_VECTOR(0 TO 0),则信号b的位宽是几位?

选择一项:

- a. 2
- b. 非法语句
- c. 0
- d. 1

**题目78**

完成

获得9.00分中的7.00分

判断下列VHDL标识符是否合法

- ①16#0FA# (\_)
- ②10#12F# (\_)
- ③8#789# (\_)
- ④D100% (\_)
- ⑤SIG-1N (\_)
- ⑥NOT\_#M (\_)
- ⑦DATA\_BUS\_ (\_)
- ⑧RETURN (\_)
- ⑨STATE0 (\_)

- ①  ×
- ②  [Deleted choice]
- ⑧  [Deleted choice]
- ③  [Deleted choice]
- ⑥  [Deleted choice]
- ⑨  ×
- ⑦  [Deleted choice]
- ⑤  [Deleted choice]
- ④  [Deleted choice]

**题目79**

完成

获得1.00分中的1.00分

在下列标识符中，（\_）是VHDL错误的标识符。

选择一项：

- a. h\_adde4
- b. h\_adder\_4
- c. 4h\_adde
- d. h\_adde

**题目80**

完成

获得1.00分中的1.00分

使用QuartusII工具软件修改设计元件符号，应采用（ ）方式。

选择一项：

- a. 波形编辑
- b. 文本编辑
- c. 图形编辑
- d. 符号编辑

**题目81**

完成

获得1.00分中的1.00分

在VHDL中，为了使已声明的数据类型、子程序、元件能被其他设计实体调用或共享，可以把它汇集在一—中。

选择一项：

- a. 设计实体
- b. 结构体
- c. 库和程序包
- d. 配置

**题目82**

完成

获得1.00分中的1.00分

一个能为VHDL综合器接受，并能作为一个独立的设计单元的完整的VHDL程序称为（）。

选择一项：

- a. 设计实体
- b. 设计结构
- c. 设计输入
- d. 设计输出

**题目83**

完成

获得3.00分中的1.00分

VHDL的数据对象包括①\_\_\_\_\_、②\_\_\_\_\_和③\_\_\_\_\_，它们是用来存放各种类型数据的容器

② 常量

③ 变量

① 信号

**题目84**

完成

获得1.00分中的1.00分

基于VHDL设计的仿真包括有①门级时序仿真、②行为仿真、③功能仿真和④前端功能仿真这四种，按照自顶向下的设计流程，其先后顺序应该是：\_\_\_\_\_

选择一项：

- a. ②①④③
- b. ④③②①
- c. ①②③④
- d. ②④③①

**题目85**

完成

获得1.00分中的1.00分

使用QuartusII工具软件实现原理图设计输入，应采用（）方式

选择一项：

- a. 符号编辑
- b. 图形编辑
- c. 波形编辑
- d. 文本编辑

**题目86**

完成

获得1.00分中的1.00分

EPF10K20TC144-X器件，如果X的值越小表示——

选择一项：

- a. 器件的延时越小
- b. 器件的功耗越小
- c. 器件的速度越快
- d. 器件的工作频率越小

**题目87**

完成

获得1.00分中的1.00分

在下列标识符中，( )是VHDL合法的标识符。

选择一项：

- a. \_h\_adde
- b. h\_adde\_
- c. h\_adder
- d. 4h\_adde

**题目88**

完成

获得1.00分中的1.00分

Q为输出信号，但内部设计会用到其反馈信号，其正确的端口说明是：——

选择一项：

- a. IN BIT
- b. INOUT BIT
- c. BUFFER BIT
- d. OUT BIT

**题目89**

完成

获得1.00分中的1.00分

下面说法错误的是——

- A. 传统的系统硬件设计方法是采用自上而下 (top down) 的设计方法，利用硬件描述语言 (HDL) 的硬件电路设计方法采用自下而上 (bottom up) 的设计方法。
- B. 传统的系统硬件设计方法是采用自下而上 (bottom up) 的设计方法，利用硬件描述语言 (HDL) 的硬件电路设计方法采用自上而下 (top down) 的设计方法。
- C. VHDL可以采用层次化的设计，一个高层的结构体中可以调用低层的实体

选择一项：

- a. B
- b. C
- c. A

**题目90**

完成

获得1.00分中的1.00分

仿真是对电路设计的一种( )检测方法。

选择一项：

- a. 间接的
- b. 直接的
- c. 同步的
- d. 异步

**题目91**

完成

获得1.00分中的1.00分

下列哪个数据类型不必事先声明而可以直接引用 ——

选择一项：

- a. STD\_LOGIC\_VECTOR
- b. 前面三个答案都是错误的
- c. STD\_LOGIC
- d. BIT

**题目92**

完成

获得1.00分中的1.00分

大规模可编程器件主要有FPGA、CPLD两类，其中CPLD通过\_\_\_\_\_实现其逻辑功能。

选择一项：

- a. 可编程乘积项逻辑
- b. 输出缓冲
- c. 查找表 (LUT)
- d. 输入缓冲

**题目93**

完成

获得1.00分中的1.00分

基于下面技术的PLD器件中允许编程次数最多的是 ——

选择一项：

- a. FLASH
- b. SRAM
- c. EEROM

**题目94**

完成

获得1.00分中的1.00分

描述项目逻辑功能的是——

选择一项：

- a. 进程
- b. 结构体
- c. 配置
- d. 实体

**题目95**

完成

获得1.00分中的1.00分

QuartusII的设计文件最好不要直接保存在 \_\_\_\_。

选择一项：

- a. 硬盘
- b. 文件夹
- c. 工程目录
- d. quartusii安装目录

**题目96**

完成

获得1.00分中的1.00分

VHDL属于———描述语言。

选择一项：

- a. 高级
- b. 行为
- c. 硬件
- d. 低级

**题目97**

完成

获得1.00分中的0.00分

下面对利用原理图输入设计方法进行数字电路系统设计，那一种说法是不正确的——

选择一项：

- a. 原理图输入设计方法无法对电路进行功能描述
- b. 原理图输入设计方法也可进行层次化设计
- c. 原理图输入设计方法直观便捷，但不适合完成较大规模的电路系统设计
- d. 原理图输入设计方法一般是一种自底向上的设计方法

**题目98**

完成

获得1.00分中的1.00分

基于硬件描述语言HDL的数字系统设计，目前最常用的设计方法称为——方法。

A.自底向上 B.自顶向下 C.积木式 D.顶层

选择一项：

- a. 顶层
- b. 自底向上
- c. 积木式
- d. 自顶向下

**题目99**

完成

获得1.00分中的1.00分

使用QuartusII的图形编辑方式输入的电路原理图文件必修通过（）才能进行仿真验证。

选择一项：

- a. 综合
- b. 编辑
- c. 编程
- d. 编译

**题目100**

完成

获得1.00分中的1.00分

关于VHDL中实体说明的格式，以下叙述不正确的是——

选择一项：

- a. 实体说明以“ENTITY 实体名 IS”开头，以“END 实体名”结束
- b. 端口说明中只需要规定端口的模式即可
- c. 实体名一定要与设计文件同名
- d. 实体说明中包含类属表和端口说明两部分

**题目101**

完成

获得1.00分中的1.00分

对FPGA器件特点描述正确的是:——

选择一项:

- a. 采用SRAM工艺
- b. 断电后配置数据不丢失
- c. 集成度比PAL和GAL低
- d. 采用EEPROM工艺

**题目102**

完成

获得1.00分中的1.00分

在VHDL中，乘“\*”和除“/”算术运算的操作数据是—— 数据类型

选择一项:

- a. 整型
- b. 实型
- c. 整型和实型
- d. 比特型

**题目103**

完成

获得1.00分中的1.00分

在VHDL中，88\_670.551\_278属于( )文字。

选择一项：

- a. 实数
- b. 物理量
- c. 整数
- d. 以数制基数表示的

**题目104**

完成

获得1.00分中的1.00分

在VHDL的端口声明语句中，用( )声明端口为输入方向。

选择一项：

- a. IN
- b. INOUT
- c. BUFFER
- d. OUT

**题目105**

完成

获得1.00分中的1.00分

IEEE于1993年公布了VHDL的( )语法标准。正确答案：——

选择一项：

- a. RS232
- b. IEEE.STD\_LOGIC1164
- c. IEEE STD 1076-1993
- d. IEEE STD 1076-1987

**题目106**

完成

获得1.00分中的1.00分

使用STD\_LOGIC\_1164使用的数据类型时——

选择一项：

- a. 可以直接调用
- b. 必须在实体中声明
- c. 必须在结构体中声明
- d. 必须在库和包集合中声明

**题目107**

完成

获得1.00分中的0.00分

有如下定义：

signal a: character 则下面哪个赋值语句是正确的 ——

选择一项：

- a. a<=" zz"
- b. a<='z'
- c. a<='Z'
- d. a<=" 11"

**题目108**

完成

获得1.00分中的1.00分

一个项目的输入输出端口是定义在 ——

选择一项：

- a. 任何位置
- b. 实体中
- c. 进程中
- d. 结构体中

**题目109**

完成

获得1.00分中的1.00分

芯片cyclonellEP2C5T144C8N具有多少个管脚 \_\_

选择一项:

- a. 20
- b. 10
- c. 84
- d. 144

**题目110**

完成

获得1.00分中的1.00分

VHDL设计文件的实体说明部分描述的是 ——

选择一项:

- a. 电路系统的内部结构
- b. 电路系统的主要参数
- c. 电路系统的外部端口
- d. 电路系统的逻辑功能

**题目111**

完成

获得1.00分中的1.00分

在VHDL的IEEE标准库中，预定义的标准逻辑数据STD\_LOGIC有——种逻辑值。

选择一项：

- a. 2
- b. 9
- c. 3
- d. 8

**题目112**

完成

获得1.00分中的1.00分

在VHDL中，不需要进行说明而可直接使用的数据类型是——

选择一项：

- a. 以上均不可以
- b. 用户自定义的数据类型
- c. IEEE预定义标准数据类型
- d. 标准定义的数据类型

**题目113**

完成

获得1.00分中的0.00分

当前在系统可编程器件一般使用计算机的（ ）编程：

选择一项：

- a. 串口
- b. 并口
- c. VGA口
- d. USB口

**题目114**

完成

获得1.00分中的1.00分

在QuartusII集成环境下为图形文件产生一个元件符号的主要用途是（ ）。

选择一项：

- a. 被高层次电路设计调用
- b. 综合
- c. 仿真
- d. 编译

**题目115**

完成

获得1.00分中的1.00分

下列标识符中, (\_\_\_\_)是不合法的标识符。

选择一项:

- a. END
- b. sig
- c. Not\_Ack
- d. PPO

**题目116**

完成

获得1.00分中的1.00分

VHDL常用的库是( )标准库

选择一项:

- a. IEEE
- b. PACKAGE
- c. WORK
- d. STD

**题目117**

完成

获得1.00分中的1.00分

关于转化函数正确的说法是 ——

选择一项：

- a. 任何数据类型都可以通过转化函数相互转化
- b. 任何数据类型都不能转化
- c. 只有特定类型的数据类型可以转化（枚举不能）
- d. 前面说法都是错误的

**题目118**

完成

获得1.00分中的1.00分

将设计的系统或电路按照EDA开发软件要求的某种形式表现出来，并送入计算机的过程称为——

选择一项：

- a. 设计输出
- b. 综合
- c. 仿真
- d. 设计输入

**题目119**

完成

获得1.00分中的1.00分

关于VHDL运算符优先级的说法正确的是——

选择一项:

- a. NOT的优先级最低
- b. NOT的优先级最高
- c. AND和NOT属于同一个优先级
- d. 前面的说法都是错误的

**题目120**

完成

获得1.00分中的1.00分

下面只能一次编程的器件是:\_\_\_\_\_

选择一项:

- a. PAL
- b. CPLD
- c. FPGA
- d. GAL

**题目121**

完成

获得1.00分中的1.00分

边界扫描测试技术主要解决（）的测试问题。

选择一项：

- a. 芯片
- b. 微处理器
- c. 印刷电路板
- d. 数字系统

**题目122**

完成

获得1.00分中的0.00分

下面哪个不是VHDL运算符。

选择一项：

- a. 赋值运算符
- b. 连接运算符
- c. 算术运算符
- d. 关系运算符

**题目123**

完成

获得1.00分中的1.00分

现场可编程门阵列的英文简称是 ——

选择一项:

- a. FPGA
- b. PLD
- c. PAL
- d. PLA

**题目124**

完成

获得1.00分中的1.00分

不符合1987标准VHDL的标识符是 ——

选择一项:

- a. asd\_1
- b. a\_1\_in
- c. 2\_a
- d. a\_in\_2

**题目125**

完成

获得1.00分中的1.00分

**关键字ARCHITECTURE定义的是——**

选择一项：

- a. 进程
- b. 配置
- c. 实体
- d. 结构体

**题目126**

完成

获得1.00分中的1.00分

**关于VHDL运算符优先级的说法正确的是——**

选择一项：

- a. 括号可以改变优先级
- b. 不能使用括号
- c. 括号的优先级最低
- d. 括号不能改变优先级

**题目127**

完成

获得1.00分中的1.00分

下面哪一个可以用作VHDL中的合法的实体名 ——。

选择一项:

- a. OR
- b. SIGNAL
- c. VARIABLE
- d. OUT1

**题目128**

完成

获得1.00分中的1.00分

不属于PLD基本结构部分的是 ()

选择一项:

- a. 与非门阵列
- b. 或门阵列
- c. 与门阵列
- d. 输入缓存

**题目129**

完成

获得1.00分中的1.00分

在VHDL的IEEE标准库中，预定义的标准逻辑位STD\_LOGIC的数据类型中的数据最合适的是用(\_\_\_\_)表示的。

选择一项：

- a. 小写字母
- b. 大写字母、-、数字
- c. 全部是数字
- d. 大写字母

**题目130**

完成

获得1.00分中的0.00分

下面哪个数据类型不能够被综合，仅能用于仿真——。

选择一项：

- a. BIT
- b. REAL
- c. STD\_LOGIC
- d. INTEGER

**题目131**

完成

获得1.00分中的1.00分

下面哪个数据类型只有“真”和“假”两种状态。

选择一项:

- a. INTEGER
- b. BOOLEAN
- c. BIT
- d. STD\_LOGIC

**题目132**

完成

获得1.00分中的1.00分

下列4个VHDL标识符中正确的是: \_\_\_\_\_

选择一项:

- a. 10#128#
- b. 16#E#E1
- c. 74HC124
- d. X\_16

**题目133**

完成

获得1.00分中的1.00分

有如下定义：

TYPE week IS (sun, mon, tue, wed, thr, fri, sat) ;

则week的数据类型是——

选择一项：

- a. 枚举
- b. 字符
- c. BIT
- d. STD\_LOGIC

**题目134**

完成

获得1.00分中的1.00分

在下列可编程逻辑器件中，不属于高密度可编程逻辑器件HDPLD的是（）。

选择一项：

- a. EPLD
- b. CPLD
- c. FPGA
- d. PAL

**题目135**

完成

获得1.00分中的1.00分

下面数据中属于位矢量的是——

选择一项:

- a. 3
- b. 4.2
- c. "1"
- d. "11011"

**题目136**

完成

获得1.00分中的1.00分

在EDA中，ISP的中文含义是——

选择一项:

- a. 使用编程器烧写PLD芯片
- b. 没有特定意义
- c. 在线系统可编程
- d. 网络供应商

**题目137**

完成

获得1.00分中的0.00分

在PLD 没有出现前，数字系统的传统设计往往采用（）式进行，实质是对电路进行设计。

选择一项：

- a. 积木
- b. 功能块
- c. 自顶向下
- d. 自底向上

**题目138**

完成

获得1.00分中的1.00分

综合是EDA设计流程的关键步骤，综合就是把抽象设计层次中的一种表示转化成另一种表示的过程；在下面对综合的描述中，哪个是错误的——

选择一项：

- a. 为实现系统的速度、面积、性能的要求，需要对综合加以约束，称为综合约束；
- b. 综合就是将电路的高级语言转化成低级的，可与FPGA / CPLD的基本结构相映射的网表文件
- c. 综合可理解为，将软件描述与给定的硬件结构用电路网表文件表示的映射过程，并且这种映射关系不是唯一的。
- d. 综合是纯软件的转换过程，与器件硬件结构无关

**题目139**

完成

获得1.00分中的1.00分

在包含多个结构体的VHDL程序中，必须使用 来选择用于综合和仿真的结构体。

选择一项：

- a. Case语句
- b. If语句
- c. While语句
- d. Configuration语句

**题目140**

完成

获得1.00分中的1.00分

如果信号a定义为标准逻辑矢量，要使 $a \leq a+1$ ;语句合法，则需要打开下面哪些程序包

- ① std\_logic\_1164 ② std\_logic\_unsigned ③ std\_logic\_arith ④ std\_logic\_signed

选择一项：

- a. ②和④
- b. ①和③
- c. ②和③
- d. ①和②

**题目141**

完成

获得1.00分中的1.00分

执行QuartusII的( )命令,可以精确分析设计电路输入与输出波形间的延时量。

选择一项:

- a. Create Default Symbol
- b. simulator
- c. compile
- d. Timing Analyzer

**题目142**

完成

获得1.00分中的1.00分

以下关于VHDL中的程序包, 说法错误的是——

选择一项:

- a. 程序包由程序包声明单元和程序包体单元两部分构成
- b. 在实体中引用一个程序包的格式为: Use 库名. 程序包名. 项目名
- c. 用户只能使用VHDL预定义的标准程序包, 不能由用户自己定义程序包
- d. 程序包可定义一些子程序、常量和用户数据类型, 供多个设计实体共享

**题目143**

完成

获得1.00分中的1.00分

如果 $a=1, b=1$ , 则逻辑表达式  $(a \text{ XOR } b) \text{ OR } (\text{NOT } b \text{ AND } a)$  的值是 ——

- A. 0      B. 1      C. 2      D. 不确定

选择一项:

- a. 不确定
- b. 1
- c. 3
- d. 0

**题目144**

完成

获得1.00分中的1.00分

1987标准的VHDL语言对大小写是 ——

选择一项:

- a. 只能用小写
- b. 只能用大写
- c. 不敏感
- d. 敏感的

**题目145**

完成

获得1.00分中的1.00分

STD\_LOGIC\_1164中字符H定义的是\_\_\_\_。

选择一项：

- a. 弱信号0
- b. 弱信号1
- c. 初始值
- d. 没有这个定义

**题目146**

完成

获得1.00分中的1.00分

在VHDL中，45\_234\_278属于( \_\_ )文字。

选择一项：

- a. 物理量
- b. 实数
- c. 以数制基数表示的
- d. 整数

**题目147**

完成

获得1.00分中的1.00分

如果语句c<=a&b;合法，则c数据类型可能是——

选择一项：

- a. Boolean类型
- b. 整数 (Integer)
- c. 实型 (Real)
- d. 矢量 (Vector) 型

**题目148**

完成

获得1.00分中的1.00分

大规模可编程器件主要有FPGA、CPLD两类，下列对FPGA结构与工作原理的描述中，正确的是

选择一项：

- a. 基于SRAM的FPGA器件，在每次上电后必须进行一次配置
- b. FPGA是基于乘积项结构的可编程逻辑器件
- c. FPGA全称为复杂可编程逻辑器件
- d. 在Altera公司生产的器件中，MAX7000系列属FPGA结构。

**题目149**

完成

获得1.00分中的1.00分

下列标识符中，——是不合法的标识符。

选择一项：

- a. State0
- b. 9moon
- c. signall
- d. Not\_Ack

**题目150**

完成

获得1.00分中的0.00分

关于VHDL数据类型，正确的是 ——

选择一项：

- a. 数据类型相同或相符就可以运算
- b. 运算与数据类型无关
- c. 数据类型相同才能进行运算
- d. 数据类型不同不能进行运算

[个人主页](#) / [我的课程](#) / [数字系统实验](#) / [第八次课](#) / [训练8](#)

**开始时间** 2017年12月4日 星期一 10:37

**状态** 完成

**完成于** 2017年12月18日 星期一 11:40

**耗时** 14 天 1 小时

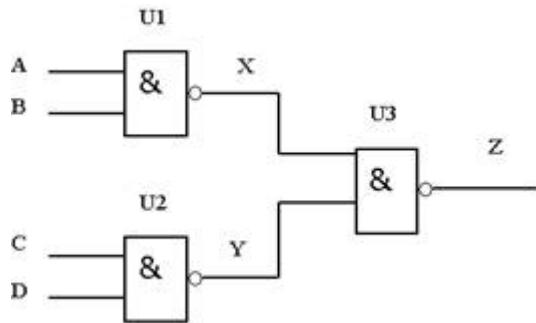
**成绩** 294.00/满分297.00 (99%)

**题目1**

完成

获得10.00分中的10.00分

用元件例化语句设计如图所示电路。补充①-⑩的语句



```

LIBRARY ①_____;
USE      ieee.std_logic_1164.ALL;
ENTITY yf4 IS
PORT( ②_____ : IN std_logic;
       Z: ③_____ std_logic);
END yf4;

ARCHITECTURE a OF yf4 IS
  ④_____yf2
  PORT  (A1,B1: IN std_logic;
         C1: OUT std_logic);
  END COMPONENT;
  ⑤_____ X,Y: std_logic ;

BEGIN
  U1:⑥_____ PORT MAP (⑦_____,X);
  U2:yf2 ⑧_____ (C,D,⑨_____);
  U3:yf2 PORT MAP (⑩_____, B1 => Y);
END a;
  
```

- |   |                |
|---|----------------|
| ⑧ | PORT MAP       |
| ⑤ | SIGNAL         |
| ⑩ | A1 => X, C1=>Z |

- ① ieee
- ⑥ yf2
- ⑦ A,B
- ② A,B,C,D
- ④ COMPONENT
- ③ OUT
- ⑨ Y

**题目2**

完成

获得8.00分中的8.00分

编写一个数值比较器VHDL程序的进程（不必写整个结构框架），要求使能信号g低电平时比较器开始工作，输入信号p = q，输出equ为'0'，否则为'1'。（本题10分）

```
①_____ (②_____)

begin
    if g=③_____ then
        if p = ④_____ then
            equ_tmp <=⑤_____;
        else
            equ_tmp <=⑥_____;
        end if;
    else
        ⑦_____ <= '1';
    ⑧_____;
end process;
```

- ③
- ⑦
- ⑤
- ①
- ②
- ⑧
- ⑥
- ④

**题目3**

完成

获得6.00分中的6.00分

根据已给出的二-十 (BCD) 进制优先权编码器功能表，试写出其VHDL程序.

二-十 (BCD) 进制优先权编码器功能表

输入										输出			
I1	I2	I3	I4	I5	I6	I7	I8	I9	Y3	Y2	Y1	Y0	
1	1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1	
X	X	X	X	0	1	1	1	1	1	0	1	0	
X	X	X	0	1	1	1	1	1	1	0	1	1	
X	X	0	1	1	1	1	1	1	1	1	0	0	
X	0	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0

entity prior is

port(

d : in std\_logic\_vector(①\_\_\_\_\_);

q : out std\_logic\_vector(②\_\_\_\_\_)

);

end prior;

architecture behavior of prior is

begin

③\_\_\_\_\_ -

begin

if d = "111111111" then

q <=④\_\_\_\_\_;

⑤\_\_\_\_\_ = '0' then

q <= "0110";

```
elsif d(8) = '0' then  
    q <= "0111";  
elsif d(7) = '0' then  
    q <= "1000";  
elsif d(6) = '0' then  
    q <= "1001";  
elsif d(5) = '0' then  
    q <= "1010";  
elsif d(4) = '0' then  
    q <= "1011";  
elsif d(3) = '0' then  
    q <= "1100";  
elsif d(2) = '0' then  
    q <= "1101";  
elsif d(1) = '0' then  
    q<= ⑥_____;  
end if;  
end process;
```

⑤ elsif d(9)

⑥ "1110"

② 3 downto 0

④ "1111"

① 9 downto 1

③ process(d)

**题目4**

完成

获得6.00分中的6.00分

根据已给出的二-十 (BCD) 进制优先权编码器功能表，试写出其VHDL程序.

二-十 (BCD) 进制优先权编码器功能表

输入										输出			
I1	I2	I3	I4	I5	I6	I7	I8	I9	Y3	Y2	Y1	Y0	
1	1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1	
X	X	X	X	0	1	1	1	1	1	0	1	0	
X	X	X	0	1	1	1	1	1	1	0	1	1	
X	X	0	1	1	1	1	1	1	1	1	0	0	
X	0	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0

entity prior is

port(

d : in std\_logic\_vector(①\_\_\_\_\_);

q : out std\_logic\_vector(②\_\_\_\_\_)

);

end prior;

architecture behavior of prior is

begin

③\_\_\_\_\_ -

begin

if d = "1111111111" then

q &lt;=④\_\_\_\_\_;

⑤\_\_\_\_\_ = '0' then

q &lt;= "0110";

```
elsif d(8) = '0' then  
    q <= "0111";  
elsif d(7) = '0' then  
    q <= "1000";  
elsif d(6) = '0' then  
    q <= "1001";  
elsif d(5) = '0' then  
    q <= "1010";  
elsif d(4) = '0' then  
    q <= "1011";  
elsif d(3) = '0' then  
    q <= "1100";  
elsif d(2) = '0' then  
    q <= "1101";  
elsif d(1) = '0' then  
    ⑥q<=_____;  
end if;  
end process;
```

- ④      "1111"
- ⑥      "1110"
- ②      3 downto 0
- ③      process(d)
- ⑤      elsif d(9)
- ①      9 downto 1

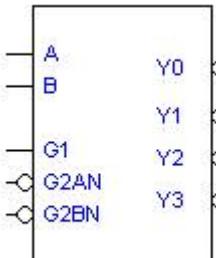
**题目5**

完成

获得2.00分中的2.00分

用VHDL语言编写2位带进位的加法器（原理图如下）

```
library ieee;
```



```
use ieee.std_logic_1164.all;
ENTITY adder_2 is
port(a1,a0,b1,b0,ci:in std_logic;
      s1,s2,co:out std_logic); end adder_2;
architecture one of adder_2 is
component adder_1
```

```
port(x,y,cin:in std_logic;
```

```
        cout,sum:out std_logic);
```

```
end component;
```

```
signal temp:std_logic;
```

```
begin
```

```
u1:adder_1 port map(a1,①_____);
```

```
u2:adder_1 port map(②_____);
```

```
end one;
```

① a0,ci,temp,s1

② b1,b0,temp,co,s2

**题目6**

完成

获得5.00分中的5.00分

补充下面①-⑤横线上的语句，用CASE语句编写2-4译码器

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY decoder2_4 IS
PORT(
    A1, A0,G1,G2A,G2B: IN STD_LOGIC;
    Y: OUT ①_____);
END decoder2_4;
ARCHITECTURE fun OF decoder2_4 IS
SIGNAL indata: STD_LOGIC_VECTOR(②_____);
BEGIN
indata <= C&B&A;
encoder:
PROCESS (indata, ③_____)
BEGIN
    IF (G1='1' AND G2A='0' AND G2B='0') THEN
        CASE indata IS
            WHEN "00"=>Y<="1110";
            WHEN "01"=>Y<="1101";
            WHEN "10"=>Y<="1011";
            WHEN "11"=>Y<="0111";
            ④_____=>Y<=⑤_____;
        END CASE;
    ELSE
        Y<="1111";
    END IF;
END PROCESS encoder;
END fun;
```

⑤

"XXXX"

③

G1, G2A,G2B

- ② 1 DOWNTO 0
- ④ WHEN OTHERS
- ① STD\_LOGIC\_VECTOR(3 DOWNTO 0)

**题目7**

完成

获得6.00分中的6.00分

1. 补充下面①-⑥横线上的语句,完成带计数使能的异步复位计数器

输入端口: clk 时钟信号

rst 异步复位信号

en 计数使能

load 同步装载

data (装载) 数据输入, 位宽为10

输出端口: q 计数输出, 位宽为10

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY CNT1024 IS
    PORT ( ①_____ : IN STD_LOGIC;
            DATA : ②_____ ;
            Q : ③_____ STD_LOGIC_VECTOR (9 DOWNTO 0));
END CNT1024;

ARCHITECTURE ONE OF CNT1024 IS
BEGIN
    PROCESS (CLK, RST, EN, LOAD, DATA)
        ④_____ Q1 : STD_LOGIC_VECTOR (9 DOWNTO 0);
    BEGIN
        IF RST = '1' THEN
            Q1 := (OTHERS => '0');
        ELSIF CLK = '1' AND CLK'EVENT THEN
            IF ⑤_____ THEN
                Q1 := DATA;
            ELSE
                IF ⑥_____ THEN
                    Q1 := Q1 + 1;
                END IF;
            END IF;
        END IF;
        Q <= Q1;
    END PROCESS;
END ONE;
```

⑥ EN = '1'

② IN STD\_LOGIC\_VECTOR (9 DOWNTO 0)

① CLK, RST, EN, LOAD

④ VARIABLE

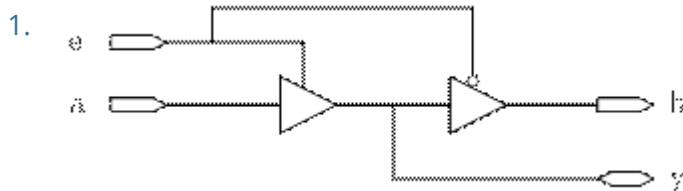
③ OUT

⑤ LOAD = '1'

**题目8**

完成

获得5.00分中的5.00分



看下面原理图，写出相应VHDL描述，补充下面①-⑤横线上的语句

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TRI_STATE IS
  PORT ( ①_____ : IN STD_LOGIC;
          Y : ②_____ STD_LOGIC;
          ③_____ : OUT STD_LOGIC);
END TRI_STATE;

ARCHITECTURE BEHAV OF TRI_STATE IS
BEGIN
  PROCESS (E, A, Y)
  BEGIN
    IF E = '0' THEN
      B <= ④_____;
      Y <= 'Z';
    ELSE
      B <= 'Z';
      Y <= ⑤_____;
    END IF;
  END PROCESS;
END BEHAV;

```

- |   |       |
|---|-------|
| ④ | Y     |
| ② | INOUT |
| ① | E, A  |
| ③ | B     |

⑤

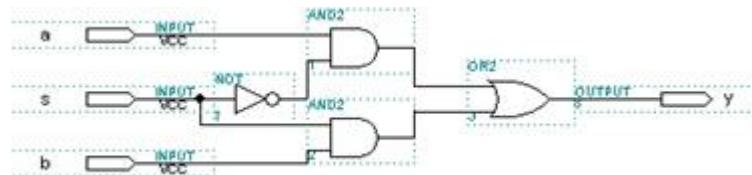
A

## 题目9

完成

获得6.00分中的6.00分

已知电路原理图如下，请用VHDL语言编写其程序，补充下面①-⑥横线上的语句



```

library ieee;
use ieee.std_logic_1164.all;

ENTITY mux21 IS
port(①_____ :in bit;
      y:②_____ );
end mux21;

architecture one of mux21 is
  single d,e:③_____;
begin
  d<=a and ④_____;
  e<=⑤_____ and s;
  y<=d ⑥_____ e;
end one;

```

③

bit

④

(not)s

⑤

b

①

a,b,s

⑥

or

②

out bit

**题目10**

完成

获得3.00分中的3.00分

1. VHDL属于强数据类型语言。
2. 一个结构体中有且只能有一个进程 (process)
3. 在进程中任意交换语句的顺序，对执行结果有影响。

2

 F

1

 T

3

 T**题目11**

完成

获得3.00分中的3.00分

1. 进程中敏感信号列表可以不用包含进程中用到的所有输入信号。
2. 数100在VHDL语言中既可以表示整数又可以表示实数。
3. WAIT FOR 语句后面要求接敏感信号。

1

 T

3

 F

2

 F

**题目12**

完成

获得3.00分中的3.00分

1. 在IF语句的条件表达式中只能使用关系运算操作及逻辑运算操作的组合表达式。
2. 过程中的输入输出参数都应列在紧跟过程名的括号内。
3. 在进程中，可以允许同一个信号有多个驱动源，但其结果只有最后一个驱动源被启动。

1

T

2

F

3

T

**题目13**

完成

获得3.00分中的3.00分

1. 在端口方向的描述中，BUFFER定义的信号不能供构造体再使用，而OUT定义的信号则可以再供构造体使用。
2. 在vhdl语言中，端口输入信号在程序中不仅能被引用，而且能被赋值。
3. VHDL语言中，逻辑运算左右有优先级别，且是从左至右运算。

1

F

3

F

2

F

**题目14**

完成

获得3.00分中的2.00分

1. 进程 (process) 本身是并行语句，但进程内部语句是顺序执行语句。
2. 构造体描述电路端口，实体描述具体内部电路。
3. 并行简单信号赋值语句的书写格式：赋值目标：=表达式

3

F

2

T

1

T

**题目15**

完成

获得3.00分中的2.00分

1. 在元件例化语句中，用=>符号实现名称映射，将例化元件端口声明语句中的信号与PORT MAP () 中的信号名关联起来。
2. 在vhdl语言中的顺序语句只能出现在进程和过程子程序中。
3. 当一个源程序中具有多个实体时，每个实体前都应加库说明语句。

3

F

1

T

2

F

**题目16**

完成

获得3.00分中的3.00分

1. s'STABLE属性不可以用来判断信号有没有事件发生。
2. 变量的使用范围不仅限于定义在的进程和子程序中，还包括在整个结构体中。
3. 字符串由单引号括起来的一个字符序列，它也称字符矢量或字符串数组。

1

F

2

F

3

F

**题目17**

完成

获得3.00分中的3.00分

1. vhdl 可以采用层次化的设计，一个高层的结构体中可以调用低层的实体
2. 不确定状态“X”在VHDL源程序中只能用大写，而不能用小写。
3. 并行条件信号赋值语句的表达格式：赋值目标<=表达式 when 赋值条件;  
Else 表达式 赋值条件;  
...  
表达式;

2

对

3

错

1

对

**题目18**

完成

获得3.00分中的3.00分

判断对错：

1. SIGNAL t2: std\_logic <= '0';
2. 信号是全局变量，可是使用在定义实体的整个结构体中。
3. 一条信号代入语句，不能用一个进程来描述。

- 1 错
- 2 对
- 3 错

**题目19**

完成

获得4.00分中的4.00分

- 1.一个VHDL程序中仅能使用一个进程（process）语句。
- 2.VHDL语言的预算操作包括了逻辑运算符、关系运算符、乘法运算符等，它们三者的优先级是相同的。
- 3.进程语句中，不管在何时，process语句后面必须列出敏感信号
- 4.在结构体中定义一个全局变量（VARIABLES），可以在所有进程中使用。

- 1 F
- 2 F
- 3 F
- 4 F

**题目20**

完成

获得2.00分中的2.00分

在下面①-②的横线上填上合适的语句，完成8位数字比较器的设计。

```
ENTITY COMP IS
PORT
(A,B: IN① ____ RANGE 0 TO ②______;
AEQUALB, AGREATB, ALESSB : OUT BIT);
END COMP;
ARCHITECTURE BEHAVE OF COMP IS
BEGIN
AEQUALB < ='1' WHEN A=B ELSE'0';
AGREATB < ='1' WHEN A>B ELSE'0';
ALESSB < ='1' WHEN A<B ELSE'0';
END BEHAVE;
```

① INTEGER

② 255

**题目21**

完成

获得5.00分中的5.00分

填写序号①-⑤，补全以下二选一模块VHDL程序：

```
Entity mux is
port(d0,d1,sel:in bit;
q:out ①_____);
end mux;

architecture connect of ②_____ is
signal tmp1,③_____,tmp3:bit;
begin
cale:block
begin
tmp1<=d0 and sel;
tmp2<=d1 and (not sel)
tmp3<= tmp1 and tmp2;
q<=④_____;
end block cale;
end ⑤_____;
```

⑤

CONNECT

②

MUX

③

TMP2

④

tmp3

①

BIT

**题目22**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成BCD-7段LED显示译码器的设计。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY BCD_7SEG IS  
PORT( BCD_LED : IN STD_LOGIC_VECTOR(3 DOWNTO 0);  
      LEDSEG : OUT STD_LOGIC_VECTOR(6 DOWNTO 0));  
END BCD_7SEG;  
  
ARCHITECTURE BEHAVIOR OF BCD_7SEG IS  
BEGIN  
PROCESS(BCD_LED)  
 ①_____  
  IF BCD_LED="0000" THEN LEDSEG<="0111111";  
  ELSIF BCD_LED="0001" THEN LEDSEG<="0000110";  
  ELSIF BCD_LED="0010" THEN LEDSEG<=②_____;  
  ELSIF BCD_LED="0011" THEN LEDSEG<="1001111";  
  ELSIF BCD_LED="0100" THEN LEDSEG<="1100110";  
  ELSIF BCD_LED="0101" THEN LEDSEG<="1101101";  
  ELSIF BCD_LED="0110" THEN LEDSEG<="1111101";  
  ELSIF BCD_LED="0111" THEN LEDSEG<="0000111";  
  ELSIF BCD_LED="1000" THEN LEDSEG<="1111111";  
  ELSIF BCD_LED="1001" THEN LEDSEG<="1101111";  
  ELSE LEDSEG<=③_____;  
  END IF;  
END PROCESS;  
END BEHAVIOR;
```

③ “0000000”

② “1011011”

① BEGIN

**题目23**

完成

获得10.00分中的10.00分

根据下表填写完成一个3-8线译码器的VHDL程序。在①-⑩后面的下横线填写正确的语句。

选通输入			二进制输入端			译码输出端							
g1	g2a	g2b	c	b	a	y0	y1	y2	y3	y4	y5	y6	y7
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	0	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY decoder_3_to_8 IS
PORT (a,b,c,g1,g2a,g2b:①_____ STD_LOGIC;
y:OUT②_____);
END decoder_3_to_8;
ARCHITECTURE rtl OF decoder_3_to_8 IS
③_____ indata:STD_LOGIC_VECTOR (2 DOWNTO 0);
BEGIN
indata <=④_____ ;
PROCESS (indata,g1,g2a,g2b)
BEGIN
IF (⑤_____ ) THEN
CASE indata IS
WHEN "000"=>y <= "11111110";
WHEN "001" =>y <= "11111101";
WHEN "010" =>y <= "⑥_____ ";
WHEN "011" =>y <= "11110111";
WHEN "100" =>y <= "11101111";
WHEN "101" =>y <= "11011111";
WHEN "⑦_____ " =>y <= "10111111";
WHEN "111" =>y <= "01111111";
END CASE;
END IF;
END PROCESS;
END;

```

```
WHEN OTHERS=> y <= "⑧_____";  
END CASE;  
ELSE  
y <= "⑨_____";  
END IF;  
END ⑩_____;
```

(16)

END rtl;

- |   |                                      |
|---|--------------------------------------|
| ⑩ | PROCESS                              |
| ⑦ | 110                                  |
| ⑤ | g1 = '1' AND g2a = '0' AND g2b = '0' |
| ① | IN                                   |
| ③ | SIGNAL                               |
| ⑧ | XXXXXXXX                             |
| ④ | c & b & a                            |
| ⑥ | 11111011                             |
| ⑨ | 11111111                             |
| ② | STD_LOGIC_VECTOR (7 DOWNTO 0)        |

**题目24**

完成

获得8.00分中的8.00分

填写①-⑧完成一个8-3线编码器的VHDL程序：

```
Library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity eight_tri is
port(
    b:  in① _____;
    en:  in std_logic;
    y:  ②_____
);
end eight_tri;
```

③\_\_\_\_\_

```
signal sel: std_logic_vector(8 downto 0);
begin
sel<=en④_ b;
y<= "000" when (sel="100000001")else
"⑤_____ " when (sel="100000010")else
"010" when (sel="100000100")else
"011" when (sel="100001000")else
"100" when (sel="⑥_____ ")else
"101" when (sel="100100000")else
"⑦_____ " when (sel="101000000")else
"111" when (sel="⑧_____ ")else
"zzz";
end a;
```

⑥ 100010000

① std\_logic\_vector(7 downto 0)

⑤ 001

- ⑦ 110
- ④ &
- ② out std\_logic\_vector(2 downto 0)
- ⑧ 110000000
- ③ architecture a of eight\_tri is

**题目25**

完成

获得4.00分中的4.00分

在下面①-④横线上填上合适的语句，完成一个10线 - 4线优先编码器的设计。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY CODER IS  
    PORT ( DIN : IN STD_LOGIC_VECTOR(9 DOWNTO 0);  
           OUTPUT : OUT STD_LOGIC_VECTOR(3 DOWNTO 0) );  
END CODER;  
  
ARCHITECTURE BEHAV OF CODER IS  
    SIGNAL SIN : STD_LOGIC_VECTOR(3 DOWNTO 0);  
    BEGIN  
        PROCESS (①_____ )  
        BEGIN  
            IF (DIN(9)='0') THEN SIN <= "1001";  
            ②_____ (DIN(8)='0') THEN SIN <= "1000";  
            ELSIF (DIN(7)='0') THEN SIN <= "0111";  
            ELSIF (DIN(6)='0') THEN SIN <= "0110";  
            ELSIF (DIN(5)='0') THEN SIN <= "0101";  
            ELSIF (DIN(4)='0') THEN SIN <= "0100";  
            ELSIF (DIN(3)='0') THEN SIN <= "0011";  
            ELSIF (DIN(2)='0') THEN SIN <= "0010";  
            ELSIF (DIN(1)='0') THEN SIN <= "0001";  
            ELSE SIN <= ③_____ ;  
            ④_____ ;  
        END PROCESS ;  
        OUTPUT <= SIN ;  
    END BEHAV;
```

- ④ END IF
- ① DIN
- ② ELSIF

③

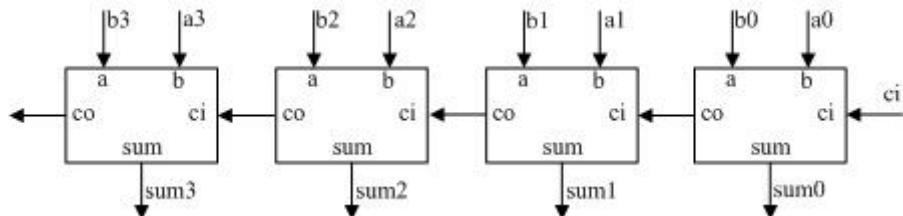
"0000"

**题目26**

完成

获得8.00分中的8.00分

在下面①-⑧横线上填上合适的语句，完成一个四位全加器的设计



```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE ①_____ ;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

```

```

entity full_add is
port (
    a,b: in ②______;
    carr: inout std_logic_vector (4 downto 0);
    sum:     out std_logic_vector (3 downto 0)
);
end full_add;

```

```

architecture full_add_arch of full_add is
③_____ adder
port (
    a,b,c: in std_logic;
    carr: inout std_logic;
    sum:     out std_logic
);
end component;
begin
    Carr(0)<='0';
    u0:adder port map(a(0),b(0),carr(0),carr(1),sum(0));
    u1:adder port map(④_____, ⑤_____,carr(1),carr(2),sum(1));
    ⑥_____:adder port map(a(2),b(2),carr(2),carr(3),sum(2));
    u3:adder port map(a(3),b(3),carr(3),⑦_____, ⑧_____);

```

```
end full_add_arch;
```

- ① IEEE.STD\_LOGIC\_ARITH.ALL
- ⑦ carr(4)
- ⑧ sum(3)
- ⑤ b(1)
- ③ component
- ② std\_logic\_vector (3 downto 0)
- ⑥ u2
- ④ a(1)

**题目27**

完成

获得3.00分中的3.00分

在下面①-③后面的横线上填上合适的语句，完成8位奇偶校验电路的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY PC IS
  PORT ( A : IN STD_LOGIC_VECTOR(7 DOWNTO 0);
         Y : OUT STD_LOGIC );
END PC;
ARCHITECTURE A OF PC IS
BEGIN
PROCESS(A).
  VARIABLE TMP: STD_LOGIC;
  BEGIN
    TMP ①_____ '0';
    FOR I IN 0 TO 7 LOOP
      TMP:=②_____ ;
      END LOOP;
    Y<=③_____ ;
  END PROCESS;
END;
```

① :=

② a(0)xor a(1)xor a(2)xor a(3)xor a(4)xor a(5)xor a(6)

③ TMP

**题目28**

完成

获得2.00分中的2.00分

在下面①-②横线上填上合适的语句，完成下降沿触发的D触发器的设计。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL ;  
  
ENTITY DFF IS  
    PORT(D,CLK:IN STD_LOGIC;  
          Q, QB: OUT STD_LOGIC);  
END DFF;  
  
ARCHITECTURE BEHAVE OF DFF IS  
BEGIN  
PROCESS(CLK)  
BEGIN  
    IF ①_____AND CLK'EVENT THEN  
        Q <=②_____;  
        QB<=NOT D;  
    END IF;  
END PROCESS;  
END BEHAVE;
```

①

CLK='0'

②

D

**题目29**

完成

获得7.00分中的7.00分

补充①-⑦完成如下代码，使之完成4状态不断循环。

ARCHITECTURE arc OF ss IS

type states is (① \_\_\_\_\_ );

② \_\_\_\_\_ ;

BEGIN

PROCESS(clk)

BEGIN

IF reset='1' then

    outc <= ③\_\_\_\_\_;

    elsif clk'event and clk='1' then

        CASE outc IS

            WHEN st0 => outc <=④\_\_\_\_\_;

            WHEN st1 => outc <= ⑤\_\_\_\_\_ ;

            WHEN st2 => outc <=⑥\_\_\_\_\_ ;

            WHEN st3 => outc <= ⑦\_\_\_\_\_ ;

            WHEN OTHERS => outc <=st0;

        END CASE;

    end if;

END PROCESS;

END arc;

③ st0

② signal outc: states

⑥ st3

⑦ st0

⑤ st2

① st0,st1,st2,st3

④ st1

**题目30**

完成

获得6.00分中的6.00分

在下面①-⑥横线上填上合适的语句，完成同步22进制计数器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY COUNTER22 IS
PORT( CLK: IN STD_LOGIC;
      CH, C: OUT STD_LOGIC;
      QB1, QA1: OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END;
ARCHITECTURE BEHAV OF COUNTER22 IS
SIGNAL QB, QA: STD_LOGIC_VECTOR(3 DOWNTO 0);
SIGNAL CIN: STD_LOGIC;
BEGIN
QB1<=QB;
QA1<=QA;
PROCESS(CLK)
BEGIN
IF CLK'EVENT AND CLK='1' THEN
IF (QA=①_____) OR (QB=2 AND QA=1) THEN QA<="0000"; CIN<='0';
ELSIF QA=②_____ THEN CIN<='1'; QA<=QA+1;
ELSE QA<=③_____ ;
CIN<='0';
END IF;
END IF;
END PROCESS;
PROCESS(CIN, CLK)
BEGIN
IF CLK'EVENT AND CLK='1' THEN
IF (QB=2 AND QA=1) THEN QB<=④_____ ; C<='1';
ELSE C<=⑤_____ ;
END IF;
```

```
IF CIN='1' THEN QB<=⑥_____;  
END IF;  
END IF;  
END PROCESS;  
CH<=CIN;  
END;
```

- ④ "0000"
- ③ QA+1
- ② 8
- ① 9
- ⑥ QB+1
- ⑤ '0'

**题目31**

完成

获得5.00分中的5.00分

在下面①-⑤横线上填上合适的语句，完成一个8位分频器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY PULSE IS
    PORT( CLK : IN STD_LOGIC;
          D : IN STD_LOGIC_VECTOR(7 DOWNTO 0);
          FOUT : OUT STD_LOGIC );
END;

ARCHITECTURE ONE OF PULSE IS
    SIGNAL FULL : STD_LOGIC;
BEGIN
    P_REG: PROCESS(CLK)
        ①_____ CNT8 : STD_LOGIC_VECTOR(7 DOWNTO 0);
        BEGIN
            IF CLK'EVENT AND CLK = '1' THEN
                IF CNT8 = "11111111" THEN
                    CNT8 :=②_____ ; --当CNT8计数计满时，输入数据D被同步预置给计数器CNT8
                    FULL <= '1'; --同时使溢出标志信号FULL输出为高电平
                ELSE
                    CNT8 :=③_____ ; --否则继续作加1计数
                    FULL <= '0'; --且输出溢出标志信号FULL为低电平
                END IF;
            END IF;
        END PROCESS P_REG;
        P_DIV: PROCESS(④._____ )
            VARIABLE CNT2 : STD_LOGIC;
        BEGIN
            IF FULL'EVENT AND FULL = '1' THEN
                CNT2 <=⑤_____ ; --如果溢出标志信号FULL为高电平，D触发器输出取反
                IF CNT2 = '1' THEN FOUT <= '1';
                ELSE                 FOUT <= '0';
            END IF;
        END PROCESS P_DIV;
    END;
```

```
END IF;  
END PROCESS P_DIV;  
END;
```

- ① VARIABLE
- ④ FULL
- ② D
- ③ CNT8+1
- ⑤ NOT CNT2

**题目32**

完成

获得5.00分中的5.00分

下面程序是1位十进制计数器的VHDL描述，试补充①-⑤使其完整。

```

LIBRARY IEEE;
USE IEEE.①_____;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY CNT10 IS
PORT ( CLK : IN STD_LOGIC ;
        Q : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)) ;
END CNT10;

ARCHITECTURE bhv OF ②_____IS
SIGNAL Q1 : STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
PROCESS (CLK)
③_____
IF ④_____THEN -- 边沿检测
    IF Q1 > 10 THEN
        Q1 <= (OTHERS => '0'); -- 置零
    ELSE
        Q1 <= Q1 + 1 ;      -- 加1
    END IF;
END IF;
END PROCESS ;
⑤Q<=_____;
END bhv;
```

- ③ BEGIN
- ② CNT10
- ① STD\_LOGIC\_1164.ALL
- ⑤ Q1

④

CLK'EVENT AND CLK = '1'

**题目33**

完成

获得4.00分中的4.00分

下面是一个多路选择器的VHDL描述，试补充①-④使其完整。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY bmux IS
  PORT ( sel : ①_____ STD_LOGIC;
         A, B : IN STD_LOGIC_VECTOR(7 DOWNTO 0);
         Y : ②_____ STD_LOGIC_VECTOR(7 DOWNTO 0));
END bmux;
ARCHITECTURE bhv OF bmux IS
BEGIN
  y <= A when sel = '1' ③_____
  ④ y<=_____ ;
END bhv;
```

②

OUT

①

IN

③

ELSE

④

B

**题目34**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成4-2优先编码器的设计。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY CODE4 IS  
    PORT(A,B,C,D : IN STD_LOGIC;  
          Y0,Y1 : OUT STD_LOGIC);  
END CODE4;  
  
ARCHITECTURE CODE4 OF CODE4 IS  
    SIGNAL DDD:STD_LOGIC_VECTOR(3 DOWNTO 0);  
    SIGNAL Q:STD_LOGIC_VECTOR(①_____ DOWNTO 0);  
    BEGIN  
        DDD<=②_____ ;  
        PROCESS(DDD)  
        BEGIN  
            IF (DDD(0)='0') THEN    Q <= "11";  
            ELSIF (DDD(1)='0') THEN  Q <= "10";  
            ELSIF(DDD(2)='0') THEN  Q<="01";  
            ELSE      Q <= "00";  
        END IF;  
        ③_____ ;  
        Y1<=Q(0);  Y0<=Q(1);  
    END CODE4;
```

③ END PROCESS

② A&B&C&D

① 1

**题目35**

完成

获得4.00分中的3.00分

在下面①-④横线上填上合适的语句，完成计数器的设计。

说明：设电路的控制端均为高电平有效，时钟端CLK，电路的预置数据输入端为4位D，计数输出端也为4位Q，带同步始能EN、异步复位CLR和预置控制LD的六进制减法计数器。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY CNT6 IS
    PORT(EN,CLR,LD,CLK:IN STD_LOGIC;
        D: IN STD_LOGIC_VECTOR(①_____));
    Q:OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END CNT6;

ARCHITECTURE BEHA OF CNT6 IS
    SIGNAL QTEMP:STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
    PROCESS(CLK,CLR,LD)
        BEGIN
            IF CLR='1' THEN      QTEMP<="0000";          --CLR=1清零
                ELSIF (CLK'EVENT AND CLK='1') THEN      --判断是否上升沿
                    IF LD='1' THEN      QTEMP<=②_____ ;      --判断是否置位
                        ELSIF EN='1' THEN          --判断是否允许计数
                            IF QTEMP="0000" THEN QTEMP<=③_____ ;  --等于0，计数值置5
                                ELSE QTEMP<=④_____ ;          --否则，计数值减1
                            END IF;
                        END IF;
                    END IF;
                END IF;
            Q<=QTEMP;
        END PROCESS;
    END BEHA;
```

①

3 DOWNTO 0

③ "0101"

② D

④ QTEMP+1

**题目36**

完成

获得7.00分中的7.00分

在下面①-⑥横线上填上合适的语句，完成减法器的设计。

由两个1位的半减器组成一个1位的全减器

--1位半减器的描述

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY HALF_SUB IS  
    PORT(A,B : IN STD_LOGIC;  
          DIFF,COUT : OUT STD_LOGIC);  
END HALF_SUB;  
  
ARCHITECTURE ART OF HALF_SUB IS  
BEGIN  
    COUT<=①_____;      --借位  
    DIFF<=②_____;      --差  
END ;
```

--1位全减器描述

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY FALF_SUB IS  
    PORT(A,B,CIN: IN STD_LOGIC;  
          DIFF,COUT : OUT STD_LOGIC);  
END FALF_SUB;  
  
ARCHITECTURE ART OF FALF_SUB IS  
COMPONENT HALF_SUB  
    PORT(A,B : IN STD_LOGIC;  
          DIFF,COUT : OUT STD_LOGIC);  
END COMPONENT;  
③_____T0,T1,T2:STD_LOGIC;  
  
BEGIN  
    U1: HALF_SUB PORT MAP(A,B,④_____,T1);  
    U2: HALF_SUB PORT MAP(T0,⑤_____,⑥_____,T2);  
    COUT<=⑦_____ OR T2__;  
END ;
```

- ⑤ CIN
- ③ SIGNAL
- ⑦ T1
- ② A XOR B
- ⑥ DIFF
- ① NOT A AND B
- ④ T0

**题目37**

完成

获得5.00分中的5.00分

完成①-⑤，实现VHDL描述一个外部特性如图所示的D触发器。

参考程序如下：

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY① _____
PORT(CLK:IN ②_____;
      D:IN STD_LOGIC;
      Q:OUT STD_LOGIC);
END;
ARCHITECTURE bhv OF mydff IS
BEGIN
③ _____
BEGIN
  IF ④_____
    ⑤Q<=_____
  END IF;
END PROCESS;
END;
```

- ④ CLK'EVENT AND CLK='1'
- ② STD\_LOGIC
- ① mydff
- ③ PROCESS(CLK)
- ⑤ D



**题目38**

完成

获得4.00分中的4.00分

在下面①-④横线上填上合适的语句，完成JK触发器的设计。

说明：设计一个异步复位/置位JK触发器，其真值表如下：

INPUT				OUTPUT	
PSET	CLR	CLK	J	K	Q
0	1	X	X	X	1
1	0	X	X	X	0
0	0	X	X	X	不定
1	1	上升沿	0	1	0
1	1	上升沿	1	0	1
1	1	上升沿	1	1	翻转
1	1	上升沿	0	0	保持

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY JKFF1 IS
PORT (PSET,CLR,CLK,J,K : IN STD_LOGIC;
      Q    : OUT STD_LOGIC);
END JKFF1;
ARCHITECTURE MAXPLD OF④ _____
SIGNAL TEMP:STD_LOGIC;
BEGIN
PROCESS(PSET,CLR,CLK)
BEGIN
IF (PSET='0'AND CLR='1') THEN TEMP<='1';
ELSIF (PSET='1'AND CLR='0') THEN TEMP<='0';
ELSIF (PSET='0'AND CLR='0') THEN NULL;
①_____-(CLK'EVENT AND CLK='1') THEN
②_____ (J='0' AND K='0') THEN TEMP<=TEMP;
ELSIF (J='0' AND K='1') THEN TEMP<='0';
ELSIF (J='1' AND K='0') THEN TEMP<='1';
ELSIF (J='1' AND K='1') THEN TEMP<=③_____;

```

```
END IF;  
END IF;  
END PROCESS;  
Q<=TEMP;  
END ;
```

②

IF

④

JKFF1

③

NOT TEMP

①

ELSIF

**题目39**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成8位双向总线缓冲器的设计。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
  
ENTITY TRI_BIGATE IS  
PORT( A,B: INOUT STD_LOGIC_VECTOR(7 DOWNTO 0);  
      EN, DR: IN STD_LOGIC);  
END;  
  
ARCHITECTURE RTL OF TRI_BIGATE IS  
SIGNAL AOUT, BOUT:STD_LOGIC_VECTOR(7 DOWNTO 0);  
BEGIN  
  PROCESS(A, DR, EN)  
    BEGIN  IF (EN='0') AND (DR='1') THEN  BOUT<=A;  
    ELSE  
      BOUT<="ZZZZZZZZ";  
    END IF;  
    B<=BOUT;  
  END PROCESS;  
  PROCESS(B, DR, EN)  
    BEGIN  
      IF (EN='0') AND (DR='0') THEN  
        AOUT<=①_____;  
      ELSE  
        AOUT<=②_____;  
      END IF;  
      A<=③_____;  
    END PROCESS;  
  END;
```

①

B

②

"ZZZZZZZZ"

③

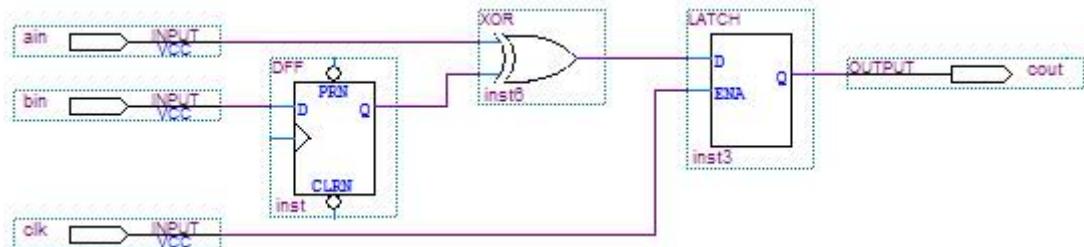
AOUT

**题目40**

完成

获得6.00分中的6.00分

根据下面原理图，写出相应VHDL描述



Library ieee;

Use ieee.std\_logic\_1164.all;

Entity mycir is

Port (①\_\_\_\_ td\_logic;

Cout : out② \_\_\_\_

End mycir;

Architecture one of mycir is

Signal tb, tc:③\_\_\_\_\_

Begin

Process (clk) begin

If clk'event and clk = '1' then

tb&lt;= ④\_\_\_\_\_;

end if;

End process;

Process (clk, tc) begin

If ⑤\_\_\_\_\_ then cout &lt;= tc;end if;

End process;

Tc &lt;= ⑥\_\_\_\_\_;

End one;

⑥ ain xor tb

④ bin

③ std\_logic

② std\_logic

⑤ clk = '1'

① ain , bin , clk

**题目41**

完成

获得5.00分中的5.00分

在下面①-⑤横线上填上合适的语句，完成计数器的设计。

说明：设计一个带有异步复位和时钟使能的一位八进制加法计数器（带进位输出端）。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY CNT8 IS
PORT (CLK,RST,EN : IN STD_LOGIC;
      CQ : OUT STD_LOGIC_VECTOR(①_____ DOWNTO 0);
      COUT : OUT STD_LOGIC );
END CNT8;
ARCHITECTURE BEHAV OF CNT8 IS
BEGIN
PROCESS(CLK, RST, EN)
  ②_____CQI : STD_LOGIC_VECTOR(2 DOWNTO 0);
  BEGIN
    IF RST = '1' THEN  CQI := "000";
    ③_____ CLK'EVENT AND CLK='1' THEN
      IF EN = '1' THEN
        IF CQI < "111" THEN  CQI :=④_____;
        ELSE  CQI :=⑤_____;
        END IF;
      END IF;
    END IF;
    IF CQI = "111" THEN COUT <= '1';
    ELSE  COUT <= '0';
    END IF;
    CQ <= CQI;
  END PROCESS;
END BEHAV;
END;
```

- ④ CQI + 1
- ③ ELSIF
- ① 2
- ② VARIABLE
- ⑤ "000"

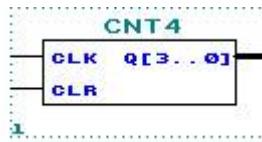
**题目42**

完成

获得7.00分中的7.00分

设计带异步复位和计数使能控制的8位二进制减法计数器。

具有清零端的4位二进制计数器如下图所示，请用VHDL语言编写其程序。



程序：

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.①_____;
entity ②_____ is
port(clk:in std_logic;
      clr:in std_logic;
      q:③_____ std_logic_vector(3 downto 0));
end cnt4;
architecture behav of ④_____ is
begin
process(⑤_____)
begin
if ⑥_____ then q<="0000";
elsif (clk'event and clk='1') then
  ⑦q<=_____;
end if;
end process;
end behav;
  
```

- ③ buffer
- ② cnt4
- ① std\_logic\_unsigned.all
- ⑦ q-1
- ⑥ clr='1'

④ cnt4

⑤ clr,clk

**题目43**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成60进制减计数器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY COUNT IS
PORT(CLK: IN STD_LOGIC;
      H,L: OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
);
END COUNT;
ARCHITECTURE BHV OF COUNT IS
BEGIN
PROCESS(CLK)
VARIABLE HH,LL: STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
IF CLK'EVENT AND CLK='1' THEN
IF LL=0 AND HH=0 THEN
HH:="0101"; LL:="1001";
ELSIF LL=0 THEN
LL:=①_____;
HH:=②_____;
ELSE
LL:=③_____;
END IF;
END IF;
H<=HH;
L<=LL;
END PROCESS;
END BHV;
```

- ③ LL-1
- ① "1001"
- ② HH-1

**题目44**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成分频器的设计。

说明：占空比为1：2的8分频器

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
USE IEEE.STD_LOGIC_UNSIGNED.ALL;  
ENTITY CLKDIV8_1TO2 IS  
    PORT(CLK:IN STD_LOGIC;  
          CLKOUT:OUT STD_LOGIC );  
END CLKDIV8_1TO2;  
ARCHITECTURE TWO OF CLKDIV8_1TO2 IS  
    SIGNAL CNT:STD_LOGIC_VECTOR(1 DOWNTO 0);  
    SIGNAL CK:STD_LOGIC;  
    BEGIN  
        PROCESS(CLK)  
        BEGIN  
            IF RISING_EDGE(①) THEN  
                IF CNT="11" THEN  
                    CNT<="00";  
                    CK<=②;  
                ELSE CNT<=③;  
                END IF;  
            END IF;  
            CLKOUT<=CK;  
        END PROCESS;  
    END;
```

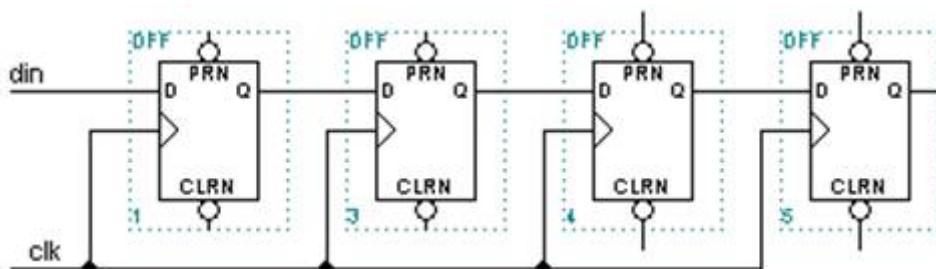
- ② NOT CK
- ③ CNT+1
- ① CLK

**题目45**

完成

获得10.00分中的10.00分

利用库中元器件D触发器（图形符号见图1）和与元件例化，完成如下图所示的电路设计。



```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY shifter IS
PORT( ①_____ : IN std_logic;
       dout: OUT std_logic);
END shifter;
ARCHITECTURE a OF shifter IS
②_____ dff
PORT  (D, clk: IN std_logic;
       ③_____ );
END ④_____;
SIGNAL d: ⑤_____;
BEGIN
d(0)<=din;
U0:dff PORT MAP (d(0),clk,⑥_____);
U1:⑦____ PORT MAP (d(1),clk,d(2));
U2:dff PORT MAP (D=>d(2), ⑧_____, Q =>d(3));
U3:dff PORT MAP (⑨_____, clk=>clk, Q =>d(4));
dout<=⑩_____;
END a;

```

⑤ std\_logic\_vector (4 DOWNTO 0)

② COMPONENT

- ⑧ clk=> clk
- ⑥ d(1)
- ⑦ dff
- ⑨ D=>d(3)
- ⑩ d(4)
- ③ Q: OUT std\_logic
- ① din,clk
- ④ COMPONENT

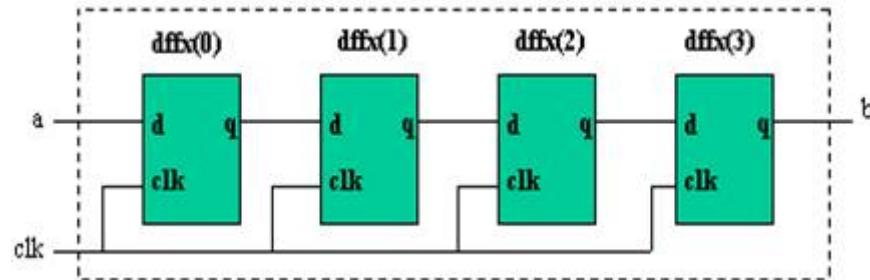
**题目46**

完成

获得4.00分中的4.00分

在下面①-④横线上填上合适的语句，完成4位串入/并出移位寄存器的设计。

说明：4位串入/并出移位寄存器可以用D触发器组成。



```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL ;
ENTITY DFF IS
    PORT(D,CLK:IN STD_LOGIC;
         Q: OUT STD_LOGIC);
END DFF;
ARCHITECTURE BEHAVE OF DFF IS
BEGIN PROCESS(CLK)
BEGIN
    IF CLK= '0' AND CLK'EVENT THEN Q <=D;
END IF;
END PROCESS;
END BEHAVE;
```

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY SHIFT IS
    PORT(A,CLK: IN STD_LOGIC;
         D : OUT STD_LOGIC);
END SHIFT;
ARCHITECTURE SHIFT1 OF SHIFT IS
COMPONENT DFF1
    PORT (D,CLK: IN STD_LOGIC;
```

```
Q: OUT STD_LOGIC);
END COMPONENT;

SIGNAL Z:STD_LOGIC_VECTOR(0 TO 4);

BEGIN
Z(0)<=①_____;
G1:FOR ②_____ GENERATE
    DFFX:DFF1 PORT MAP (Z(I),CLK,③_____);
END GENERATE;
D<=④_____;
END SHIFT1;
```

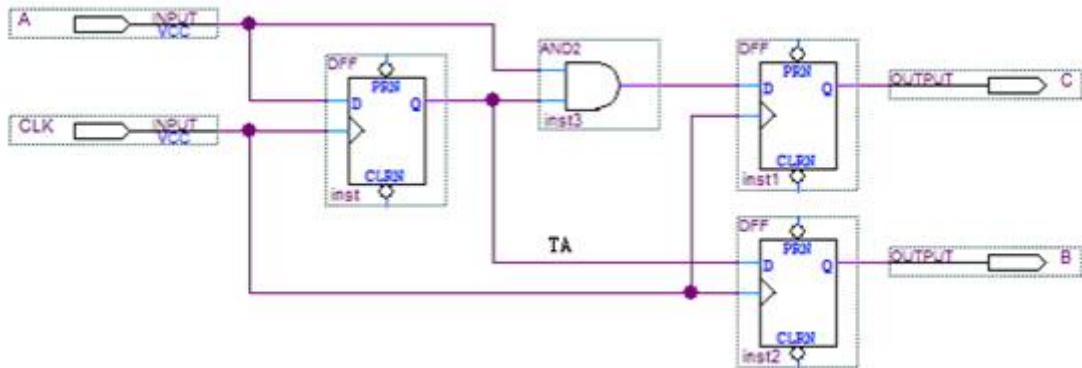
- ③ Z(I+1)
- ④ Z(4)
- ① A
- ② I IN 0 TO 3

## 题目47

完成

获得2.00分中的2.00分

在下面①-②横线上填上合适的语句，完成下图所示RTL原理图的VHDL设计。



```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY MYCIR IS
    PORT (A, CLK : IN STD_LOGIC;
          C, B      : OUT STD_LOGIC );
END MYCIR;

ARCHITECTURE BEHAV OF MYCIR IS
    SIGNAL TA : STD_LOGIC;
BEGIN
    PROCESS (A, CLK)
        BEGIN
            IF CLK'EVENT AND CLK = '1' THEN
                TA <= A;
                B <= ①_____ ;
                C <= ②_____ ;
            END IF;
        END PROCESS;
    END BEHAV;

```

- |   |          |
|---|----------|
| ① | TA       |
| ② | A AND TA |



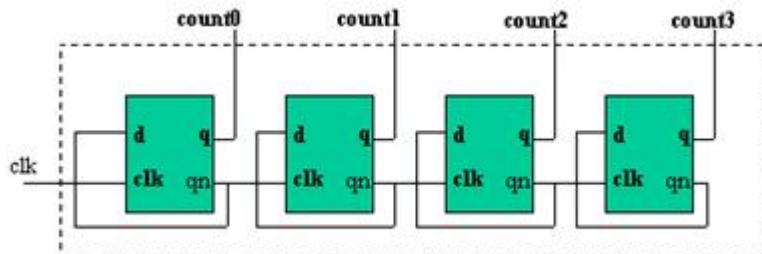
**题目48**

完成

获得4.00分中的4.00分

在下面①-④横线上填上合适的语句，完成4位异步计数器的设计。

说明：4位异步计数器可以用D触发器器组成。



```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL ;
ENTITY DFF1 IS
    PORT(D,CLK:IN STD_LOGIC;
         Q, QB: OUT STD_LOGIC);
END DFF1;
ARCHITECTURE BEHAVE OF DFF1 IS
BEGIN PROCESS(CLK)
BEGIN
    IF CLK= '1' AND CLK'EVENT THEN Q <=D; QB<=NOT D;
END IF;
END PROCESS;
END BEHAVE;
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY RPLCONT IS
    PORT( CLK : IN STD_LOGIC;
          COUNT : OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END RPLCONT;
ARCHITECTURE RPLCONT OF RPLCONT IS
COMPONENT DFF1
    PORT (CLK,D:IN STD_LOGIC;
          Q,QB:OUT STD_LOGIC);
END COMPONENT ;

```

```
SIGNAL COUNT_IN_BAR:STD_LOGIC_VECTOR(4 DOWNTO 0);  
BEGIN  
    COUNT_IN_BAR(0)<=CLK;  
    GEN1:FOR I IN 0 TO 3 GENERATE  
        U:DFF1 PORT MAP (CLK=>①_____ , D=>②_____ ,  
                           Q=>③_____ ,QB=>④_____ );  
    END GENERATE;  
END RPLCONT;
```

- ④ COUNT\_IN\_BAR(I+1)
- ① COUNT\_IN\_BAR(I)
- ③ COUNT(I)
- ② COUNT\_IN\_BAR(I+1)

**题目49**

完成

获得6.00分中的6.00分

在下面①-④横线上填上合适的语句，完成移位寄存器74166的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY TTL74166 IS
PORT( A,B,C,D,E,F,G,H:IN STD_LOGIC; --8位并行输入信号
      CLK:IN STD_LOGIC;          --时钟信号
      RESET:IN STD_LOGIC;        --复位信号
      SE:IN STD_LOGIC;           --串行输入信号
      FE:IN STD_LOGIC;           --时钟信号禁止端
      SL:IN STD_LOGIC;           --移位装载控制端
      Q:OUT STD_LOGIC);         --串行输出信号
END TTL74166;

ARCHITECTURE ART OF TTL74166 IS
SIGNAL TMPREG8:STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
PROCESS(CLK,RESET,SL,FE)
BEGIN
IF RESET='1' THEN TMPREG8<=①_____; Q<=TMPREG8(7);
ELSIF CLK'EVENT AND CLK='1' THEN
IF FE='0' THEN
IF SL='0' THEN
TMPREG8(0)<=A;
TMPREG8(1)<=B;
TMPREG8(2)<=C;
TMPREG8(3)<=D;
TMPREG8(4)<=E;
TMPREG8(5)<=F;
TMPREG8(6)<=G;
TMPREG8(7)<=H;
②_____ SL='1' THEN
FOR I IN TMPREG8'HIGH DOWNTO ③_____ LOOP
```

```
TMPREG8(I)<=④_____;  
END LOOP;  
TMPREG8(TMPREG8'LOW)<=⑤_____;  
Q<= ⑥_____;  
END IF;  
END IF;  
END IF;  
END PROCESS;  
END ART;
```

- ③ TMPREG8'LOW+1
- ④ TMPREG8(I-1)
- ② ELSIF
- ⑥ TMPREG8(7)
- ① "00000000"
- ⑤ SE

**题目50**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成移位寄存器的设计。

说明：4位串入-串出移位寄存器有1个串行数据输入端（DI）、1个串行数据输出输出端（DO）和1个时钟输入端（CLK）

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY SISO IS
PORT(DI: IN STD_LOGIC;
      CLK:IN STD_LOGIC;
      DO:OUT STD_LOGIC);
END SISO;
ARCHITECTURE A OF SISO IS
SIGNAL Q: STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
PROCESS(CLK,DI)
BEGIN
IF CLK' EVENT AND CLK='1' THEN
Q(0)<=①______;
FOR ②_____ LOOP
Q(I)<=③______;
END IF;
END PROCESS;
DO<=Q(3);
END A;
```

①

DIN

②

I IN 1 TO 3

③

Q(I-1)

**题目51**

完成

获得5.00分中的5.00分

在下面①-⑤横线上填上合适的语句，完成移位寄存器的设计。

说明：8位的移位寄存器，具有左移一位或右移一位、并行输入和同步复位的功能。

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
USE IEEE.STD_LOGIC_ARITH.ALL;
```

```
ENTITY SHIFTER IS
```

```
PORT(DATA :IN STD_LOGIC_VECTOR(7 DOWNTO 0);
```

```
    CLK:IN STD_LOGIC;
```

```
    SHIFTLEFT, SHIFTRIGHT:IN STD_LOGIC;
```

```
    RESET:IN STD_LOGIC;
```

```
    MODE:IN STD_LOGIC_VECTOR(1 DOWNTO 0);
```

```
    QOUT:BUFFER STD_LOGIC_VECTOR(7 DOWNTO 0));
```

```
END SHIFTER;
```

```
ARCHITECTURE ART OF SHIFTER IS
```

```
BEGIN
```

```
PROCESS
```

```
BEGIN
```

①\_\_\_\_\_ (RISING\_EDGE(CLK)); --等待上升沿

IF RESET='1' THEN QOUT<="00000000"; --同步复位

```
ELSE
```

```
CASE MODE IS
```

WHEN "01"=>QOUT<=SHIFTRIGHT&②\_\_\_\_\_ ; --右移一位

WHEN "10"=>QOUT<=QOUT(6 DOWNTO 0)&③\_\_\_\_\_ ; --左移一位

WHEN "11"=>QOUT<=④\_\_\_\_\_ 41\_\_\_\_\_ ; --不移，并行输入

```
WHEN OTHERS=>NULL;
```

⑤\_\_\_\_\_ ;

```
END IF;
```

```
END PROCESS;
```

```
END ART;
```

- ① WAIT UNTIL
- ② QOUT(7 DOWNTO 1)
- ③ SHIFTLEFT
- ⑤ END CASE
- ④ DATA

**题目52**

完成

获得3.00分中的3.00分

在下面①-③横线上填上合适的语句，完成序列信号发生器的设计。

说明：已知发送信号为“10011010”，要求以由高到低的序列形式一位一位的发送，发送开始前及发送完为低电平。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY XULIE IS
PORT (RES, CLK: IN STD_LOGIC;
      Y: OUT STD_LOGIC );
END;
ARCHITECTURE ARCH OF XULIE IS
SIGNAL REG:STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
PROCESS(CLK, RES)
BEGIN
IF(CLK'EVENT AND CLK='1') THEN
  IF RES='1' THEN
    Y<='0'; REG<=①_____ ; --同步复位，并加载输入
  ELSE  Y<=②_____ ;           --高位输出
    REG<=③_____ ;           --左移，低位补0
  END IF;
END IF;
END PROCESS;
```

② REG(7)

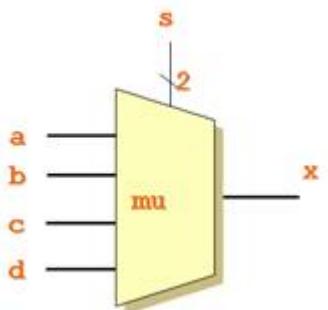
① "10011010"

③ REG(6 DOWNTO 0) &amp; '0'

**题目53**

完成

获得4.00分中的4.00分



**逻辑功能是带有使能端en的四选一数据选择器。试补充①-④使其完整**

```

Library ieee;
Use ieee.std_logic_1164.all;
entity qk_11 is
port( a,b,c,d,en:①_____ std_logic;
      s:in ②_____ ;
      op:out std_logic );
end qk_11;
architecture ar_1 of qk_11 is
  signal f:std_logic_vector(2 downto 0);
begin
f<=③_____ ;
with f select
  op<=a when "100",
  b when "101",
  c when "110",
  d ④_____ ;
end ar_1;

```

② std\_logic\_vector(1 downto 0)

③ en&s

① in

④ when others

**题目54**

完成

获得1.00分中的1.00分

VHDL中顺序语句放置位置说法正确的是——

选择一项:

- a. 不能放在任意位置
- b. 可以放在子程序中
- c. 可以放在进程语句中
- d. 前面的说法都正确

**题目55**

完成

获得1.00分中的1.00分

不完整的IF语句，其综合结果可实现\_\_\_\_。

选择一项:

- a. 三态控制电路
- b. 组合逻辑电路
- c. 双向电路
- d. 时序逻辑电路

**题目56**

完成

获得1.00分中的1.00分

嵌套的IF语句，其综合结果可实现\_\_\_\_\_。

选择一项：

- a. 三态控制电路
- b. 条件相或的逻辑
- c. 条件相与的逻辑
- d. 条件相异或的逻辑

**题目57**

完成

获得1.00分中的1.00分

下面哪个语句不属于顺序语句 ——

选择一项：

- a. IF语句
- b. PROCESS语句
- c. CASE语句
- d. LOOP语句

**题目58**

完成

获得1.00分中的1.00分

在VHDL中,可以用下面哪个语句来表示检测clock下降沿——

- A. if clock' event then
- B. if clock' event and clock='1' then
- C. if clock='0' then
- D. if clock' event and clock='0' then

选择一项:

- a. A
- b. C
- c. D
- d. B

**题目59**

完成

获得1.00分中的1.00分

在VHDL中,可以用语句\_\_\_\_表示检测clock上升沿。

选择一项:

- a. clock='0'
- b. clock' event and clock='1'
- c. clock' event and clock='0'
- d. clock' event

**题目60**

完成

获得1.00分中的1.00分

在VHDL语言中，下列对时钟边沿检测描述中，错误的是——

选择一项：

- a. if falling\_edge(clk) then
- b. if clk'stable and not clk = '1' then
- c. if clk'event and clk = '0' then
- d. if clk'event and clk = '1' then

**题目61**

完成

获得1.00分中的1.00分

下面哪个不是顺序语句使用的程序部分——

选择一项：

- a. 函数内部
- b. 过程内部程
- c. 进程内部
- d. 结构体内部

**题目62**

完成

获得1.00分中的1.00分

下面哪个不是顺序语句 ——

选择一项:

- a. if
- b. wait
- c. block
- d. case

**题目63**

完成

获得1.00分中的1.00分

下面哪个不是顺序语句——

选择一项:

- a. component
- b. loop
- c. case
- d. if

**题目64**

完成

获得1.00分中的1.00分

在VHDL中，IF语句中至少应有1个条件句，条件句必须由哪个表达式构成。——

选择一项：

- a. STD\_LOGIC
- b. INTEGER
- c. BOOLEAN
- d. BIT

**题目65**

完成

获得1.00分中的1.00分

在VHDL的CASE语句中，条件句中的“=>”不是操作符号，它只相当与（ ）作用。

选择一项：

- a. OR
- b. THEN
- c. AND
- d. IF

**题目66**

完成

获得1.00分中的1.00分

在VHDL的顺序语句中，下面的哪个语句具有优先级。——

- A. IF      B. CASE      C. FOR\_LOOP      D.WHILE\_LOOP

选择一项：

- a. D
- b. C
- c. B
- d. A

**题目67**

完成

获得1.00分中的1.00分

下列关于CASE语句的说法不正确的是——。

选择一项：

- a. CASE语句执行必须选中，且只能选中所列条件语句中的一条。
- b. CASE语句中必须要有WHEN OTHERS=>NULL；语句。
- c. 条件句中的选择值或标识符所代表的值必须在表达式的取值范围内。
- d. CASE语句中的选择值只能出现一次，且不允许有相同的选择值的条件语句出现。

**题目68**

完成

获得1.00分中的1.00分

在VHDL的FOR\_LOOP语句中的循环变量是一个临时变量，属于LOOP语句的局部；变量，（ ）事先声明。

选择一项：

- a. 其类型要
- b. 必须
- c. 不必
- d. 其属性要

**题目69**

完成

获得1.00分中的1.00分

在VHDL中，语句"FOR I IN 0 TO 7 LOOP "定义循环次数为（ ）次。

选择一项：

- a. 1
- b. 8
- c. 7
- d. 0

**题目70**

完成

获得1.00分中的1.00分

过程调用前需要将过程的过程首和过程体装入——中。

选择一项：

- a. 程序包
- b. 源程序
- c. 设计实体
- d. 结构体

**题目71**

完成

获得1.00分中的1.00分

使用下面（ ）语句可以使FOR\_LOOP语句跳到循环的起点。

选择一项：

- a. ontinue
- b. next
- c. exit
- d. break

**题目72**

完成

获得1.00分中的1.00分

使用下面（ ）语句可以使FOR\_LOOP语句跳到循环的终点。

选择一项：

- a. break
- b. exit
- c. next
- d. continue

**题目73**

完成

获得1.00分中的1.00分

下面有关while\_loop语句说法正确的是——

选择一项：

- a. 循环变量不需要事先定义；
- b. 以上说法都不正确。
- c. 一般综合工具都支持while\_loop语句；
- d. while\_loop循环次数已知；

**题目74**

完成

获得1.00分中的1.00分

嵌套使用IF语句，其综合结果可实现：( )

选择一项：

- a. 三态控制电路；
- b. 带优先级且条件相与的逻辑电路；
- c. 条件相或的逻辑电路；
- d. 双向控制电路。

**题目75**

完成

获得1.00分中的1.00分

在VHDL中，PROCESS结构内部是由（ ）语句组成的。

选择一项：

- a. 任何
- b. 并行
- c. 顺序和并行
- d. 顺序

**题目76**

完成

获得1.00分中的1.00分

在VHDL中，PROCESS本身是（ ）语句。

- A. 顺序      B.顺序和并行      C.并行      D.任何

选择一项：

- a. C  
 b. A  
 c. B  
 d. D

**题目77**

完成

获得1.00分中的1.00分

在元件例化语句中，用哪个符号实现名称映射，将例化元件端口声明语句中的信号与PORT MAP（ ）中的信号名关联起来。

选择一项：

- a. : =  
 b. =  
 c. =>

**题目78**

完成

获得1.00分中的1.00分

在VHDL中，含WAIT语句的进程PROCESS的括弧中（ ）再加敏感信号，否则是非法的。

选择一项：

- a. 必须
- b. 可以
- c. 有时可以
- d. 不能

**题目79**

完成

获得1.00分中的1.00分

以下对于进程PROCESS的说法，正确的是： ——

选择一项：

- a. 进程之间可以通过变量进行通信
- b. 进程内部由一组并行语句来描述进程功能
- c. 一个进程可以同时描述多个时钟信号的同步时序逻辑
- d. 进程语句本身是并行语句

**题目80**

完成

获得1.00分中的1.00分

进程中的信号赋值语句，其信号更新是——。

选择一项：

- a. 比变量更快完成
- b. 在进程的最后完成
- c. 以上都不对
- d. 按顺序完成

**题目81**

完成

获得1.00分中的1.00分

下面有关进程中敏感信号的说法正确的是——

选择一项：

- a. 异步进程敏感信号表中除时钟信号外，还有其它信号。
- b. 全部敏感信号的变化，才将启动进程。
- c. 同步进程的敏感信号表中只有时钟信号。
- d. 如果有 WAIT 语句，则不允许有敏感信号表。

**题目82**

完成

获得1.00分中的1.00分

在下面程序结构（ ）中执行的语句是并行语句：

选择一项：

- a. 结构体
- b. 过程
- c. 函数
- d. 进程

**题目83**

完成

获得1.00分中的1.00分

在VHDL中，条件信号赋值语句WHEN\_ELSE属于（ ）语句。

选择一项：

- a. 顺序
- b. 并行
- c. 不存在的
- d. 并行和顺序

**题目84**

完成

获得1.00分中的1.00分

下面有关块语句的说法不正确的是（ ）

选择一项:

- a. 块语句将一系列并行描述语句进行组合，目的是改善并行语句及其结构的可读性。
- b. 块语句本身是并行语句，并且块内部所包含的语句也是并行语句。
- c. 块语句的使用不影响逻辑功能。
- d. 块嵌套时，子块声明与父块声明的对象同名时，父块声明将忽略掉子块声明。

**题目85**

完成

获得1.00分中的1.00分

进程内不能定义:——

选择一项:

- a. 信号
- b. 常量
- c. 子程序
- d. 变量

**题目86**

完成

获得1.00分中的1.00分

下列哪种语句不属于并列语句 ( )

选择一项:

- a. 块语句
- b. 结构体配置语句
- c. 进程语句
- d. 子程序调用语句

**题目87**

完成

获得1.00分中的1.00分

VHDL中对象属性的引用格式为 ( )。

选择一项:

- a. 对象: 属性
- b. 对象: = 属性
- c. 对象<=属性
- d. 对象'属性

**题目88**

完成

获得1.00分中的1.00分

以下关于VHDL语言中顺序语句和并行语句的区别，不正确的是（ ）

选择一项：

- a. 并行语句体现了硬件电路的并行性。
- b. 顺序语句按语句的排列顺序执行；并行语句的执行顺序与书写顺序无关。
- c. 顺序语句可直接构成结构体；而并行语句则不能。
- d. 顺序语句可用于描述模块的算法；并行语句可用于描述模块间的连接关系。

**题目89**

完成

获得1.00分中的1.00分

以下语句不属于并行语句的是（ ）

选择一项：

- a. 生成语句
- b. 循环控制语句
- c. 元件例化语句
- d. 进程语句

**题目90**

完成

获得1.00分中的1.00分

在进程PROCESS的括弧中，如果已经有敏感信号，则不能含有（ ）语句否则是非法的。

选择一项：

- a. WAIT
- b. IF
- c. LOOP
- d. CASE

**题目91**

完成

获得1.00分中的1.00分

下面哪种语句既包括并行操作又有串行顺序操作（ ）

选择一项：

- a. WHEN...ELSE语句
- b. 信号赋值
- c. PROCESS语句
- d. 变量赋值

**题目92**

完成

获得1.00分中的1.00分

在VHDL语言中，下列对进程（PROCESS）语句的语句结构及语法规则的描述中，不正确的是（ ）。

选择一项：

- a. 当前进程中声明的变量不可用于其他进程
- b. PROCESS为一无限循环语句；敏感信号发生更新时启动进程，执行完成后，等待下一次进程启动。
- c. 进程由说明部分、结构体部分、和敏感信号三部分组成；
- d. 敏感信号参数表中，不一定要列出进程中使用的所有输入信号；

**题目93**

完成

获得1.00分中的1.00分

在VHDL语言中，下列对进程（PROCESS）语句的语句结构及语法规则的描述中，正确的是（ ）。

选择一项：

- a. 敏感信号参数表中，应列出进程中使用的所有输入信号；
- b. 程由说明部分、结构体部分、和敏感信号参数表三部分组成；
- c. 当前进程中声明的信号也可用于其他进程
- d. PROCESS为一无限循环语句；敏感信号发生更新时启动进程，执行完成后，等待下一次进程启动。

**题目94**

完成

获得1.00分中的1.00分

进程语句中敏感信号列表的作用是 ( )

选择一项：

- a. 实现进程语句的独立性
- b. 说明进程运行的结果
- c. 决定进程语句的启动与否
- d. 决定进程运行的先后顺序

**题目95**

完成

获得1.00分中的1.00分

元件例化语句的作用是 ( )

选择一项：

- a. 产生一个与某元件完全相同的一组并行元件
- b. 在高层次设计中引用前面已经设计好的元件或电路模块
- c. 描述元件模块的算法
- d. 改善并行语句及其结构的可读性

**题目96**

完成

获得1.00分中的1.00分

关于元件例化语句的元件声明的作用，以下说法中正确的是 ——

选择一项：

- a. 说明所引用元件的逻辑功能
- b. 说明所引用元件的端口信息
- c. 说明所引用元件的存储位置
- d. 说明所引用元件的个数

**题目97**

完成

获得1.00分中的1.00分

下列语句中，不属于并行语句的是： ——

选择一项：

- a. 进程语句
- b. WHEN...ELSE...语句
- c. CASE语句
- d. 元件例化语句

**题目98**

完成

获得1.00分中的1.00分

进程语句中敏感信号列表的作用是——

选择一项：

- a. 决定进程语句的启动与否
- b. 实现进程语句的独立性
- c. 说明进程运行的结果
- d. 决定进程运行的先后顺序

**题目99**

完成

获得1.00分中的1.00分

在VHDL语言中，下列对进程（PROCESS）语句的语句结构及语法规则的描述中，正确的是

——

选择一项：

- a. 敏感信号参数表中，应列出进程中使用的所有输入信号；
- b. 当前进程中声明的变量也可用于其他进程。
- c. PROCESS为一无限循环语句；敏感信号发生更新时启动进程，执行完成后，等待下一次进程启动。
- d. 进程由说明部分、结构体部分、和敏感信号参数表三部分组成；

**题目100**

完成

获得1.00分中的1.00分

下面有WITH\_SELECT语句的说法不正确的是——

选择一项：

- a. 最后条件必须为 OTHERS
- b. 选择信号赋值语句与进程中的 CASE 语句等价。
- c. 不能有重叠的条件分支。
- d. 赋值目标必须是信号，与其它并行语句同时执行，与书写顺序无关。

**题目101**

完成

获得1.00分中的1.00分

下面有WHEN\_ELSE语句的说法不正确的是——

- A. 赋值目标必须是信号。
- B. 不能有重叠的条件分支。
- C. 选择信号赋值语句与进程中的 IF 语句等价。
- D. 需要把表达式的所有可能取值都列举出来，否则最后条件必须为 OTHERS。

选择一项：

- a. D
- b. C
- c. B
- d. A

**题目102**

完成

获得1.00分中的1.00分

在下面①横线上填上合适的语句，完成一个带使能功能的二-十进制译码器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY MY2TO10 IS
PORT (EN: IN STD_LOGIC;
      DIN: IN STD_LOGIC_VECTOR(①_____ DOWNT0 0);
      POUT: OUT STD_LOGIC_VECTOR(9 DOWNT0 0));
END;
ARCHITECTURE ARCH OF MY2TO10 IS
BEGIN
PROCESS(EN, DIN)
BEGIN
IF EN='1' THEN
CASE DIN IS
WHEN "0000" => POUT<="0000000001";
WHEN "0001" => POUT<="0000000010";
WHEN "0010" => POUT<="0000000100";
WHEN "0011" => POUT<="0000001000";
WHEN "0100" => POUT<="0000010000";
WHEN "0101" => POUT<="0000100000";
WHEN "0110" => POUT<="0001000000";
WHEN "0111" => POUT<="0010000000";
WHEN "1000" => POUT<="0100000000";
WHEN "1001" => POUT<="1000000000";
WHEN OTHERS => POUT<="0000000000";
END CASE;
END IF;
END PROCESS;
END;
```

答案：

3

[个人主页](#) / [我的课程](#) / [数字系统实验](#) / [第九次课](#) / [训练9](#)

**开始时间** 2017年12月18日 星期一 11:41

**状态** 完成

**完成于** 2017年12月18日 星期一 18:18

**耗时** 6 小时 37 分钟

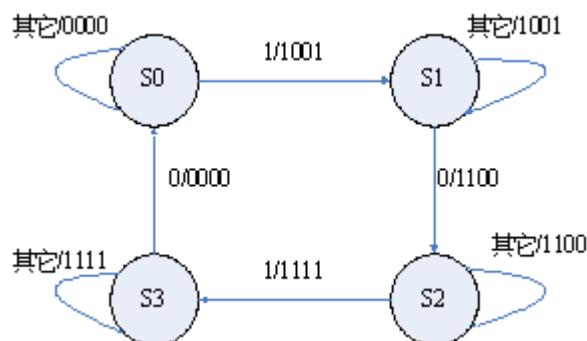
**成绩** **162.00**/满分167.00 (97%)

**题目1**

完成

获得18.00分中的18.00分

下图为某一状态机对应的状态图，试用VHDL语言描述这一状态机。序号①-⑩后面的（）需填写？



参考程序如下：

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY FSM2 IS
  PORT ( clk,reset,in1 : IN STD_LOGIC;
         out1 : OUT ① () );
END;
ARCHITECTURE bhv OF FSM2 IS
  ② ();
  SIGNAL current_state,next_state:③ ();
BEGIN
  P1:PROCESS(clk,reset)
  BEGIN
    IF reset = '1' THEN  current_state<=④ ();
    ELSIF clk='1' AND clk'EVENT THEN
      current_state <=⑤ ();
    END IF;
  END PROCESS;
  P2:PROCESS(current_state)
  BEGIN
    case ⑥ () is
      WHEN s0 => IF⑦ () THEN next_state<=⑧ ();
      ELSE next_state<=⑨ ();
    END IF;
  END PROCESS;

```

```

WHEN⑩ () IF in1='0'THEN next_state<=S2;
    ELSE next_state<=s1;
    END IF;

WHEN (11) () IF in1='1'THEN next_state<=S3;
    ELSE next_state<=s2;
    END IF;

WHEN s3 => IF in1='0'THEN next_state<=(12) ();
    ELSE next_state<=s3; (13)();

end case;

(14) ();

p3:PROCESS(current_state)

BEGIN

case current_state is

WHEN(15) () IF in1='1'THEN out1<="1001";
    ELSE out1<="0000"; END IF;

WHEN s1 => IF in1='0'THEN out1<=(16) ();
    ELSE out1<=(17)(); END IF;

WHEN s2 => IF in1='1'THEN out1<="1111";
    ELSE out1<="1001"; END IF;

WHEN s3 => IF (18) () THEN out1<="0000";
    ELSE out1<="1111"; END IF;

end case;

END PROCESS;

end bvh;

```

⑥需填写	current_state
④需填写	s0
⑨需填写	s0
③需填写	state_type
(14)需填写	END PROCESS
(12)需填写	s0
⑦需填写	in1='1'
(13)需填写	END IF
(16)需填写	"1100"

(1)需填写	s2 =>
(17)需填写	"1001"
⑩ 需填写	s1 =>
(15)需填写	s0 =>
②需填写	TYPE state_type IS (s0, s1, s2, s3)
⑧需填写	s1
①需填写	STD_LOGIC_VECTOR(3 downto 0)
⑤需填写	next_state
(18)需填写	in1='0'

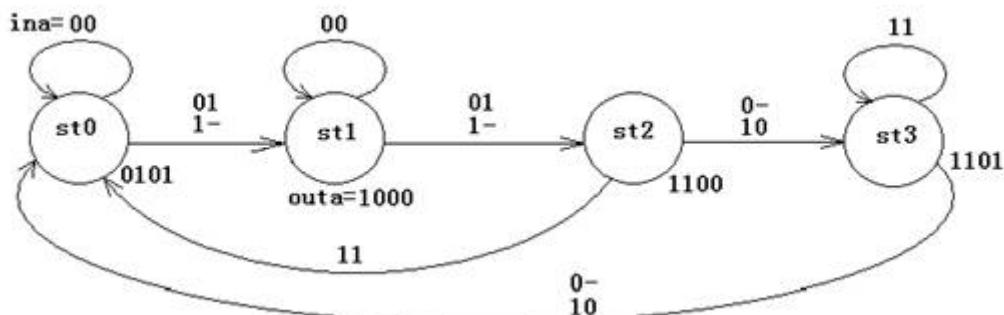
**题目2**

完成

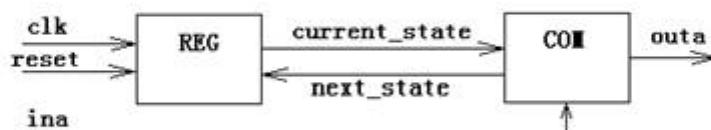
获得5.00分中的5.00分

在下面序号①-⑤后面（）填上合适的语句，完成一个摩尔状态机的设计。

说明：状态机的状态图见图A，状态结构图见图B。



图(a) 状态图



图(b) 状态机结构图

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY MOOREB IS
    PORT (CLK, RESET : IN STD_LOGIC;
          INA : IN STD_LOGIC_VECTOR (1 DOWNTO 0);
          OUTA : OUT STD_LOGIC_VECTOR (3 DOWNTO 0));
END MOOREB;

ARCHITECTURE ONE OF MOOREB IS
    TYPE MS_STATE IS (ST0, ST1, ST2, ST3);
    SIGNAL C_ST, N_ST :① ();
BEGIN
    PROCESS (CLK, RESET)
    BEGIN
        IF RESET = '1' THEN C_ST <= ST0;
        ELSIF CLK'EVENT AND CLK = '1' THEN C_ST <=② ();
        END IF;
    END PROCESS;

```

```
PROCESS (C_ST)
BEGIN
    CASE C_ST IS
        WHEN ST0 => IF INA = "00" THEN N_ST <= ST0;
                    ELSE N_ST <= ST1;
                    END IF;
                    OUTA <= "0101";
        WHEN ST1 => IF INA = "00" THEN N_ST <= ST1;
                    ELSE N_ST <= ST2;
                    END IF;
                    OUTA <= "1000";
        WHEN ST2 => IF INA = "11" THEN N_ST <= ③ ();
                    ELSE N_ST <= ST3;
                    END IF;
                    OUTA <= "1100";
        WHEN ST3 => IF INA = "11" THEN N_ST <= ④ ();
                    ELSE N_ST <= ST0;
                    END IF;
                    OUTA <= ⑤ ();
        WHEN OTHERS => N_ST <= ST0;
    END CASE;
END PROCESS;
END ONE;
```

- |       |          |
|-------|----------|
| ③ 需填写 | ST0      |
| ⑤需填写  | "1101"   |
| ④需填写  | ST3      |
| ② 需填写 | N_ST     |
| ①需填写  | MS_STATE |

**题目3**

完成

获得3.00分中的3.00分

在下面序号①-③后面的（）填上合适的语句，完成状态机的设计。

说明：设计一个双进程状态机，状态0时如果输入“10”则转为下一状态，否则输出“1001”；状态1时如果输入“11”则转为下一状态，否则输出“0101”；状态2时如果输入“01”则转为下一状态，否则输出“1100”；状态3时如果输入“00”则转为状态0，否则输出“0010”。复位时为状态0。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY MOORE1 IS
PORT (DATAIN: IN STD_LOGIC_VECTOR(1 DOWNTO 0);
      CLK, RST:IN STD_LOGIC;
      Q: OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END;
ARCHITECTURE ONE OF MOORE1 IS
TYPE ST_TYPE IS (ST0, ST1, ST2, ST3);      --定义4个状态
SIGNAL CST, NST: ST_TYPE;                  --定义两个信号（现态和次态）
SIGNAL Q1:STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
REG: PROCESS(CLK, RST)                      --主控时序进程
BEGIN
IF RST='1' THEN CST<=① (); --异步复位为状态0
ELSIF CLK'EVENT AND CLK='1' THEN
CST<=② (); --现态=次态
END IF;
END PROCESS;
COM: PROCESS(CST, DATAIN)
BEGIN
CASE CST IS
WHEN ST0 => IF DATAIN="10" THEN NST<=ST1;
ELSE NST<=ST0; Q1<="1001"; END IF;
WHEN ST1 => IF DATAIN="11" THEN NST<=ST2;
ELSE NST<=ST1; Q1<="0101"; END IF;
WHEN ST2 => IF DATAIN="01" THEN NST<=ST3;
ELSE NST<=ST2; Q1<="1100"; END IF;
WHEN ST3 => IF DATAIN="00" THEN NST<=ST0;
ELSE NST<=ST3; Q1<="0010"; END IF;
END CASE;
END IF;
END PROCESS;
END;
```

```
ELSE NST<=ST2; Q1<="1100"; END IF;  
WHEN ST3 => IF DATAIN="00" THEN NST<=ST0;  
    ELSE NST<=ST3; Q1<="0010"; END IF;  
③ ();  
END PROCESS;  
Q<=Q1;  
END;
```

③需填写

END CASE

①需填写

ST0

②需填写

NST

**题目4**

完成

获得4.00分中的3.00分

在下面序号①-④后面的（）横线上填上合适的语句，完成七人表决器的设计。

说明：一个带输出显示的七人表决器(两种结果：同意，反对)。

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY BIAOJUE7 IS  
PORT(D:IN STD_LOGIC_VECTOR(0 TO 6);  
      RLED,GLED:OUT STD_LOGIC;  
      LEDSEG:OUT STD_LOGIC_VECTOR( 6 DOWNT0 0)  
      );  
END;  
ARCHITECTURE BEV OF BIAOJUE7 IS  
BEGIN  
PROCESS(D)  
VARIABLE COUNT:INTEGER RANGE 0 TO 7 ;  
BEGIN  
COUNT:=① () ;  
FOR ② () LOOP  
IF D(I)='1' THEN COUNT:=③ () ;  
ELSE COUNT:=COUNT;  
END IF;  
END LOOP;  
IF COUNT>④ () THEN GLED<='1'; RLED<='0';  
ELSE GLED<='0'; RLED<='1';  
END IF;  
CASE COUNT IS  
WHEN 0=> LEDSEG<="0111111";  
WHEN 1=> LEDSEG<="0000110";  
WHEN 2=> LEDSEG<="1011011";  
WHEN 3=> LEDSEG<="1001111";  
WHEN 4=> LEDSEG<="1100110";  
WHEN 5=> LEDSEG<="1101101";
```

```
WHEN 6=> LEDSEG<="1111101";  
WHEN 7=> LEDSEG<="0100111";  
END CASE;  
END PROCESS;  
END BEV;
```

②需填写

I IN 0 TO 6

③需填写

3

①需填写

0

④需填写

3

**题目5**

完成

获得3.00分中的3.00分

在下面①-③后面的（）填上合适的语句，完成简易彩灯控制电路的VHDL设计。

说明：该控制电路控制红、绿、黄三个发光管循环发亮。要求红发光管亮2秒，绿发光管亮3秒，黄发光管亮1秒。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY ASM_LED IS
PORT(CLK,CLR:IN STD_LOGIC;
LED1,LED2,LED3:OUT STD_LOGIC);
END;
ARCHITECTURE A OF ASM_LED IS
① () STATES IS (S0,S1,S2,S3,S4,S5);
SIGNAL Q: STD_LOGIC_VECTOR(0 TO 2);
SIGNAL STATE:STATES;
BEGIN
P1:PROCESS(CLK,② ())
BEGIN
IF(CLR='0') THEN STATE<=S0;
ELSIF(CLK'EBENT AND CLK='1') THEN
CASE STATE IS
WHEN S0=>STATE<=S1;
WHEN S1=>STATE<=S2;
WHEN S2=>STATE<=S3;
WHEN S3=>STATE<=S4;
WHEN S4=>STATE<=S5;
WHEN S5=>STATE<=S0;
END CASE;
END IF;
END PROCESS P1;
P2:PROCESS(CLR,③ ())
BEGIN
IF CLR='0' THEN LED1<='1';LED2<='0';LED3<='0';
ELSE CASE STATE IS
WHEN S0=> LED1<='1';LED2<='0';LED3<='0';
END CASE;
END IF;
END PROCESS P2;
```

```
WHEN S1=> LED1<='0';LED2<='1';LED3<='0';
WHEN S2=> LED1<='0';LED2<='1';LED3<='0';
WHEN S3=> LED1<='0';LED2<='0';LED3<='1';
WHEN S4=> LED1<='0';LED2<='0';LED3<='1';
WHEN S5=> LED1<='0';LED2<='0';LED3<='1';
END CASE;
END IF;
END PROCESS P2;
END ARCHITECTURE A;
```

③需填写

STATE

①需填写

TYPE

②需填写

CLR

**题目6**

完成

获得2.00分中的2.00分

在下面①-②后面的（）填上合适的语句，完成简易彩灯控制电路的VHDL设计。

说明：在EDA实验箱上利用OUT1 ~ OUT8共8个发光二极管实现从左到右再从右到左循环，依次仅有只LED不亮的简单跑马灯。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
ENTITY TEST2 IS
    PORT (CLK1HZ:IN STD_LOGIC;
          LED:OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
END TEST2;
ARCHITECTURE BEHA OF TEST2 IS
    SIGNAL COUNT1:STD_LOGIC_VECTOR (3 DOWNTO 0);
BEGIN
    P1:PROCESS (CLK1HZ)
        BEGIN
            IF (CLK1HZ'EVENT AND CLK1HZ='1') THEN
                IF(COUNT1="1110") THEN    COUNT1<="0000";
                ELSE    COUNT1<=① ();
            END IF;
        END IF;
    END PROCESS;
    P2:PROCESS (② ())
        BEGIN
            CASE COUNT1 IS
                WHEN"0000"=>LED<="01111111";
                WHEN"0001"=>LED<="10111111";
                WHEN"0010"=>LED<="11011111";
                WHEN "0011"=>LED<="11101111";
                WHEN "0100"=>LED<="11110111";
                WHEN "0101"=>LED<="11111011";
                WHEN "0110"=>LED<="11111101";
                WHEN "0111"=>LED<="11111110";
            END CASE;
        END IF;
    END PROCESS;
END;
```

```
WHEN "1000"=>LED<="11111101";  
WHEN "1001"=>LED<="111111011";  
WHEN "1010"=>LED<="11110111";  
WHEN "1011"=>LED<="11101111";  
WHEN "1100"=>LED<="11011111";  
WHEN "1101"=>LED<="10111111";  
WHEN "1110"=>LED<="01111111";  
WHEN OTHERS=>NULL;  
END CASE;  
END PROCESS;  
END ARCHITECTURE BEHA;
```

②需填写

COUNT1

①需填写

COUNT1+1

**题目7**

完成

获得3.00分中的3.00分

在下面①-③后面的（）填上合适的语句，完成交通灯控制器的设计。

说明：红、黄、绿灯分别亮10秒，状态0时东西绿灯亮，南北红灯亮；状态1时东西绿、黄灯亮，南北红灯亮；状态2时东西红灯亮，南北绿灯亮；状态3时东西红灯亮，南北绿、黄灯亮。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY TRAFFICLED1 IS
PORT (CLK, RESET: IN STD_LOGIC;
      Q: OUT STD_LOGIC_VECTOR(11 DOWNTO 0));
END;
ARCHITECTURE ONE OF TRAFFICLED1 IS
SIGNAL Y_EWSN, G_EWSN, R_EWSN:STD_LOGIC_VECTOR(3 DOWNTO 0);
SIGNAL COUNT:INTEGER RANGE 0 TO 9;
SIGNAL STATE:INTEGER RANGE 0 TO 3;
BEGIN
PROCESS(RESET, CLK,COUNT)
BEGIN
  IF RESET='1' THEN COUNT<=0; STATE<=0;
  ELSIF CLK'EVENT AND CLK='1' THEN COUNT<=COUNT+1;
    IF (COUNT=① ()) THEN STATE <=STATE+1;
  END IF;
  IF STATE>② () THEN STATE <=0;
  END IF;
END IF;
CASE STATE IS
  WHEN 0 => Y_EWSN<="0000"; G_EWSN<="1100"; R_EWSN<="0011";
  WHEN 1 => Y_EWSN<="1100"; G_EWSN<="1100"; R_EWSN<="0011";
  WHEN 2 => Y_EWSN<="0000"; G_EWSN<="0011"; R_EWSN<="1100";
  WHEN 3=> Y_EWSN<="0011"; G_EWSN<="0011"; R_EWSN<="1100";
  WHEN OTHERS=>③ ();
END CASE;
END PROCESS;
```

```
Q(0)<=R_EWSN(0); Q(1)<=G_EWSN(0); Q(2)<=Y_EWSN(0) ;  
Q(3)<=R_EWSN(2); Q(4)<=G_EWSN(2); Q(5)<=Y_EWSN(2) ;  
Q(6)<=R_EWSN(1); Q(7)<=G_EWSN(1); Q(8)<=Y_EWSN(1) ;  
Q(9)<=R_EWSN(3); Q(10)<=G_EWSN(3); Q(11)<=Y_EWSN(3) ;  
END;
```

②需填写

3

③需填写

NULL

①需填写

9

**题目8**

完成

获得3.00分中的3.00分

在下面①-③后面单位 () 填上合适的语句，完成一个“01111110”序列发生器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
ENTITY SENQGEN IS
PORT(CLK,CLR,CLOCK:IN STD_LOGIC;
      ZO:OUT STD_LOGIC);
END;
ARCHITECTURE ART OF SENQGEN IS
SIGNAL COUNT:STD_LOGIC_VECTOR(2 DOWNTO 0);
SIGNAL Z:STD_LOGIC:='0';
BEGIN
PROCESS(CLK,CLR)
BEGIN
IF CLR='1' THEN COUNT<="000";
ELSE
  IF CLK='1' AND CLK'EVENT THEN
    IF COUNT=① () THEN COUNT<="000";
    ELSE COUNT<=COUNT+1;
  END IF;
END IF;
END IF;
END PROCESS;
PROCESS(COUNT)
BEGIN
CASE COUNT IS
WHEN "000">=Z<='0';
WHEN "001">=Z<='1';
WHEN "010">=Z<='1';
WHEN "011">=Z<='1';
END CASE;
END IF;
END IF;
END PROCESS;
```

```
WHEN "100"=>Z<='1';
WHEN "101"=>Z<='1';
WHEN "110"=>Z<='1';
WHEN OTHERS=>Z<=② () ;
END CASE;
END PROCESS;
PROCESS(CLOCK,Z)
BEGIN
IF CLOCK='1' AND CLOCK'EVENT THEN
ZO<=③ () ;
END IF;
END PROCESS;
END ART;
```

①需填写

"111"

③需填写

Z

②需填写

'0'

**题目9**

完成

获得3.00分中的3.00分

在下面①-③后面单位 () 填上合适的语句，完成一个“01111110”序列发生器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
ENTITY SENQGEN IS
PORT(CLK,CLR,CLOCK:IN STD_LOGIC;
      ZO:OUT STD_LOGIC);
END;
ARCHITECTURE ART OF SENQGEN IS
SIGNAL COUNT:STD_LOGIC_VECTOR(2 DOWNTO 0);
SIGNAL Z:STD_LOGIC:='0';
BEGIN
PROCESS(CLK,CLR)
BEGIN
IF CLR='1' THEN COUNT<="000";
ELSE
  IF CLK='1' AND CLK'EVENT THEN
    IF COUNT=① () THEN COUNT<="000";
    ELSE COUNT<=COUNT+1;
  END IF;
END IF;
END IF;
END PROCESS;
PROCESS(COUNT)
BEGIN
CASE COUNT IS
WHEN "000">=Z<='0';
WHEN "001">=Z<='1';
WHEN "010">=Z<='1';
WHEN "011">=Z<='1';
END CASE;
END IF;
END IF;
END PROCESS;
```

```
WHEN "100"=>Z<='1';
WHEN "101"=>Z<='1';
WHEN "110"=>Z<='1';
WHEN OTHERS=>Z<=② () ;
END CASE;
END PROCESS;
PROCESS(CLOCK,Z)
BEGIN
IF CLOCK='1' AND CLOCK'EVENT THEN
ZO<=③ () ;
END IF;
END PROCESS;
END ART;
```

②需填写

'0'

①需填写

"111"

③需填写

Z

**题目10**

完成

获得3.00分中的3.00分

在下面①-③后面单位 () 填上合适的语句，完成一个“01111110”序列发生器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
ENTITY SENQGEN IS
PORT(CLK,CLR,CLOCK:IN STD_LOGIC;
      ZO:OUT STD_LOGIC);
END;
ARCHITECTURE ART OF SENQGEN IS
SIGNAL COUNT:STD_LOGIC_VECTOR(2 DOWNTO 0);
SIGNAL Z:STD_LOGIC:='0';
BEGIN
PROCESS(CLK,CLR)
BEGIN
IF CLR='1' THEN COUNT<="000";
ELSE
  IF CLK='1' AND CLK'EVENT THEN
    IF COUNT=① () THEN COUNT<="000";
    ELSE COUNT<=COUNT+1;
  END IF;
END IF;
END IF;
END PROCESS;
PROCESS(COUNT)
BEGIN
CASE COUNT IS
WHEN "000"=>Z<='0';
WHEN "001"=>Z<='1';
WHEN "010"=>Z<='1';
WHEN "011"=>Z<='1';
END CASE;
END IF;
```

```
WHEN "100"=>Z<='1';
WHEN "101"=>Z<='1';
WHEN "110"=>Z<='1';
WHEN OTHERS=>Z<=② () ;
END CASE;
END PROCESS;
PROCESS(CLOCK,Z)
BEGIN
IF CLOCK='1' AND CLOCK'EVENT THEN
ZO<=③ () ;
END IF;
END PROCESS;
END ART;
```

①需填写

"111"

③需填写

Z

②需填写

'0'

**题目11**

完成

获得5.00分中的5.00分

在下面①-⑤后面的（）填上合适的语句，完成一个“01111110”序列信号检测器的设计。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY DETECT IS
PORT( DATAIN:IN STD_LOGIC;
      CLK:IN STD_LOGIC;
      Q:BUFFER STD_LOGIC);
END DETECT;
ARCHITECTURE ART OF DETECT IS
TYPE STATETYPE IS (S0,S1,S2,S3,S4,S5,S6,S7,S8);
BEGIN
PROCESS(CLK)
VARIABLE① () :② ();
BEGIN
Q<='0';
CASE PRESENT_STATE IS
WHEN S0=>
  IF DATAIN='0' THEN PRESENT_STATE:=S1;
  ELSE PRESENT_STATE:=S0; END IF;
WHEN S1=>
  IF DATAIN='1' THEN PRESENT_STATE:=S2;
  ELSE PRESENT_STATE:=S1; END IF;
WHEN S2=>
  IF DATAIN='1' THEN PRESENT_STATE:=S3;
  ELSE PRESENT_STATE:=S1; END IF;
WHEN S3=>
  IF DATAIN='1' THEN PRESENT_STATE:=S4;
  ELSE PRESENT_STATE:=S1; END IF;
```

WHEN S4=>

```
IF DATAIN='1' THEN PRESENT_STATE:=S5;  
ELSE PRESENT_STATE:=S1; END IF;
```

WHEN S5=>

```
IF DATAIN='1' THEN PRESENT_STATE:=S6;  
ELSE PRESENT_STATE:=S1; END IF;
```

WHEN S6=>

```
IF DATAIN='1' THEN PRESENT_STATE:=S7;  
ELSE PRESENT_STATE:=S1; END IF;
```

WHEN S7=>

```
IF DATAIN='0' THEN PRESENT_STATE:=S8;  
Q<='1'; ELSE PRESENT_STATE:=S0; END IF;
```

WHEN S8=>

```
IF DATAIN='0' THEN PRESENT_STATE:=③();  
ELSE PRESENT_STATE:=④(); END IF;
```

END CASE;

⑤() CLK='1';

END PROCESS;

END ART;

①需填写

③需填写

④需填写

②需填写

⑤需填写

**题目12**

完成

获得4.00分中的4.00分

在下面①-④后面的 ( ) 填上合适的语句，完成序列信号发生器的设计。

说明：带异步复位为CLR，时钟端为CLK，输出端为Q，串行输出指定序列（低位先出）。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY SENQGEN IS
    PORT(CLK,CLR:IN STD_LOGIC;
          Q:OUT STD_LOGIC);
END SENQGEN;
ARCHITECTURE BEHA OF SENQGEN IS
SIGNAL Q_TEMP:STD_LOGIC_VECTOR(2 DOWNTO 0);
BEGIN
PROCESS(CLK,CLR)
    BEGIN
        IF CLR='1' THEN  Q_TEMP<="000";
            ① () (CLK'EVENT AND CLK='1') THEN
                IF Q_TEMP="111" THEN      Q_TEMP<="000";
                    ② () Q_TEMP<=Q_TEMP+1;
            END IF;
            ③ ();
        END PROCESS;
        PROCESS(Q_TEMP)
        BEGIN
            CASE Q_TEMP IS
                WHEN "000"=>Q<='0';WHEN "001"=>Q<='1';
                WHEN "010"=>Q<='0';WHEN "011"=>Q<='1';
                WHEN "100"=>Q<='1';WHEN "101"=>Q<='1';
                WHEN "110"=>Q<='1';WHEN "111"=>Q<='0';
                WHEN OTHERS=>④ ();
            END CASE;
        END PROCESS;
    END;
```

END BEHA;

①需填写

ELSIF

②需填写

ELSE

④需填写

NULL

③需填写

END IF

**题目13**

完成

获得7.00分中的4.00分

在下面①-⑦后面的（）填上合适的语句，完成设计。

波形存储器采用lpm\_rom定制成10×8位大小波形ROM，地址与数据总线均无寄存缓冲。不同的波形需要存储不同的采样值sampling.mif。生成MIF文件的波形采样值可通过C或者Matlab编程实现。

```

library IEEE;
use IEEE.std_logic_1164.all;

library lpm;
use lpm.all;

entity wave_rom is
    port ( address : in STD_LOGIC_VECTOR (9 downto 0);
           q : out STD_LOGIC_VECTOR (7 downto 0) );
end wave_rom;

architecture syn of wave_rom is
    signal sub_wire0 : STD_LOGIC_VECTOR (7 downto 0);
    component lpm_rom                                     --lpm_rom声明
        generic ( intended_device_family : string;
                  lpm_address_control : string;
                  lpm_file          : string;
                  lpm_outdata       : string;
                  lpm_type          : string;
                  lpm_width         : natural;
                  lpm_widthad       : natural );
        port ( address : in STD_LOGIC_VECTOR (9 downto 0);
                q   : out STD_LOGIC_VECTOR (7 downto 0) );
    end component;
    begin
        q  <= sub_wire0(7 downto 0);
        lpm_rom_component :① ()                                --lpm_rom描述
            ② () ( intended_device_family => "flex10k",
                    lpm_address_control =>③ () ,
                    lpm_file => ④ () ,
                    lpm_outdata =>⑤ () ,

```

```
lpm_type => "lpm_rom",
lpm_width => ⑥ () ,
lpm_widthad => ⑦ () )
port map ( address => address, q => sub_wire0 );
end syn;
```

④需填写 "unregistered"

⑥需填写 8

⑦需填写 10

①需填写 lpm\_rom

②需填写 generic map

⑤需填写 "unregistered"

③需填写 "unregistered"

**题目14**

完成

获得9.00分中的9.00分

下面程序是参数可定制带计数使能异步复位计数器的VHDL描述，试补充完整。

```
-- N-bit Up Counter with Load, Count Enable, and
-- Asynchronous Reset

library ieee;
use IEEE.std_logic_1164.all;
use IEEE.① () .all;
use IEEE.std_logic_arith.all;

entity counter_n is
    ② () (width : integer := 8);
    port(data : in std_logic_vector (width-1 downto 0);
        load, en, clk, rst :③ () std_logic;
        q : out std_logic_vector (④ ()  downto 0));
end counter_n;

architecture behave of ⑤ () is
    signal count : std_logic_vector (width-1 downto 0);
begin
    process(clk, rst)
    begin
        if rst = '1' then
            count <= ⑥( );      —— 清零
        elsif ⑦ () then —— 边沿检测
            if load = '1' then
                count <= data;
            ⑧ () en = '1' then
                count <= count + 1;
            end ⑨ () ;
        end if;
    end process;
    q <= count;
end behave;
```

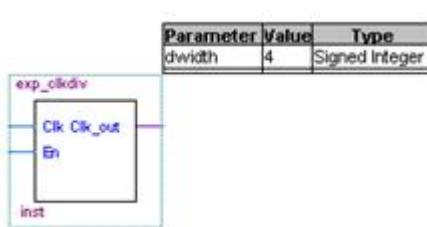
- ⑦需填写 clk'event and clk = '1'
- ⑧需填写 elsif
- ⑤需填写 counter\_n
- ⑥需填写 (others => '0')
- ③需填写 in
- ④需填写 width - 1
- ②需填写 generic
- ⑨需填写 if
- ①需填写 std\_logic\_unsigned

**题目15**

完成

获得5.00分中的5.00分

利用二进制加法计数器设计实现一个4位二进制分频器，符号如图。计数器计数结果的第N位是2的N次幂分频。



```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.① () .all;
entity exp_clkdiv is
generic (② () ); --幂
port( Clk: in STD_LOGIC;
      En: in STD_LOGIC;
      Clk_out: out STD_LOGIC);
end exp_clkdiv;
architecture rtl of exp_clkdiv is
signal temp:STD_LOGIC_VECTOR(③ () downto 0);
begin
begin
process(Clk,En)
begin
if Clk'event and Clk='1' then
  if En='1' then --同步使能
    temp<=④ () ;
  else
    temp<=temp;
  end if;
end if;
end process;
Clk_out<=temp(⑤ () );

```

end rtl;

①需填写

std\_logic\_unsigned

③需填写

dwidth-1

②需填写

dwidth:integer:=4

④需填写

temp+'1'

⑤需填写

dwidth-1

**题目16**

完成

获得6.00分中的6.00分

**VHDL程序填空：序号①-⑥后的（）分别需填写？**

十次分频器，空占比50%。

```
library IEEE;
use IEEE.std_logic_1164.all;
entity exp_clkdiv10_1 is
generic (① () );                                --分频系数
port(clkin : in STD_LOGIC;
      clkout: out STD_LOGIC);
end exp_clkdiv10_1;
architecture rtl of exp_clkdiv10_1 is
signal temp:② () dwidth-1 downto 0;
begin
  process(clkin)                                --计数0~9
  begin
    if (clkin'event and clkin='1') then
      if ③ () then
        temp<=0;
      else
        temp<=④ () ;
      end if;
    end if;
  end process;
  ⑤ ()                                         --占空比设置
begin
  if temp<⑥ () then
    clkout<='1';                                --50%占空比
  else
    clkout<='0';
  end if;
end process;
end rtl;
```

- ③需填写
- ⑤需填写
- ⑥需填写
- ②需填写
- ④需填写
- ①需填写

**题目17**

完成

获得5.00分中的5.00分

**VHDL程序填空：序号①-⑤后的（）分别需填写？**

占空比可调的分频器设计可利用类属说明语句generic来实现。通过判断计数电路的输出状态来控制时钟信号输出。下面以占空比为7: 10的可调分频器说明。

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity exp_clkdiv_3 is
generic( n1: ① ();          --占空比值分母
         n2:② (););        --占空比值分子
port( clkin:in STD_LOGIC;
      En:in STD_LOGIC;
      clkout:out STD_LOGIC);
end exp_clkdiv_3;
architecture rtl of exp_clkdiv_3 is
signal temp:integer range ③ () downto 0;
begin
process(clkin,temp,En)
begin
if rising_edge(clkin) then
  if En='1' then
    if ④ () then          --计数0~9
      temp<=0;
    else
      temp<=temp+1;
    end if;
  end if;
end if;
end process;
clkout<='1' ⑤ when temp <⑥ () else           --翻转， 占空比7/10
  '0';
end rtl;
```

②需填写

integer:=7

③需填写

n1-1

⑤需填写

n2

④需填写

temp=n1-1

①需填写

integer:=10

**题目18**

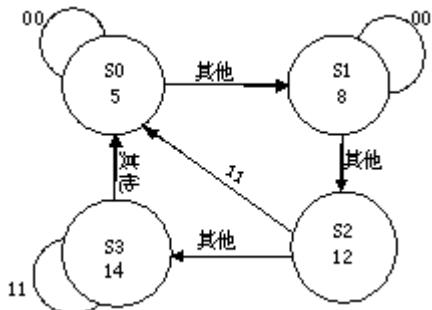
完成

获得4.00分中的4.00分

在下面①-④后面的（）需要填写？，完成有限状态机的设计。

说明：状态转换图如右图，S0~S3为状态号，圈内为输出。

```
LIBRARY IEEE;
```



```
USE IEEE. STD_LOGIC_1164. ALL;

ENTITY S_MACHINE IS
PORT( CLK,RESET: IN STD_LOGIC;
INPUTS : IN STD_LOGIC_VECTOR (0 TO 1);
OUTPUTS : OUT INTEGER RANGE (0 TO 15 );
END S_MACHINE;
```

```
ARCHITECTURE BEHAV OF S_MACHINE IS
TYPE STATES IS (S0, S1, S2, S3);
SIGNAL CURCENT_STATE, NEXT_STATE: STATES;
BEGIN
```

```
REG: PROCESS (RESET, CLK) --状态切换
BEGIN
IF RESET = '1' THEN CURRENT_STATE <= S0;
ELSIF CLK='1'AND CLK'EVENT THEN
  CURRENT_STATE <= NEXT_STATE;
END IF;
END PROCESS;
```

```
COM:PROCESS(CURRENT_STATE, INPUTS)--下一状态、
```

```
BEGIN
CASE CURRENT_STATE IS
WHEN S0 => OUTPUTS<= ① ();
  IF INPUTS="00" THEN NEXT_STATE<=S0;
ELSE NEXT_STATE<=S1;
END IF;
WHEN S1=> OUTPUTS<=8;
```

```
IF INPUTS=② () THEN NEXT_STATE<=③ () ;  
ELSE NEXT_STATE<=S2;  
END IF;  
WHEN S2=> OUTPUTS<=12;  
IF INPUTS="11" THEN NEXT_STATE<=S0;  
ELSE NEXT_STATE<= S3;  
END IF;  
WHEN S3=> OUTPUTS<=14;  
IF INPUTS = "11" THEN NEXT_STATE <=S3;;  
ELSE NEXT STATE <=S0;  
END IF;  
END CASE;  
④ () ;  
END BEHAV;
```

②需填写

"00"

④需填写

END PROCESS;

①需填写

5

③需填写

S1

**题目19**

完成

获得6.00分中的6.00分

在下面①-⑥后面的（）填上合适的语句，完成一个16个字节的堆栈的设计。

说明：堆栈有复位信号、压栈/弹栈信号、堆栈满信号、数据输入/输出口。

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_SIGNED.ALL;
ENTITY STACK IS
  PORT
    ( DATAIN      : IN STD_LOGIC_VECTOR(7 DOWNTO 0);
      PUSH , POP , RESET , CLK   : IN STD_LOGIC;
      STACKFULL    : OUT STD_LOGIC;
      DATAOUT      : BUFFER STD_LOGIC_VECTOR(7 DOWNTO 0));
END STACK;

ARCHITECTURE A OF STACK IS
  TYPE ARRAYLOGIC IS ARRAY (15 DOWNT0 0) OF STD_LOGIC_VECTOR(7 DOWNTO 0);
                                         --定义一个16字节数据类型
  SIGNAL DATA   : ARRAYLOGIC;   -- 此处定义了DATA为一个数组16×8
  SIGNAL STACKFLAG : STD_LOGIC_VECTOR(15 DOWNTO 0);
                                         --定义堆栈标志，每一字节有数据为1，无数据为0
BEGIN
  STACKFULL <= ①();      --字节0为栈底
  PROCESS(CLK , NRESET , POP , PUSH)
  BEGIN
    IF RESET = '1' THEN
      STACKFLAG <= ( OTHERS => '0');
      DATAOUT <= ( OTHERS => '0');
      FOR I IN 0 TO 15 LOOP
        DATA(I) <= ②();
      END LOOP;
    ELSIF CLK'EVENT AND CLK = '1' THEN
      IF PUSH = '1' AND POP = '0' THEN          -- PUSH
        FOR I IN 0 TO 14 LOOP
          DATA(I) <= ③();
        END LOOP;
      END IF;
    END IF;
  END PROCESS;
END;

```

```
DATA (15) < =④ () ;  
STACKFLAG < ='1' & STACKFLAG(15 DOWNTO 1 );  
ELSIF PUSH = '0' AND POP= '1' THEN      -- POP  
DATAOUT < = DATA (15);  
FOR I IN 15 DOWNTO 1 LOOP  
  
DATA (I) < =⑤ () ;  
END LOOP;  
STACKFLAG < =STACKFLAG (⑥ () DOWNTO 0 ) & '0';  
END IF;  
END IF;  
END PROCESS;  
END A;
```

- |      |                 |
|------|-----------------|
| ④需填写 | DATAIN          |
| ①需填写 | STACKFLAG ( 0 ) |
| ③需填写 | DATA ( I+1)     |
| ②需填写 | "00000000"      |
| ⑥需填写 | 14              |
| ⑤需填写 | DATA ( I-1)     |

**题目20**

完成

获得1.00分中的1.00分

VHDL语言中变量定义的位置是-----

选择一项：

- a. 实体中任何位置
- b. 结构体中特定位置
- c. 实体中特定位置
- d. 结构体中任何位置

**题目21**

完成

获得1.00分中的1.00分

以下关于信号和变量的描述中错误的是( )

- A. 信号是描述硬件系统的基本数据对象，它的性质类似于连接线
- B. 信号的定义范围是结构体、进程
- C. 除了没有方向说明以外，信号与实体的端口概念是一致的
- D. 在进程中不能将变量列入敏感信号列表中

选择一项：

- a. A
- b. B
- c. D
- d. C

**题目22**

完成

获得1.00分中的1.00分

在一个VHDL设计中idata是一个信号，数据类型为integer，数据范围0 to 127，下面哪个赋值语句是正确的\_\_\_\_\_。

选择一项：

- a. idata := 32
- b. idata <= 16#A0#
- c. idata := B#1010#
- d. idata <= 16#7#E1

**题目23**

完成

获得1.00分中的1.00分

在一个VHDL设计中idata是一个信号，数据类型为integer，下面哪个赋值语句是不正确的  
\_\_\_\_\_。

选择一项：

- a. idata <= B#1010#
- b. idata <= 16#20#
- c. idata <= 32
- d. idata <= 16#A#E1

**题目24**

完成

获得1.00分中的1.00分

在一个VHDL设计中idata是一个信号，数据类型为std\_logic\_vector，试指出下面那个赋值语句是错误的-----

选择一项：

- a. idata <= b"0000\_1111"
- b. idata <= "00001111"
- c. idata <= 16"01"
- d. idata <= X"AB"

**题目25**

完成

获得1.00分中的1.00分

进程中的变量赋值语句，其变量更新是( )。

选择一项：

- a. 按顺序完成
- b. 在进程的最后完成
- c. 都不对
- d. 立即完成

**题目26**

完成

获得1.00分中的1.00分

变量是局部量可以定义在——

选择一项：

- a. 程序包中
- b. 结构体中
- c. 进程中
- d. 实体中

**题目27**

完成

获得1.00分中的1.00分

在VHDL的并行语句之间，可以用 \_\_\_\_\_ 来传送往来信息。

选择一项：

- a. 变量
- b. 信号
- c. 变量和信号
- d. 常量

**题目28**

完成

获得1.00分中的1.00分

关于变量和信号的赋值符号描述正确的是 ——

选择一项：

- a. 变量赋值号是:=
- b. 信号赋值号是:=
- c. 变量赋值号是<=
- d. 二者没有区别

**题目29**

完成

获得1.00分中的1.00分

关于变量和信号的描述正确的是——

选择一项：

- a. 变量可以带出进程
- b. 信号可以带出进程
- c. 信号不能带出进程
- d. 二者没有区别

**题目30**

完成

获得1.00分中的1.00分

对于信号和变量的说法，哪一个是不正确的：——

选择一项：

- a. 变量和信号的赋值符号不一样
- b. 信号在整个结构体内的任何地方都能适用
- c. 变量的赋值是立即完成的
- d.

信号用于作为进程中局部数据存储单元

**题目31**

完成

获得1.00分中的1.00分

下列关于变量的说法正确的是 ————

选择一项：

- a. 变量的赋值不是立即发生的，它需要有一个 $\delta$ 延时
- b. 在进程的敏感信号表中，既可以使用信号，也可以使用变量。
- c. 变量赋值的一般表达式为：目标变量名 $\leq$  表达式。
- d.

变量是一个局部量，它只能在进程和子程序中使用。

**题目32**

完成

获得1.00分中的1.00分

VHDL中,为目标变量赋值符号是 ——

选择一项:

- a. =
- b. =:
- c. <=
- d. :=

**题目33**

完成

获得1.00分中的1.00分

在VHDL中———不能将信息带出对它定义的当前设计单元

选择一项:

- a. 信号
- b. 变量
- c. 常量
- d. 数据

**题目34**

完成

获得1.00分中的1.00分

在VHDL中，为定义的信号赋初值，应该使用哪个符号——

选择一项：

- a. :=
- b. =
- c. =:
- d. <=

**题目35**

完成

获得1.00分中的1.00分

下列哪一项不属于VHDL中的数据对象———

选择一项：

- a. Signal
- b. Variable
- c. Package
- d. Constant

**题目36**

完成

获得1.00分中的1.00分

以下关于VHDL中常量的声明正确的是-----

选择一项:

- a. Variable Width : Integer = 8
- b. Constant Width : Integer=8
- c. Variable Width : Integer : = 8
- d. Constant Width : Integer : = 8

**题目37**

完成

获得1.00分中的1.00分

下列关于信号的说法不正确的是——

选择一项:

- a. 信号的端口模式不必定义，它的数据既可以流进，也可以流出
- b. 信号在整个结构体内的任何地方都能适用
- c. 信号相当于器件内部的一个数据暂存节点
- d. 在同一进程中，对一个信号多次赋值，其结果只有第一次赋值起作用

**题目38**

完成

获得1.00分中的1.00分

下面正确给变量X赋值的语句是-----

选择一项:

- a.  $X := A + b$
- b. 前面的都不正确
- c.  $X = A + B$
- d.  
 $X \leq A + B$

**题目39**

完成

获得1.00分中的1.00分

在一个VHDL设计中，idata定义为一个信号，数据类型为std\_logic\_vector，试指出下面那个赋值语句是错误的-----

选择一项:

- a.  $idata \leq b"0000_1111"$
- b.  
 $idata \leq "00001111"$
- c.  $idata \leq X"AB"$
- d.  $idata \leq B"21"$

**题目40**

完成

获得1.00分中的1.00分

在一个VHDL设计中idata是一个信号，数据类型为integer，数据范围0 to 127，下面哪个赋值语句是正确的——

选择一项：

- a. `idata <= 16#FE#`
- b. `idata <= 10#17#`
- c.  
`idata := 32`
- d. `idata := B#1010#`

**题目41**

完成

获得1.00分中的1.00分

变量不能使用的程序结构部分是——

选择一项：

- a. 函数
- b. 过程
- c.  
结构体
- d. 进程

**题目42**

完成

获得1.00分中的1.00分

a已定义为信号，b已定义为变量，下面正确的表达是：——

选择一项：

- a.  $a = b$
- b.  $a \leq b$
- c.  $b := a$
- d.  $b \leq a$

**题目43**

完成

获得1.00分中的1.00分

有如下定义：

```
signal a:bit;  
signal b:bit_vector(1 downto 0);
```

下面正确的表达式是：——

选择一项：

- a.  $a \leq b(0)$
- b.  $b \leq a$
- c.  $a \leq b$
- d.  $a := b(0)$

**题目44**

完成

获得1.00分中的1.00分

有如下定义：

```
signal a,b:bit;  
signal y:bit_vector(1 downto 0);
```

下面正确的表达式是：——

选择一项：

- a.  $y \leq b$  and  $a$ ;
- b.  
 $y \leq a$ ;
- c.  $y \leq b$ ;
- d.  $y \leq b \& a$ ;

**题目45**

完成

获得1.00分中的1.00分

常量的正确格式是：——

选择一项：

- a.  
CONSTANT Vcc: REAL=5.0
- b. CONSTANT Vcc:=5.0
- c. CONSTANT Vcc REAL=5.0
- d. CONSTANT Vcc:REAL:=5.0

**题目46**

完成

获得1.00分中的1.00分

a的初值为0；执行语句a<=a+1;a<=a+1; a<=a+1;后， a的值为——

选择一项：

- a. 2
- b. 1
- c. 0
- d. 3

**题目47**

完成

获得1.00分中的1.00分

a的初值为0；执行语句a:=a+1;a:=a+1; a:=a+1;后， a的值为——

选择一项：

- a. 2
- b. 3
- c. 1
- d. 0

**题目48**

完成

获得1.00分中的1.00分

在VHDL中，——的数据传输是立即发生的，不存在任何延时的行为。

选择一项：

- a. 常量
- b. 信号
- c. 变量
- d. 数据

**题目49**

完成

获得1.00分中的1.00分

在VHDL中，——的数据传输不是立即发生的，目标信号的赋值需要一定的延时时间。

选择一项：

- a. 信号
- b. 数据
- c. 常量
- d. 变量

**题目50**

完成

获得1.00分中的1.00分

在VHDL中，为目标变量赋值的符号是——

选择一项：

- a. : =
- b. =
- c.  
= :
- d. <=

**题目51**

完成

获得1.00分中的1.00分

在VHDL中，为目标信号赋值的符号是——

选择一项：

- a. : =
- b. =:
- c. =
- d. <=

**题目52**

完成

获得1.00分中的1.00分

在VHDL中，定义信号名时，可以用——符号为信号赋初值。

选择一项：

- a. : =
- b. =:
- c. =
- d. <=

**题目53**

完成

获得1.00分中的1.00分

在一个VHDL设计中idata是一个信号，数据类型为integer，数据范围0 to 127，下面哪个赋值语句是正确的——

选择一项：

- a. **idata := 32**
- b. **idata := B#1010#**
- c. **idata <= 16#A0#**
- d. **idata <= 16#7#E1**

**题目54**

完成

获得1.00分中的1.00分

状态机编码方式中，其中\_\_\_\_\_占用触发器较少，但其其实现比较适合CPLD的应用

选择一项：

- a. 顺序编码
- b. 一位热码编码
- c. 状态位直接输出型编码
- d. 以上都是

**题目55**

完成

获得1.00分中的1.00分

状态机编码方式中，其中\_\_\_\_占用触发器较多，但其简单的编码方式可减少状态译码组合逻辑资源，且易于控制非法状态。

选择一项：

- a. 状态位直接输出型编码
- b. 格雷码编码
- c. 顺序编码
- d. 一位热码编码

**题目56**

完成

获得1.00分中的1.00分

电子系统设计优化，主要考虑提高资源利用率减少功耗（即面积优化），以及提高运行速度（即速度优化）；下列方法中\_\_\_\_不属于面积优化。

选择一项：

- a. 串行化
- b. 流水线设计
- c. 资源共享
- d. 逻辑优化

**题目57**

完成

获得1.00分中的1.00分

下列EDA软件中，哪一不具有逻辑综合功能：\_\_\_\_\_。

选择一项：

- a. Max+Plus II
- b. Synplify
- c. ModelSim
- d. Quartus II

**题目58**

完成

获得1.00分中的1.00分

子系统设计优化，主要考虑提高资源利用率减少功耗（即面积优化），以及提高运行速度（即速度优化）；指出下列哪些方法是面积优化\_\_\_\_\_。①流水线设计 ②资源共享 ③逻辑优化 ④串行化 ⑤寄存器配平 ⑥关键路径法

选择一项：

- a. ①③⑤
- b. ②③④
- c. ②⑤⑥
- d. ①④⑥

**题目59**

完成

获得1.00分中的1.00分

电子系统设计优化，主要考虑提高资源利用率减少功耗----即面积优化，以及提高运行速度---即速度优化；指出下列那种方法不属于速度优化：\_\_\_\_\_

选择一项：

- a. 流水线设计
- b. 资源共享
- c. 寄存器配平
- d. 关键路径法

**题目60**

完成

获得1.00分中的1.00分

在设计输入完成后，应立即对设计文件进行——

选择一项：

- a. 编译
- b. 编辑
- c. 功能仿真
- d. 时序仿真

**题目61**

完成

获得1.00分中的1.00分

以下关于状态机的描述中正确的是( )

选择一项:

- a. Moore型状态机其输出是当前状态和所有输入的函数
- b. Mealy型状态机其输出是当前状态的函数
- c. 与Moore型状态机相比, Mealy型的输出变化要领先一个时钟周期
- d. 以上都不对

**题目62**

完成

获得1.00分中的1.00分

下列状态机的状态编码, \_\_\_\_\_方式有“输出速度快、难以有效控制非法状态出现”这个特点。

选择一项:

- a. 一位热码编码
- b. 顺序编码
- c. 状态位直接输出型编码
- d. 格雷编码

**题目63**

完成

获得1.00分中的1.00分

流水线设计是一种优化方式，下列哪一项对资源共享描述正确\_。

选择一项：

- a. 面积优化方法，不会有速度优化效果
- b. 速度优化方法，不会有面积优化效果
- c. 面积优化方法，可能会有速度优化效果
- d. 速度优化方法，可能会有面积优化效果

**题目64**

完成

获得1.00分中的1.00分

执行Quartus II的( )命令，可以检查设计电路错误。

选择一项：

- a. Create Default Symbol
- b. Timing Analyzer ---时序分析
- c. Compiler----编译
- d. Simulator ----时序仿真

**题目65**

完成

获得1.00分中的1.00分

类属说明的正确格式是：——

选择一项：

- a. GENERIC(delay:TIME:=20us)
- b. GENERIC(delay:TIME=20us)
- c. GENERIC(delay TIME=20us)
- d. GENERIC(delay=TIME:=20us)

**题目66**

完成

获得1.00分中的1.00分

在VHDL中用（ ）来把特定的结构体关联一个确定的实体，为一个大型系统的设计提供管理和进行工程组织。

选择一项：

- a. 输入
- b. 综合
- c. 输出
- d. 配置

**题目67**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位；提供用VHDL等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路的IP核为——

选择一项：

- a. 固IP
- b. 硬IP
- c. 软IP
- d. 全对

**题目68**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位，IP分软IP、固IP、硬IP；下列所描述的IP核中，对于硬IP的正确描述为\_\_\_\_\_

选择一项：

- a. 提供设计的最总产品----模型库
- b. 都不是
- c. 提供用VHDL等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路
- d. 以网表文件的形式提交用户，完成了综合的功能块

**题目69**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位，IP是指\_\_\_\_\_

选择一项：

- a. 都不是
- b. 互联网协议
- c. 网络地址
- d. 知识产权

**题目70**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位，IP分软IP、固IP、硬IP；下列所描述的IP核中，对于硬IP的正确描述为\_\_\_\_\_

选择一项：

- a. 都不是
- b. 提供用VHDL等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路
- c. 以网表文件的形式提交用户，完成了综合的功能块
- d. 提供设计的最总产品----掩膜

**题目71**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位，IP分软IP、固IP、硬IP；下列所描述的IP核中，对于固IP的正确描述为：\_\_\_\_\_

选择一项：

- a. 提供用VHDL等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路
- b. 都不是
- c. 提供设计的最总产品——模型库
- d. 以可执行文件的形式提交用户，完成了综合的功能块

**题目72**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位；提供用VHDL等硬件描述语言描述的功能块，但不涉及实现该功能块的具体电路的IP核为：\_\_\_\_\_

选择一项：

- a. 都不是
- b. 胖IP
- c. 瘦IP
- d. 硬IP

**题目73**

完成

获得1.00分中的1.00分

IP核在EDA技术和开发中具有十分重要的地位，以HDL方式提供的IP被称为——

选择一项：

- a. 软IP
- b. 固IP
- c. 都不是
- d. 硬IP

**题目74**

完成

获得1.00分中的1.00分

VHDL文本编辑中编译时出现如下的报错信息

Error: VHDL syntax error: signal declaration must have ';' , but found begin instead. 其错误原因是\_\_\_\_\_

选择一项：

- a. 信号声明缺少分号
- b. 错将设计文件存入了根目录，并将其设定成工程。
- c. 程序中缺少关键词
- d. 设计文件的文件名与实体名不一致。

**题目75**

完成

获得1.00分中的1.00分

VHDL文本编辑中编译时出现如下的报错信息

Error: VHDL syntax error: choice value length must match selector expression value length 其错误原因是\_\_\_\_\_。

选择一项:

- a. 错将设计文件存入了根目录，并将其设定成工程。
- b. 表达式宽度不匹配。
- c. 程序中缺少关键词。
- d. 设计文件的文件名与实体名不一致。

**题目76**

完成

获得1.00分中的1.00分

VHDL文本编辑中编译时出现如下的报错信息

Error: Can't open VHDL "WORK" 其错误原因是\_\_\_\_\_。

选择一项:

- a. 错将设计文件的后缀写成.tdf，而非.vhd。
- b. 设计文件的文件名与实体名不一致。
- c. 错将设计文件存入了根目录，并将其设定成工程。
- d. 程序中缺少关键词。

**题目77**

完成

获得1.00分中的1.00分

VHDL文本编辑中编译时出现如下的报错信息

Error: VHDL Design File "mux21" must contain an entity of the same name

其错误原因是\_\_\_\_\_。

选择一项:

- a.  
错将设计文件的后缀写成.tdf 而非.vhd 。
- b. 设计文件的文件名与实体名不一致。
- c. 程序中缺少关键词。
- d. 错将设计文件存入了根目录，并将其设定成工程。

**题目78**

完成

获得1.00分中的1.00分

已知A和Q均为BIT类型的信号，请判断下面的程序片断：

ARCHITECTURE test OF test IS

BEGIN

CASE A IS

WHEN '0' => Q <= '1' ;

WHEN '1' => Q <= '0' ;

END CASE ;

END test ;

其中CASE语句应该存在于（ ）中。

答案：

PROCESS

**题目79**

完成

获得1.00分中的1.00分

已知start为STD\_LOGIC类型的信号， sum是INTEGER类型的信号，请判断下面的程序片断：

```
PROCESS (start)
BEGIN
FOR i IN 1 TO 9 LOOP
sum := sum + i ;
END LOOP ;
END PROCESS ;
```

错误点在sum是信号，其赋值符号应该改为 ()。

答案：

<=

**题目80**

完成

获得1.00分中的1.00分

已知Q为STD\_LOGIC类型的输出端口，请判断下面的程序片断：

```
ARCHITECTURE test OF test IS
BEGIN
SIGNAL B : STD_LOGIC ;
Q <= B ;
END test ;
```

错误点在：信号SIGNAL的 () 应该放在BEGIN语句之前。

答案：

申明语句

**题目81**

完成

获得1.00分中的1.00分

已知A和B均为STD\_LOGIC类型的信号，请判断下面的语句：

A <= '0' ;

B <= 'X' ;

错误点在不定态符号（）应该为大写。

答案：

X

**题目82**

完成

获得1.00分中的1.00分

已知A为INTEGER类型的信号，B为STD\_LOGIC类型的信号，请判断下面的程序片断：

ARCHITECTURE test OF test IS

BEGIN

B <= A ;

END test ;

错误点在：A与B的（）不一致，不能相互赋值。

答案：

数据类型

**题目83**

完成

获得1.00分中的1.00分

已知sel是STD\_LOGIC\_VECTOR(1 DOWNTO 0)类型信号，而a、b、c、d、q均为STD\_LOGIC类型信号，请判断下面给出的CASE语句：

```
CASE sel IS
  WHEN "00" => q <= a ;
  WHEN "01" => q <= b ;
  WHEN "10" => q <= c ;
  WHEN "11" => q <= d ;
END CASE ;
```

错误点在于CASE语句缺（ ）语句。

答案：

```
WHEN OTHERS
```

**题目84**

完成

获得1.00分中的1.00分

已知data\_in1, data\_in2为STD\_LOGIC\_VECTOR(15 DOWNTO 0)类型的输入端口, data\_out为STD\_LOGIC\_VECTOR(15 DOWNTO 0)类型的输出端口, add\_sub为STD\_LOGIC类型的输入端口, 请判断下面给出的程序片段:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY add IS
    PORT (data_in1, data_in2: IN INTEGER;
          data_out: OUT INTEGER) ;
END add;
ARCHTECTURE add_arch OF add IS
CONSTANT a:INTEGER<=2;
BEGIN
    data_out<=( data_in1+ data_in2) * a;
END addsub_arch;
```

其中常量声明时赋初值的符号应改用（）符号。

答案:

:=

**题目85**

完成

获得1.00分中的1.00分

仔细阅读下列程序，回答问题

```

LIBRARY IEEE; -- 1
USE IEEE.STD_LOGIC_1164.ALL; -- 2
ENTITY LED7SEG IS -- 3
PORT ( A : IN STD_LOGIC_VECTOR(3 DOWNTO 0); -- 4
       CLK : IN STD_LOGIC; -- 5
       LED7S : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)); -- 6
END LED7SEG; -- 7
ARCHITECTURE one OF LED7SEG IS -- 8
  SIGNAL TMP : STD_LOGIC; -- 9
BEGIN -- 10
  SYNC : PROCESS(CLK, A) -- 11
  BEGIN -- 12
    IF CLK'EVENT AND CLK = '1' THEN -- 13
      TMP <= A; -- 14
    END IF; -- 15
  END PROCESS; -- 16
  OUTLED : PROCESS(TMP) -- 17
  BEGIN -- 18
    CASE TMP IS -- 19
      WHEN "0000" => LED7S <= "0111111"; -- 20
      WHEN "0001" => LED7S <= "0000110"; -- 21
      WHEN "0010" => LED7S <= "1011011"; -- 22
      WHEN "0011" => LED7S <= "1001111"; -- 23
      WHEN "0100" => LED7S <= "1100110"; -- 24
      WHEN "0101" => LED7S <= "1101101"; -- 25
      WHEN "0110" => LED7S <= "1111101"; -- 26
      WHEN "0111" => LED7S <= "0000111"; -- 27
      WHEN "1000" => LED7S <= "1111111"; -- 28
      WHEN "1001" => LED7S <= "1101111"; -- 29
    END CASE; -- 30
  END PROCESS; -- 31
END one; -- 32

```

在程序中存在两处错误，程序从上往下看，第一处错误出现在第（）行，错误在于数据宽度不符合

答案：

9

**题目86**

完成

获得1.00分中的1.00分

仔细阅读下列程序，回答问题

```

LIBRARY IEEE; -- 1
USE IEEE.STD_LOGIC_1164.ALL; -- 2
ENTITY LED7SEG IS -- 3
PORT ( A : IN STD_LOGIC_VECTOR(3 DOWNTO 0); -- 4
       CLK : IN STD_LOGIC; -- 5
       LED7S : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)); -- 6
END LED7SEG; -- 7
ARCHITECTURE one OF LED7SEG IS -- 8
  SIGNAL TMP : STD_LOGIC; -- 9
BEGIN -- 10
  SYNC : PROCESS(CLK, A) -- 11
  BEGIN -- 12
    IF CLK'EVENT AND CLK = '1' THEN -- 13
      TMP <= A; -- 14
    END IF; -- 15
  END PROCESS; -- 16
  OUTLED : PROCESS(TMP) -- 17
  BEGIN -- 18
    CASE TMP IS -- 19
      WHEN "0000" => LED7S <= "0111111"; -- 20
      WHEN "0001" => LED7S <= "0000110"; -- 21
      WHEN "0010" => LED7S <= "1011011"; -- 22
      WHEN "0011" => LED7S <= "1001111"; -- 23
      WHEN "0100" => LED7S <= "1100110"; -- 24
      WHEN "0101" => LED7S <= "1101101"; -- 25
      WHEN "0110" => LED7S <= "1111101"; -- 26
      WHEN "0111" => LED7S <= "0000111"; -- 27
      WHEN "1000" => LED7S <= "1111111"; -- 28
      WHEN "1001" => LED7S <= "1101111"; -- 29
    END CASE; -- 30
  END PROCESS; -- 31
END one; -- 32

```

在程序中存在两处错误，程序从上往下看，第二处错误在29与30之间，应添加语句（）

答案：

WHEN OTHERS => LED7S <= "0000000";

**题目87**

完成

获得1.00分中的1.00分

仔细阅读下列程序，回答问题

```
1 LIBRARY IEEE;
2 USE IEEE.STD_LOGIC_1164.ALL;
3 USE IEEE.STD_LOGIC_UNSIGNED.ALL;
4 ENTITY gc IS
5     PORT ( CLK : IN STD_LOGIC ;
6             Q : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)) ;
7 END gc;
8 ARCHITECTURE bhv OF gc IS
9     SIGNAL Q1 : RANGE 0 TO 9;
10    BEGIN
11        PROCESS (clk,Q)
12        BEGIN
13            IF RISING_EDGE(CLK) THEN
14                IF Q1 < "1001" THEN
15                    Q1 <= Q1 + 1 ;
16                ELSE
17                    Q1 <= (OTHERS => '0');
18                END IF;
19            END IF;
20        END PROCESS ;
21        Q <= Q1;
22    END bhv;
```

**程序编译时，提示的错误为：**

Error: Line 9: File e:\mywork\test\gc.vhd: VHDL syntax error: subtype indication must have resolution function or type mark, but found RANGE instead

Error: Line 11: File e:\mywork\test\gc.vhd: interface Declaration error: can't read port "Q" of mode OUT

**请回答问题：**在程序中存在两处错误，试指出并修改正确（如果是缺少语句请指出应该插入的行号）

**改错之一，第9行有误，SIGNAL Q1 : RANGE 0 TO 9数据类型有误，应该改成 ()**

**答案：**

```
SIGNAL Q1 : STD_LOGIC_VECTOR(3 downto 0);
```

**题目88**

完成

获得1.00分中的0.00分

仔细阅读下列程序，回答问题

```
1 LIBRARY IEEE;
2 USE IEEE.STD_LOGIC_1164.ALL;
3 USE IEEE.STD_LOGIC_UNSIGNED.ALL;
4 ENTITY gc IS
5     PORT ( CLK : IN STD_LOGIC ;
6             Q : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)) ;
7 END gc;
8 ARCHITECTURE bhv OF gc IS
9     SIGNAL Q1 : RANGE 0 TO 9;
10    BEGIN
11        PROCESS (clk,Q)
12        BEGIN
13            IF RISING_EDGE(CLK) THEN
14                IF Q1 < "1001" THEN
15                    Q1 <= Q1 + 1 ;
16                ELSE
17                    Q1 <= (OTHERS => '0');
18                END IF;
19            END IF;
20        END PROCESS ;
21        Q <= Q1;
22    END bhv;
```

**程序编译时，提示的错误为：**

Error: Line 9: File e:\mywork\test\gc.vhd: VHDL syntax error: subtype indication must have resolution function or type mark, but found RANGE instead

Error: Line 11: File e:\mywork\test\gc.vhd: interface Declaration error: can't read port "Q" of mode OUT

**请回答问题：**在程序中存在两处错误，试指出并修改正确（如果是缺少语句请指出应该插入的行号）

**改错之二：第11行有误，敏感信号列表中不能出现输出端口，应该改成（ ）--请注意用小写字母书写**

答案：

process (clk)