

# ハードウェア実験 3 最終レポート B

21 班 新藤光 1029-26-4887

平成 28 年 7 月 23 日

## 1 中間レポートからの変更点

主な点はフェーズ 1 とフェーズ 3、フェーズ 2 とフェーズ 5 を並列実行するようにしたことで、処理の仕方を変更したところがいくつかある。一番注意したのは、分岐命令のときのジャンプ先は ALU とは別の組み合わせ回路を用意して計算し、PC を書き換える必要があった。(そうしないとジャンプが間に合わず意図しない動作をしてしまう。)

## 2 主要なコンポーネントの単体での性能評価

### 2.1 プログラム・カウンタ

- ゲート数 12 / 5980 (i 1%)
- Fmax No paths to report

### 2.2 ALU/SHIFTER

- ゲート数 523 / 5980 (9%)
- Fmax 254.32MHz
- クリティカル・パス From instr-11 To z1

### 2.3 jcalc (ジャンプ先アドレス計算モジュール)

- ゲート数 16 / 5980 (i 1%)
- Fmax No paths to report

## 2.4 mul8(レジスタファイルへの書き込みに関するマルチプレクサ)

- ゲート数 25 / 5980(i 1%)
- Fmax No paths to report

## 3 考察および感想

全体の設計の考察 SIMPLE-B の基本的な機能を実装したあと、複数フェーズの同時実行を実装し、なんとか動くレベルまでは実装できた。デモの時に分岐命令が動きませんでした。条件コードの書き換えのタイミングが問題でした。分岐命令に対して不安定であり、簡単な分岐命令を含むコードなら問題なく動くが、ソートするプログラムなどは正しく動作するまでに至りませんでした。並列化をする際、すべての命令の動きを考慮することが難しく、自分の設計で動くかどうかの確証が持てなかったことなどが、難しかったと感じました。全体の感想としては、自分の理想とした機能を実装できず非常に後悔の残るものとなりました。まず基本的なプログラムが正しく実行できたうえで、高速化をもう少し高度なことができたほうがよかったと思います。