

ハードウェア実験 3 最終レポート A

21 班 新藤光 1029-26-4887

平成 28 年 7 月 23 日

1 基本仕様

1.1 概要

今回作成したアーキテクチャの名前を以下 SIMPLE-J とする。SIMPLE-J は 16bit の命令を実行する簡単なアーキテクチャである。

1.2 アーキテクチャ

1.2.1 主記憶とレジスタ

主記憶とレジスタは、それぞれすべて 16bit 幅である。

- 主記憶

16bit 幅であり、命令の格納とデータの格納・読み出しは同じ主記憶上で行う。

- レジスタ

16bit 幅のレジスタ $t_0 \sim t_7$ がある。

1.3 特徴

シングルコアであり、かつ 1 命令を 5 つのフェーズ 1 からフェーズ 5 に分け、フェーズ 1 とフェーズ 3、フェーズ 2 とフェーズ 5 をそれぞれ並行に処理する。

1.4 命令セット

1.4.1 命令形式

SIMPLE-J の命令はすべて 16 ビットの固定長である。以下に命令セットを示す。

1. 算術演算

レジスタ Rd と Rs の結果の加算、減算を Rd に格納する。

2. 論理演算

レジスタ Rd と Rs の And、Or、XOR の結果を Rd に格納する。

3. 移動演算

レジスタ Rd に Rs の値を格納する。

4. シフト演算

左論理シフト、左循環シフト、右論理シフト、右算術シフトの結果を Rd に格納する。

5. 入出力命令

- OUT レジスタ Rs の値を出力機器に出力する。
- HLT 動作を停止させる。

6. ロードストア命令

メモリに値を書き込んだり値を読みだしたりする。

7. 条件分岐命令

分岐条件が成り立つとき PC を書きかえて分岐する。

15 14	13 11	10 8	7 4	3 0
11	Rs	Rd	op3	d

mnemonic	op3	function
ADD Rd, Rs	0000	$r[Rd] = r[Rd] + r[Rs]$
SUB Rd, Rs	0001	$r[Rd] = r[Rd] - r[Rs]$
AND Rd, Rs	0010	$r[Rd] = r[Rd] \& r[Rs]$
OR Rd, Rs	0011	$r[Rd] = r[Rd] \vee r[Rs]$
XOR Rd, Rs	0100	$r[Rd] = r[Rd] \wedge r[Rs]$
CMP Rd, Rs	0101	$r[Rd] - r[Rs]$
MOV Rd, Rs	0110	$r[Rd] = r[Rs]$
SLL Rd, Rs	1000	$r[Rd] = \text{sll}(r[Rd], d)$
SLR Rd, Rs	0011	$r[Rd] = \text{slr}(r[Rd], d)$
SRL Rd, Rs	1001	$r[Rd] = \text{srl}(r[Rd], d)$
SRA Rd, Rs	1011	$r[Rd] = \text{sra}(r[Rd], d)$
OUT Rs	1101	output = $r[Rs]$
HLT	1111	halt()

15 14	13 11	10 8	7 0
op1	Ra	Rb	d

mnemonic	op1	function
LI Rb,d	000	$r[Rb] = \text{sign}_{ext}(d)$
addi Rb	001	$r[Rb] = r[Rb] + \text{sign}_{ext}(d)$
subi Rb	010	$r[Rb] = r[Rb] + \text{sign}_{ext}(d)$
B Rb,d	100	$PC = PC + 1 + \text{sign}_{ext}(d)$

15 14	13 11	10 8	7 0
10	111	cond	d

mnemonic	cond	function
BE d	000	$\text{if } (Z) \text{ } PC = PC + 1 + \text{sign}_{ext}(d)$
BLT d	001	$\text{if } (S \wedge V) \text{ } PC = PC + 1 + \text{sign}_{ext}(d)$
BLE d	010	$\text{if } (Z \vee (S \wedge V)) \text{ } PC = PC + 1 + \text{sign}_{ext}(d)$
BNE d	011	$\text{if } (!Z) \text{ } PC = PC + 1 + \text{sign}_{ext}(d)$

1.5 基本的な設計

1.5.1 制御回路

1. clock

適切な発振回路を用いてクロックを提供する。クロックの立ち上がりによって各フェーズを順に活性化する。

2. reset

reset 信号の立ち上がりによって、回路内のすべての DFF の値を 0 に初期化する。

2 SIMPLEB の基本仕様からの拡張および性能評価

2.1 基本アーキテクチャの拡張

2.1.1 命令の拡張

1. 即値演算

即値を足したり引いたりするとき、無駄なロード命令、ストア命令を減らすことができるようになる。

2. フェーズ 1 とフェーズ 3、フェーズ 2 とフェーズ 5 の同時実行。

2.2 プロセッサの性能評価

2.2.1 ゲート数 1027/5980(17%)

2.2.2 Fmax 57.32MHz

2.2.3 クリティカルパス

From rab:inst20—a-out3 To ram:ram1

2.2.4 拡張の評価

1. 並列化するにあたり必要な回路が増えたので、ゲート数は増えた。

3 分担状況

すべて自分で設計しました。