

**LAPORAN UJIAN AKHIR SEMESTER  
MATA KULIAH ELEKTRONIKA DAYA**  
**ANALISIS DRIVER GATE MOSFET**  
**DAN TOPOLOGI INVERTER**



**DISUSUN OLEH :**  
**NAMA : CHRISTOPHER MELVIN YOVIAN**  
**NIM : 23/520486/TK/57385**  
**KELAS : ELEKTRONIKA ANALOG-A**

**PROGRAM STUDI TEKNIK ELEKTRO**  
**DEPARTEMEN TEKNIK ELEKTRO DAN TEKNOLOGI INFORMASI**  
**FAKULTAS TEKNIK**  
**UNIVERSITAS GADJAH MADA**  
**YOGYAKARTA**  
**2025**

## **DAFTAR ISI**

<b>I. Biodata Penulis.....</b>	<b>3</b>
<b>II. Pendahuluan.....</b>	<b>3</b>
<b>III. Tujuan.....</b>	<b>3</b>
<b>IV. Task I.....</b>	<b>4</b>
<b>V. Task II.....</b>	<b>19</b>
<b>VI. Link to GitHub Repository.....</b>	<b>32</b>

## I. Biodata Penulis

Nama : Christopher Melvin Yovian  
TTL : Kota Bandung, 18 Desember 2004  
Program Studi : Program Studi Sarjana Teknik Elektro  
NIM : 23/520486/TK/57385  
Kelas : Elektronika Daya-A

## II. Pendahuluan

Dalam pengaplikasian mata kuliah Elektronika Daya, pemahaman mendalam mengenai karakteristik switching pada komponen semikonduktor daya, seperti MOSFET, serta teknik modulasi pada inverter sangat diperlukan. Kinerja sistem konversi daya sangat dipengaruhi oleh bagaimana saklar daya dikendalikan (driven) dan bagaimana harmonisa pada sisi output diredam.

Laporan ini disusun sebagai bagian dari pemenuhan tugas Ujian Akhir Semester (UAS) mata kuliah Elektronika Daya (TKE215204). Laporan ini mencakup dua analisis utama. Pertama, perancangan dan implementasi low-side totem-pole gate driver untuk mengamati perilaku transien MOSFET di bawah beban resistif, baik melalui simulasi maupun eksperimen perangkat keras (hardware). Analisis ini difokuskan pada parameter waktu tunda (delay time), waktu naik/turun, serta pengaruh resistansi gate ( $R_g$ ) terhadap rugi-rugi switching. Kedua, laporan ini membahas analisis tiga topologi inverter: half-bridge single-phase, full-bridge single-phase, dan three-phase inverter. Fokus utama pada bagian ini adalah investigasi pengaruh Sinusoidal Pulse-Width Modulation (SPWM) dan indeks modulasi terhadap tegangan output, serta analisis spektrum harmonisa menggunakan Fast Fourier Transform (FFT). Selain itu, dilakukan perancangan filter LC orde kedua untuk meredam harmonisa switching guna mencapai kualitas tegangan output yang diinginkan.

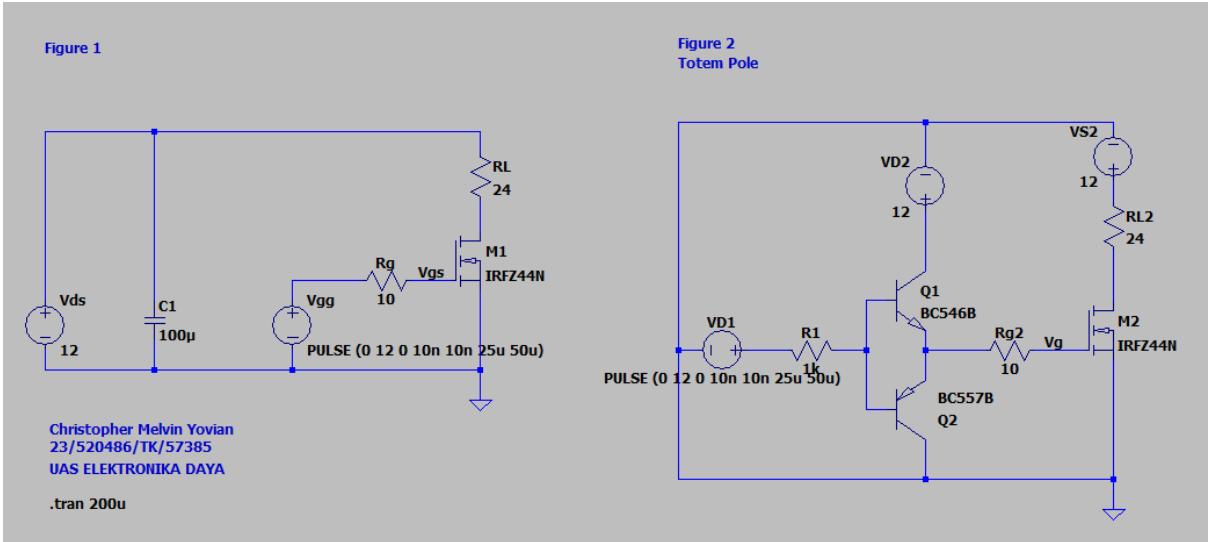
## III. Tujuan

Tujuan dari penyusunan laporan dan pelaksanaan proyek ini adalah:

1. Merancang dan menganalisis kinerja totem-pole gate driver dalam memperbaiki karakteristik switching MOSFET
2. Mengukur dan menganalisis bentuk gelombang switching ( $v_{gs}$ ,  $i_D$ ,  $v_{Ds}$ ) serta fenomena overshoot atau osilasi parasitik.
3. Menganalisis pengaruh variasi topologi inverter dan indeks modulasi terhadap spektrum harmonisa tegangan output.
4. Merancang filter LC orde kedua yang efektif untuk meredam harmonisa dominan dengan tetap mempertahankan frekuensi fundamental

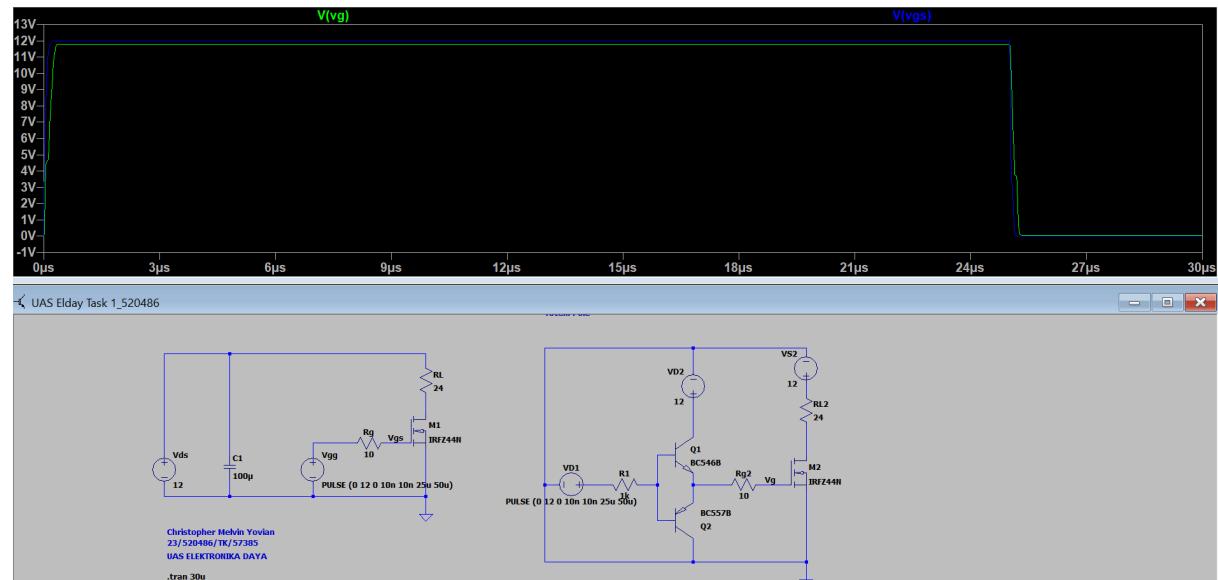
## IV. Task I

### Desain Rangkaian Task I

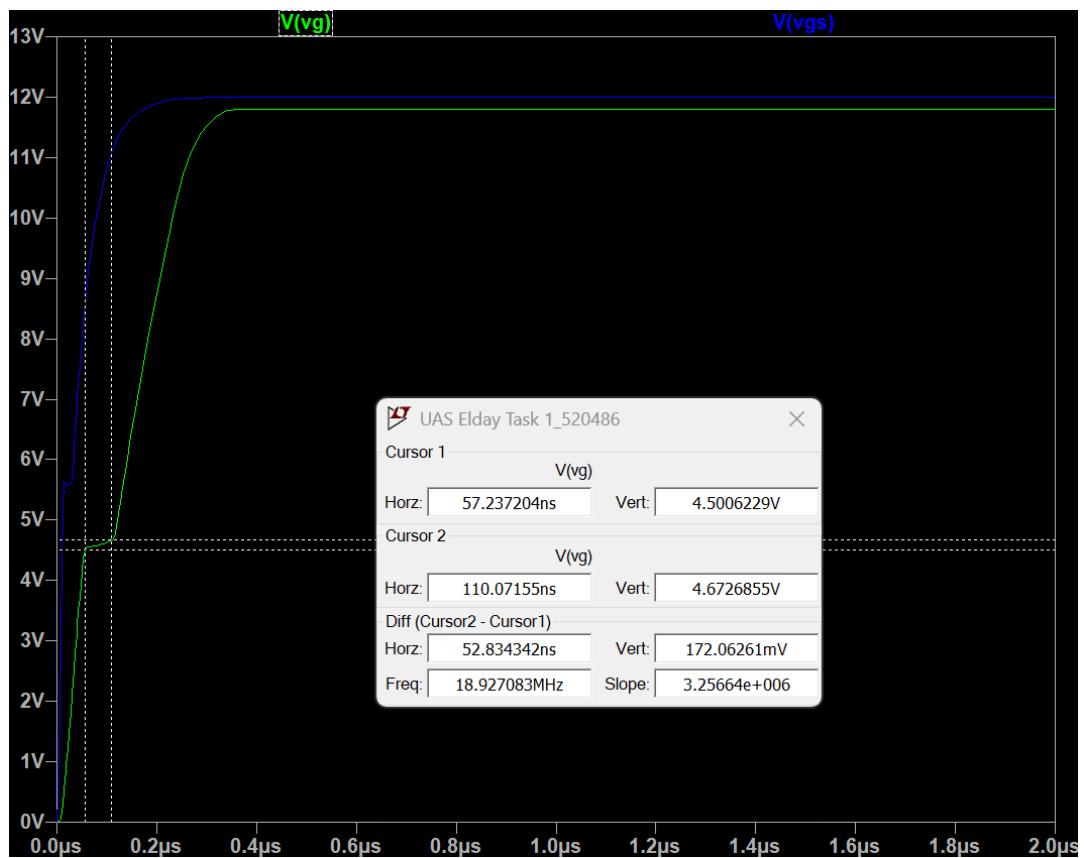


### Simulasi Rangkaian Task I di LTSpice

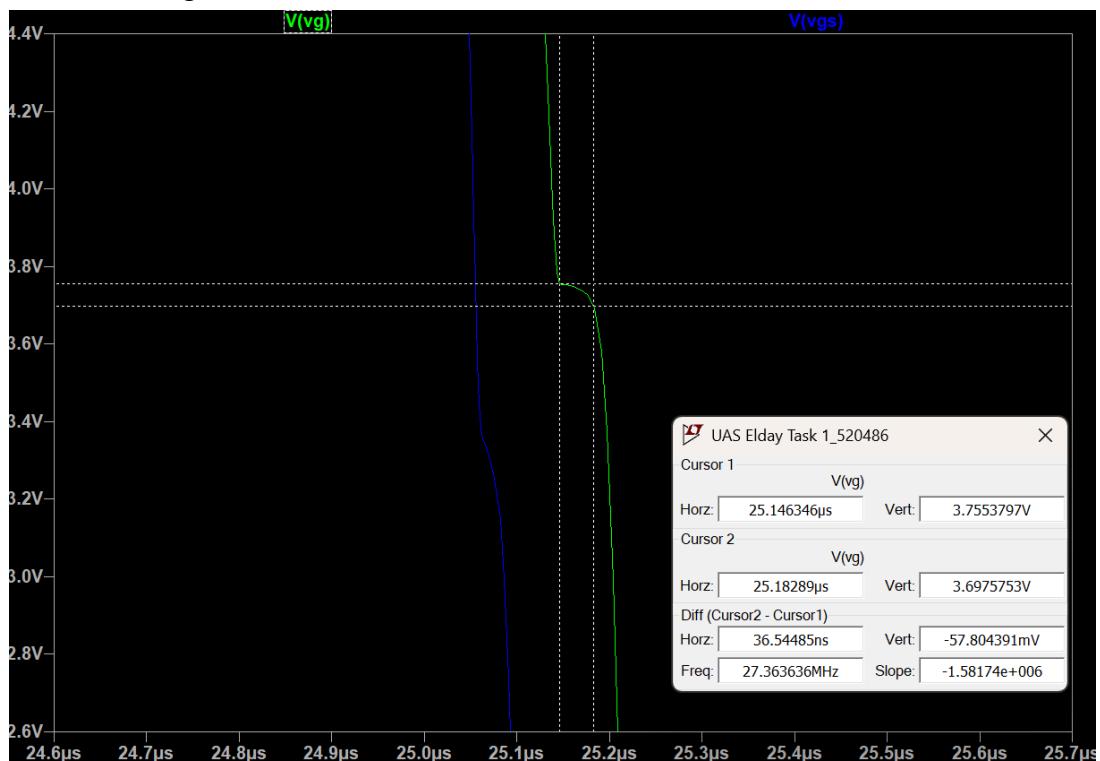
$V_g$  dan  $V_{gs}$  :



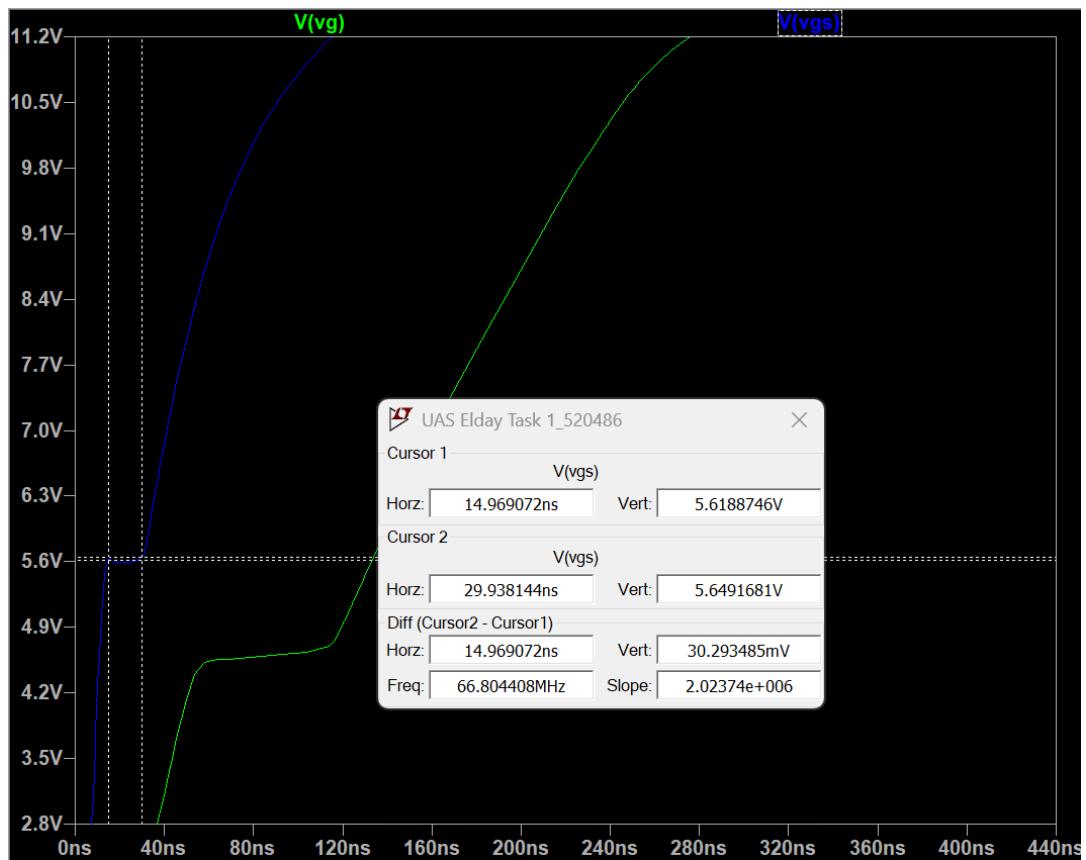
Plateau On  $V_g$  :



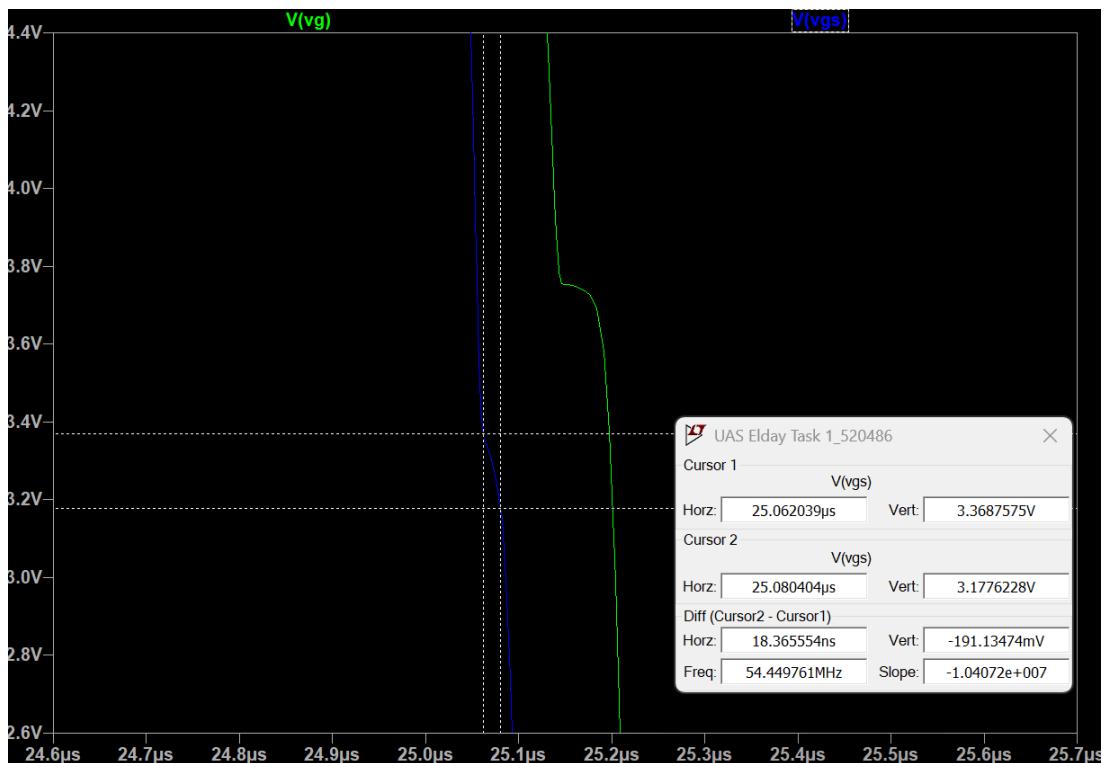
Plateau Off Vg :



Plateau On Vgs :



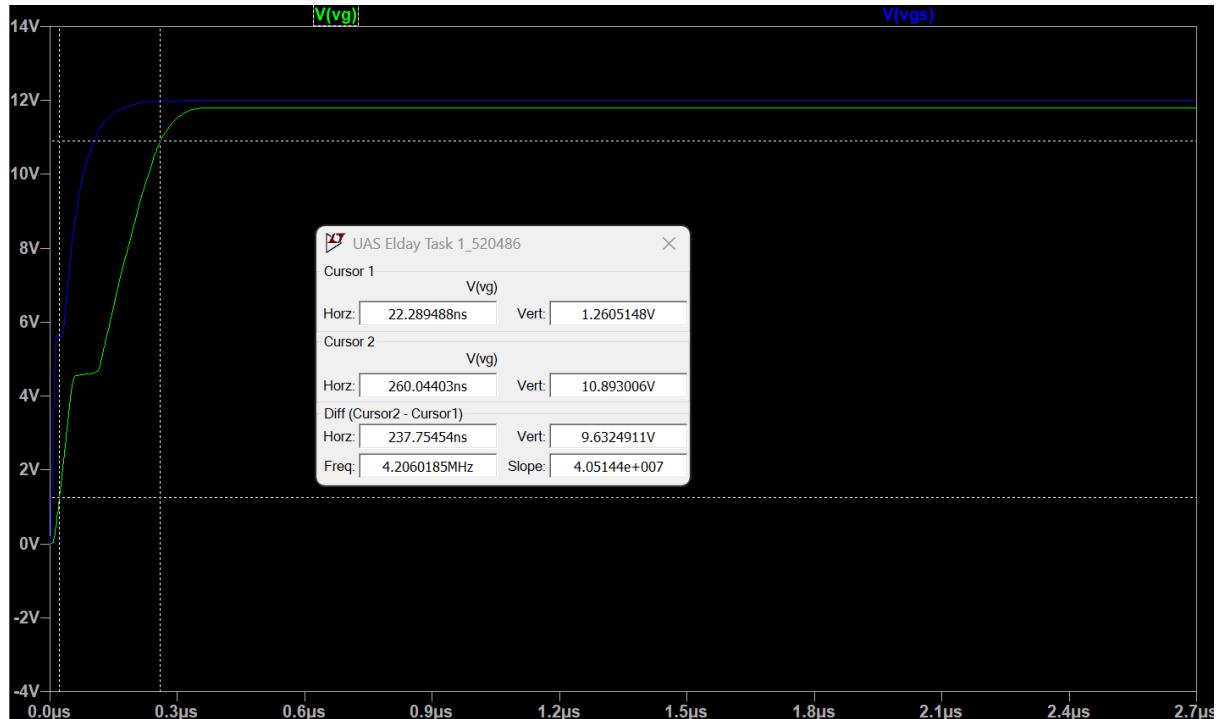
Plateau Off Vgs :



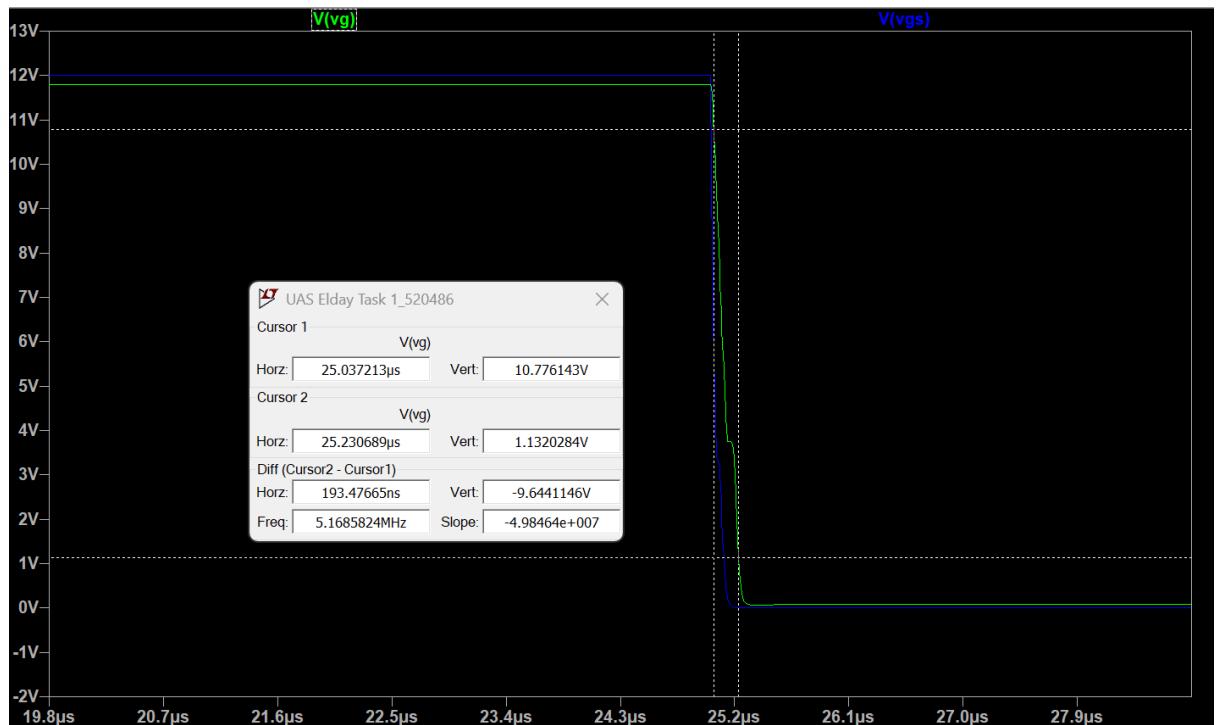
Analisis: Grafik menunjukkan adanya area mendatar (plateau) pada saat tegangan Gate naik maupun turun. Fenomena ini disebut Miller Plateau. Pada fase ini, tegangan Gate tertahan konstan sementara arus Gate digunakan untuk mengisi kapasitansi

Gate-Drain  $C_{GD}$  atau Miller Capacitance. Selama plateau ini berlangsung, tegangan Drain-Source  $V_{DS}$  mengalami transisi (turun saat ON, naik saat OFF)

Rise time Vg :



Falltime Vg :



Rise time Vgs :

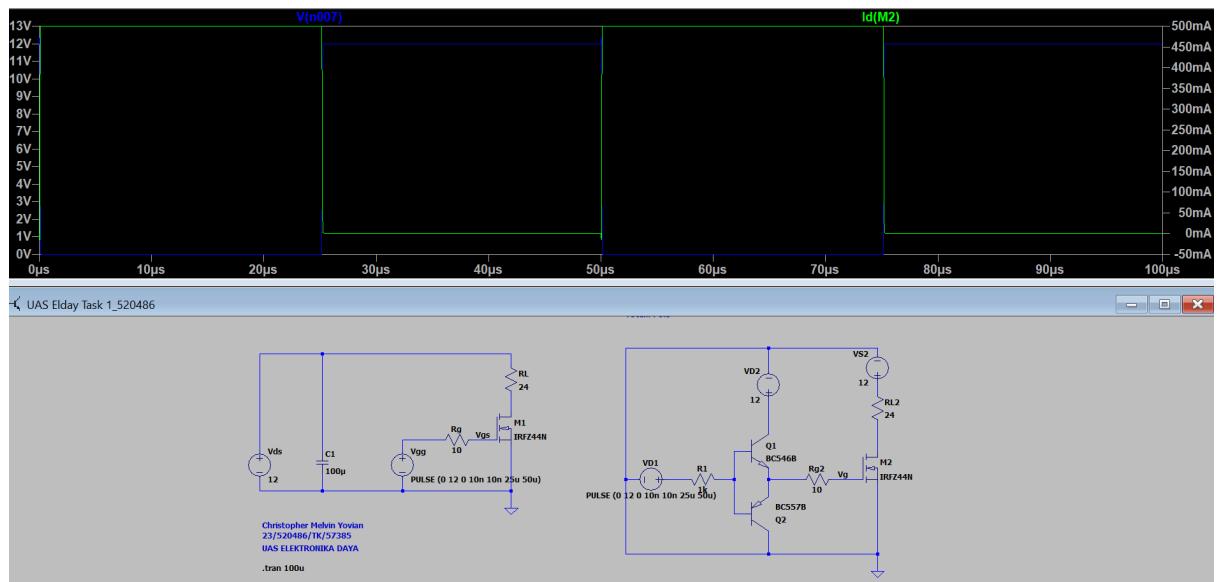


Falltime Vgs :

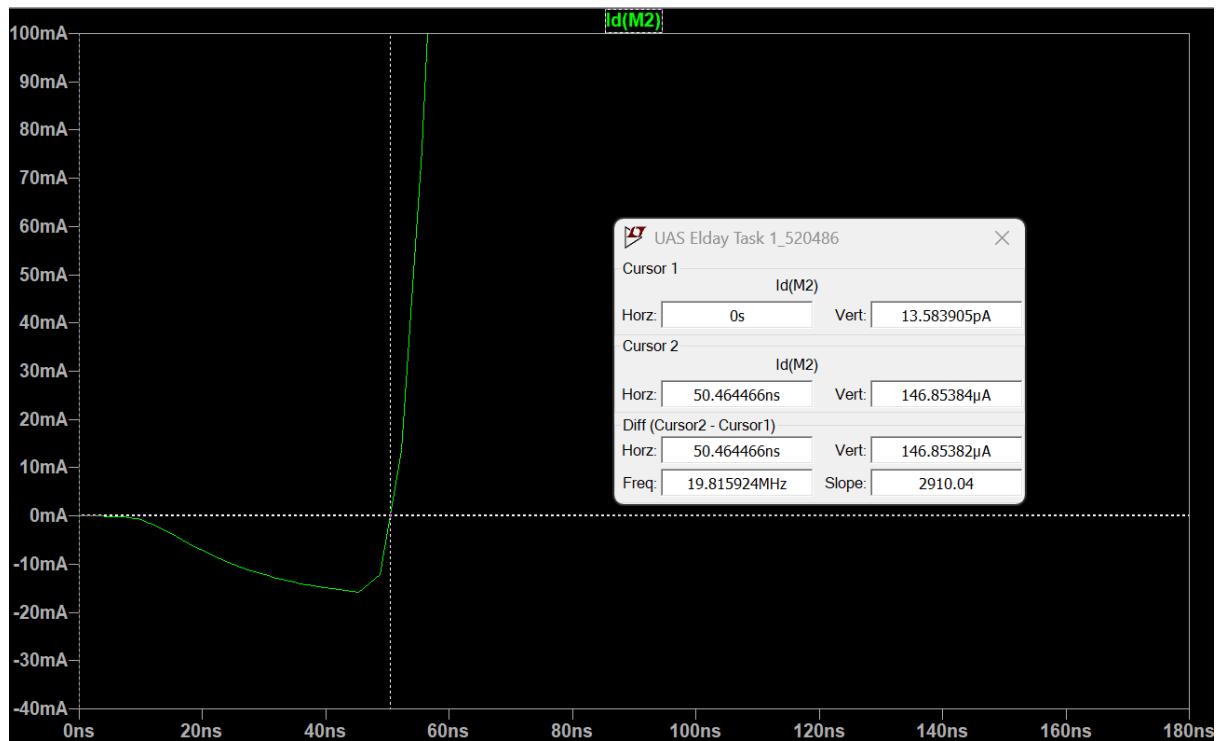


Analisis : Pengukuran rise time dan fall time pada Gate menunjukkan seberapa cepat driver (Totem-pole) mampu menyuplai (sourcing) dan menarik (sinking) muatan dari kapasitansi input MOSFET. Waktu transisi yang cepat mengindikasikan driver bekerja efektif meminimalkan waktu MOSFET berada di daerah zona aktif.

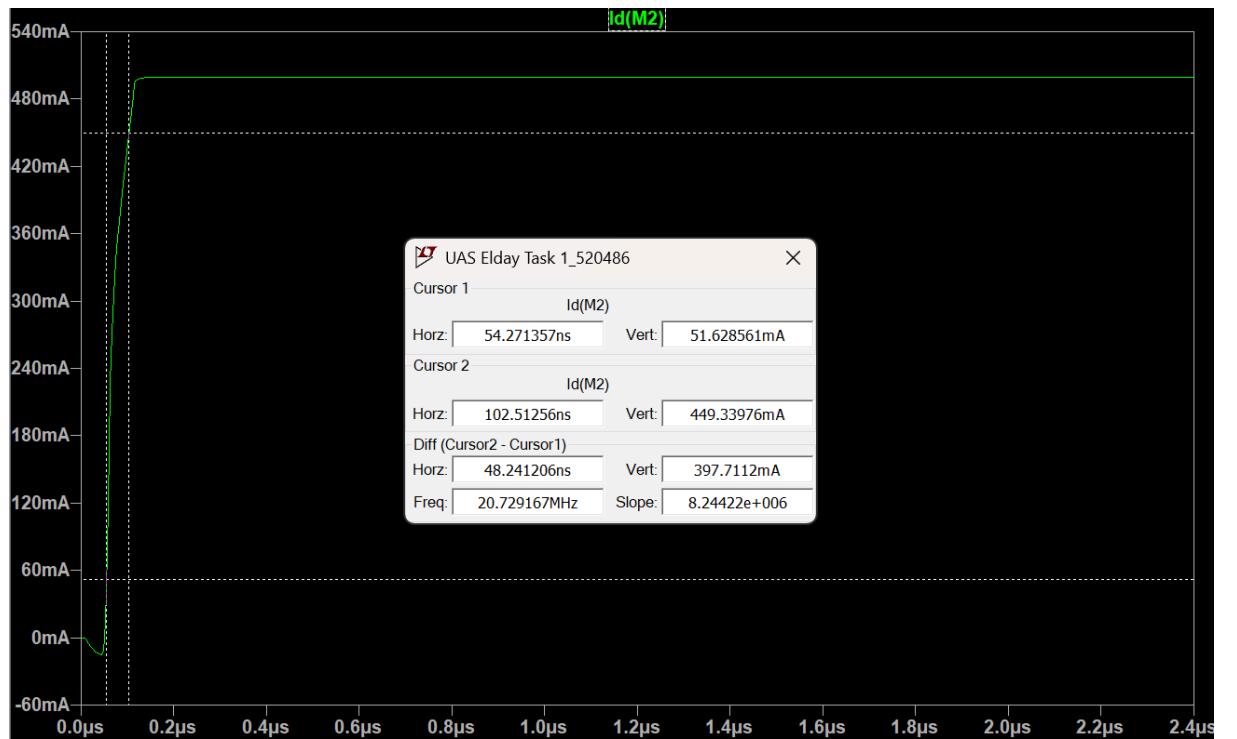
$I_{DS}$  dan  $V_{DS}$



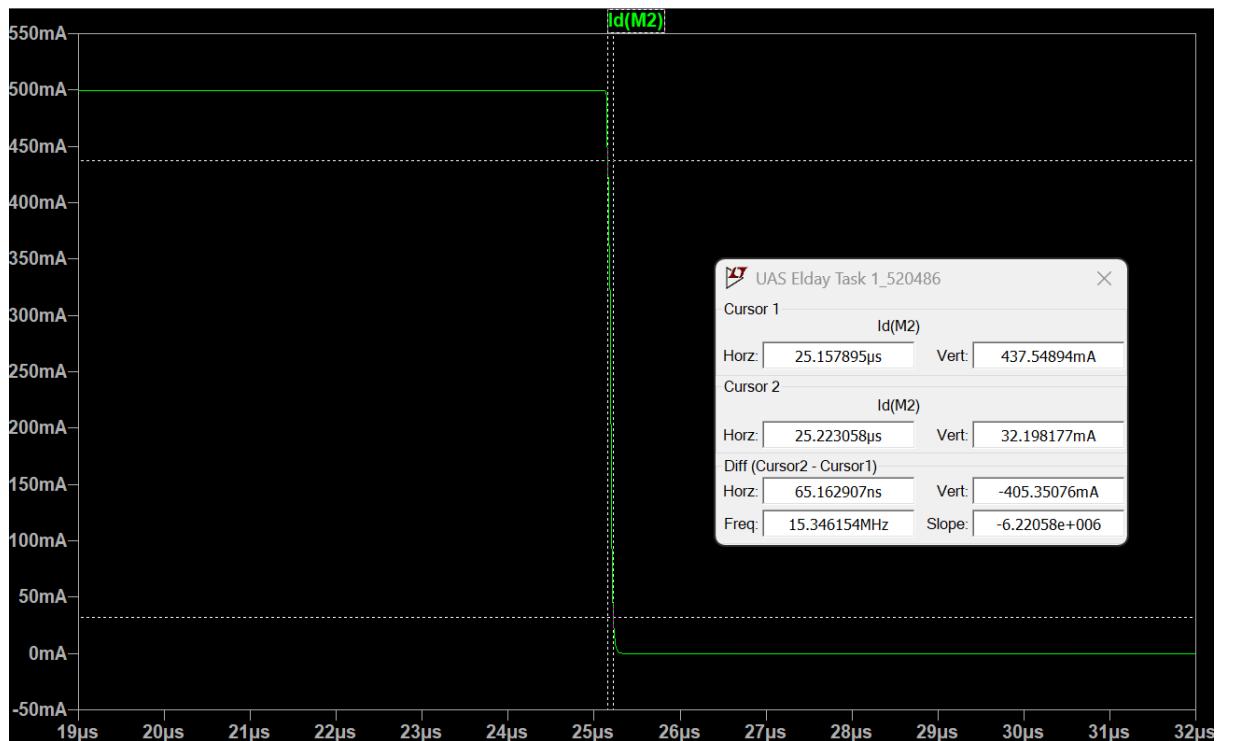
Delay Time Ids :



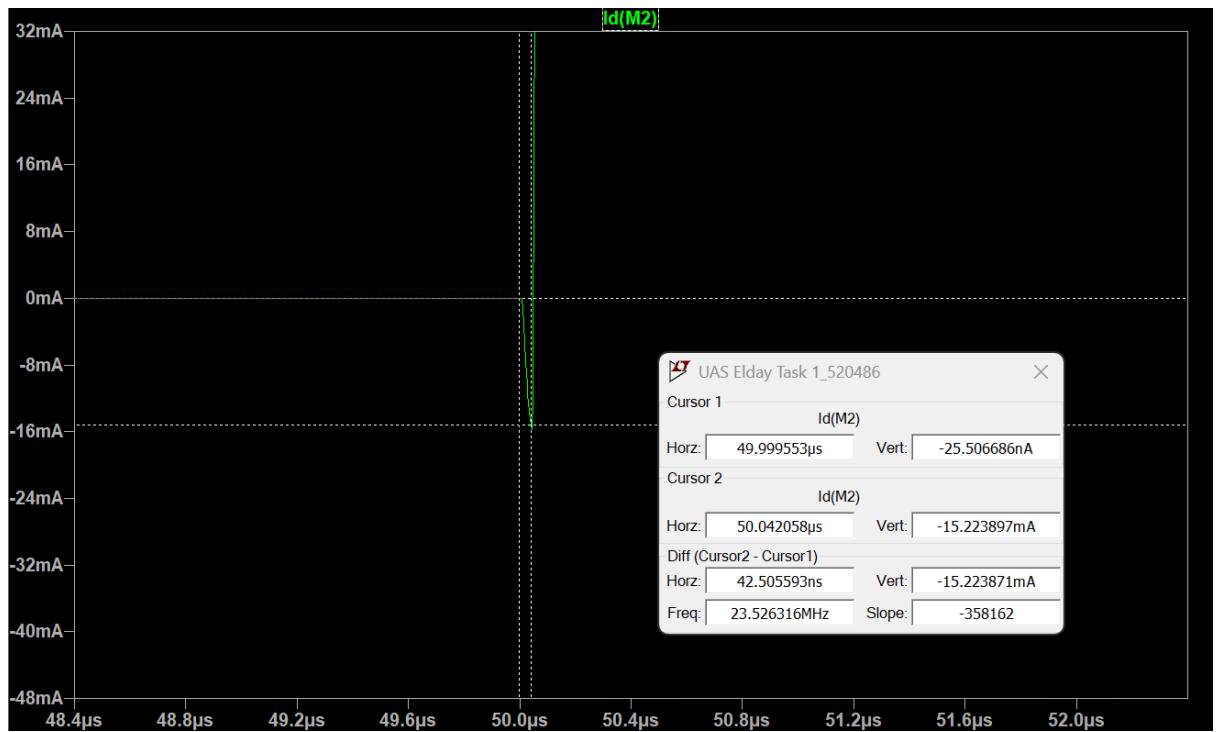
Rise Time Ids :



Fall Time Ids :

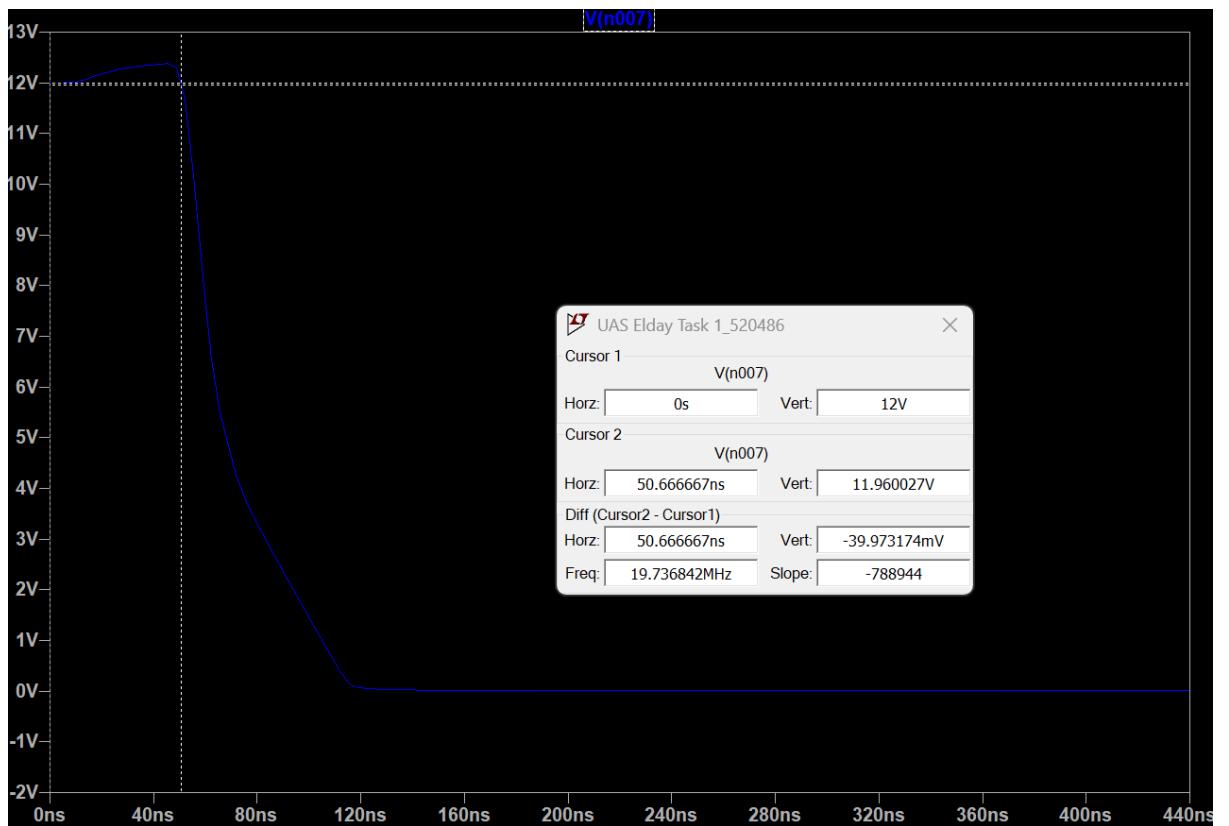


Overshoot Ids :

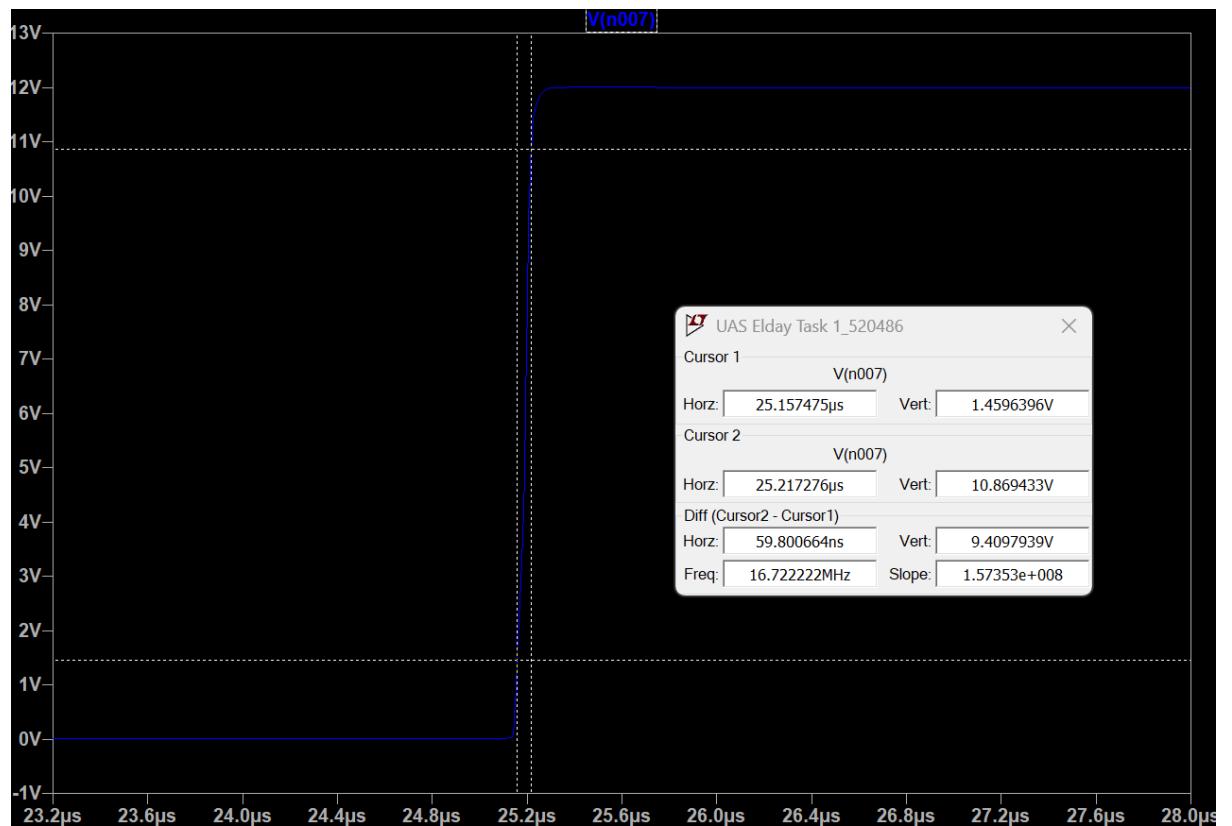


Analisis : Grafik menunjukkan waktu yang dibutuhkan arus beban untuk naik dari 10% ke 90% dari nilai maksimumnya (Rise and Fall time). Kenaikan arus ini terjadi setelah tegangan Gate melewati Threshold Voltage. Terlihat juga pada grafik adanya lonjakan arus sesaat (overshoot) pada lembah gelombang saat switching terjadi.

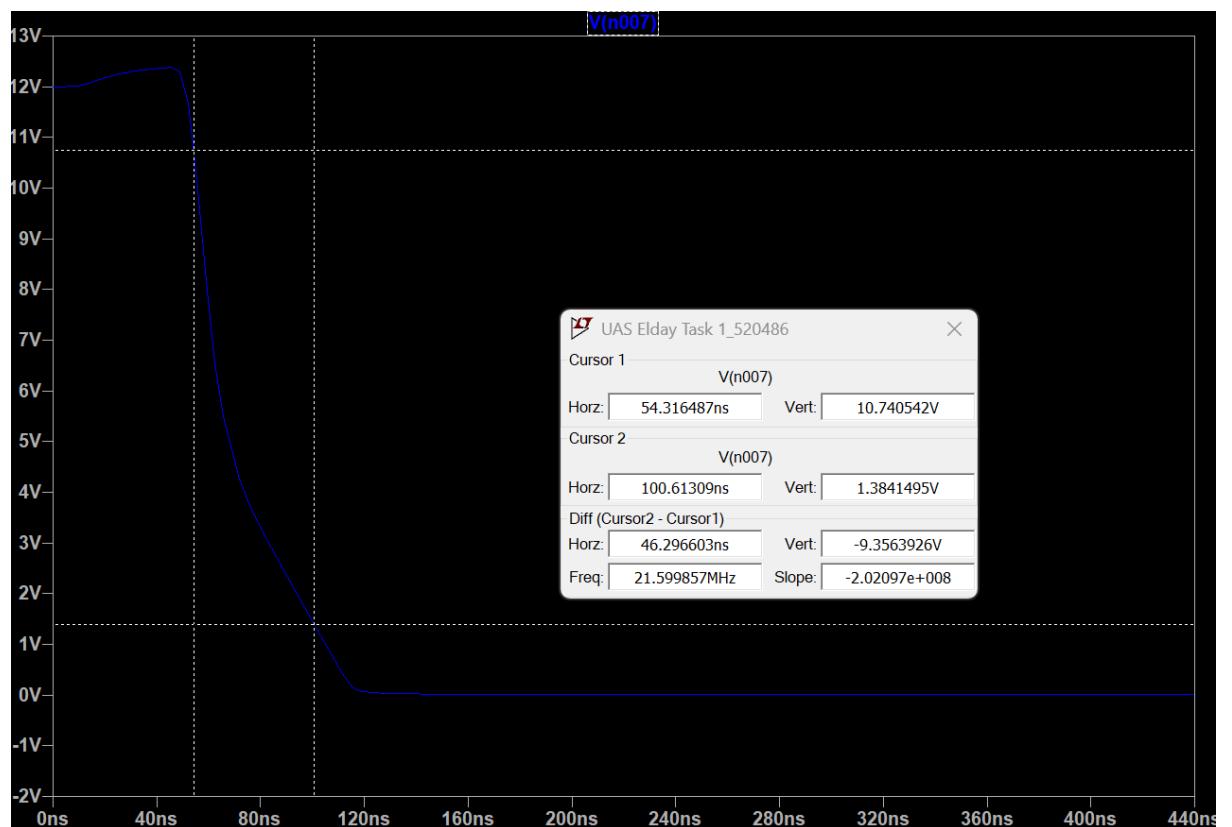
Delay Time Vds :



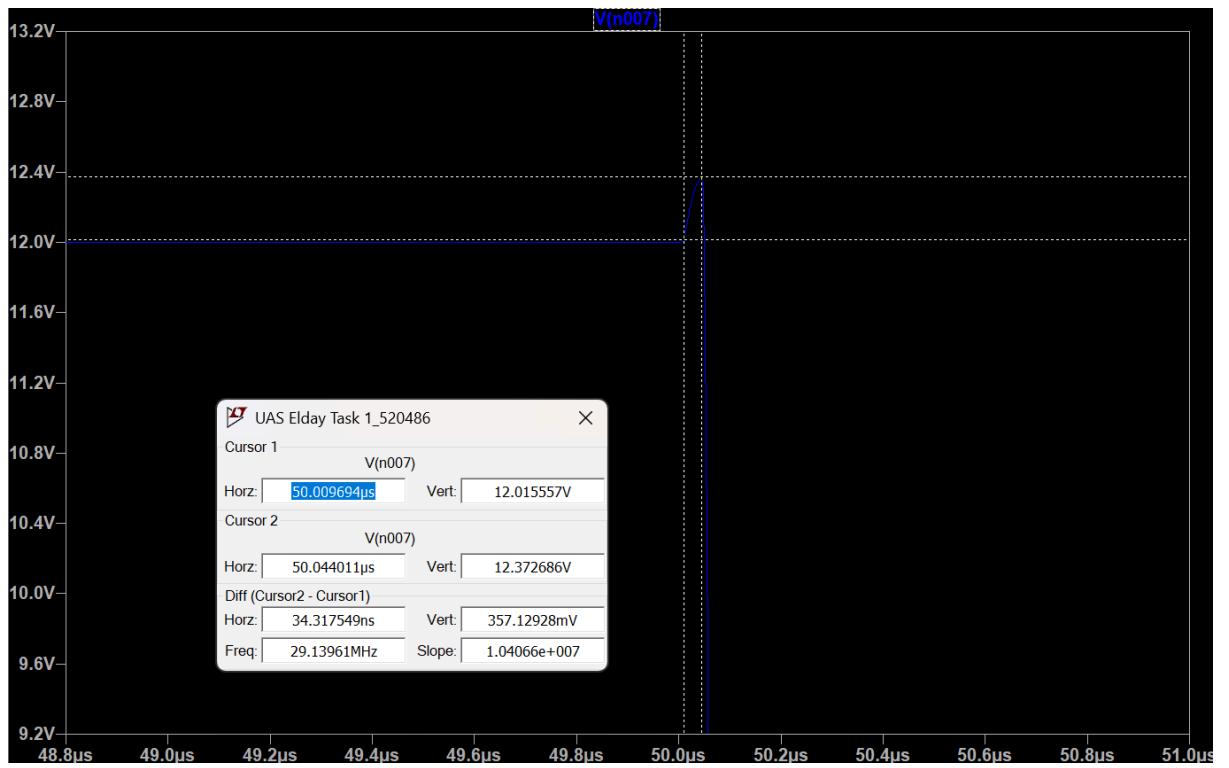
Rise Time Vds :



Fall Time Vds :



Overshoot Vds :



Analisis : Terdapat jeda waktu antara sinyal pemicu pada Gate dengan respon tegangan pada Drain. Delay ini disebabkan oleh waktu yang dibutuhkan untuk mengisi kapasitansi input hingga mencapai tegangan threshold sebelum MOSFET benar-benar mulai menghantarkan arus.

Saat MOSFET menyala (ON), tegangan  $V_{DS}$  jatuh dari 12V mendekati 0V. Kecepatan jatuhnya tegangan ini dipengaruhi oleh seberapa cepat Miller Capacitance dikosongkan oleh arus Gate.

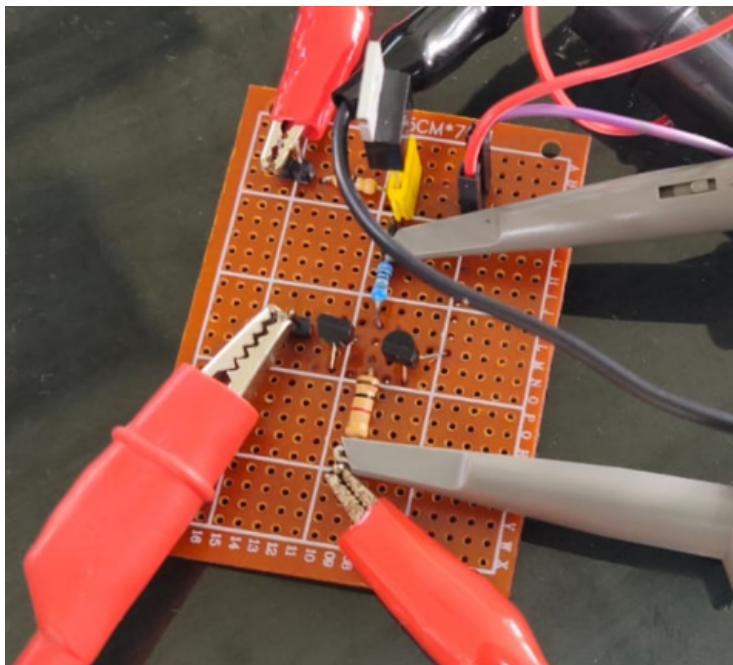
Saat MOSFET dimatikan (OFF), terjadi lonjakan tegangan VP yang melebihi tegangan sumber 12V. Overshoot ini terjadi akibat induktansi parasitik yang menentang perubahan arus yang tiba-tiba

Tabel Hasil Simulasi

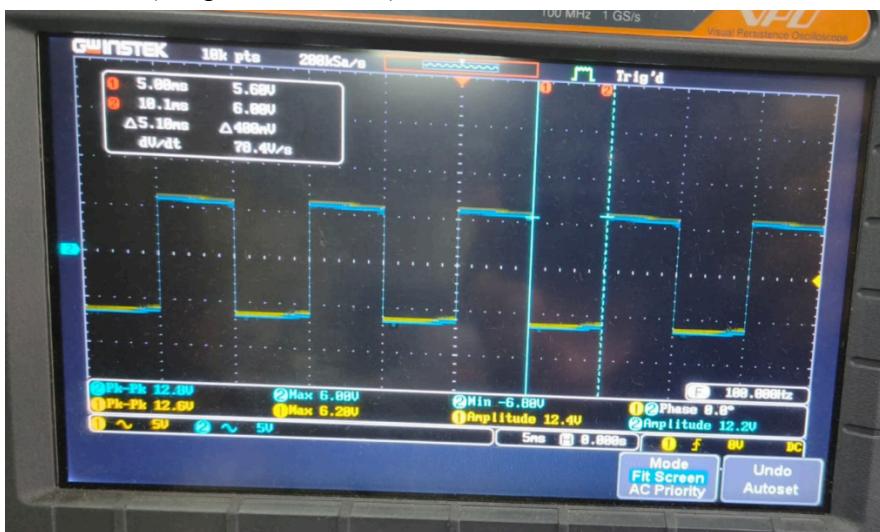
Parameter	Nilai	Keterangan
Rise Time $V_G$	237.754ns	Waktu yang dibutuhkan $V_G$ untuk naik dari 10% ke 90%
Plateau ON Duration	52.934ns	Durasi efek Miller saat Turn-ON. Selama waktu ini, arus Gate digunakan untuk membuang muatan kapasitor
Plateau ON Voltage	172.062mV	Level tegangan Gate saat tertahan mendatar (Miller Plateau)
Plateau OFF	36.544ns	Durasi efek Miller saat Turn-OFF. Waktu

Duration		yang dibutuhkan untuk mengisi kembali kapasitor
Plateau OFF Voltage	57.904mV	Level tegangan Gate saat tertahan mendatar ketika proses mematikan MOSFET (Turn-OFF).
Rise Time $V_{GS}$	95.273ns	Waktu yang dibutuhkan $V_{GS}$ untuk naik dari 10% ke 90%
Plateau ON Duration	14.969ns	Durasi efek Miller saat Turn-ON. Selama waktu ini, arus Gate digunakan untuk membuang muatan kapasitor
Plateau ON Voltage	30.293mV	Level tegangan Gate saat tertahan mendatar (Miller Plateau)
Plateau OFF Duration	18.365ns	Durasi efek Miller saat Turn-OFF. Waktu yang dibutuhkan untuk mengisi kembali kapasitor
Plateau OFF Voltage	191.134mV	Level tegangan Gate saat tertahan mendatar ketika proses mematikan MOSFET (Turn-OFF).
Delay Time $I_D$	50.464ns	Waktu tunda antara sinyal Gate diberikan hingga arus Drain mulai mengalir
Rise Time $I_D$	48.241ns	Waktu yang dibutuhkan arus Drain untuk naik dari 10% ke 90% nilai maksimum.
Fall Time $I_D$	65.163ns	Waktu yang dibutuhkan arus Drain untuk turun kembali ke nol saat Turn-OFF.
Overshoot $I_D$	15.224mA	Lonjakan arus puncak sesaat melebihi arus beban stabil
Delay Time $V_{DS}$	50.66ns	Jeda waktu antara perubahan sinyal Gate hingga tegangan Drain-Source mulai merespon (turun).
Rise Time $V_{DS}$	59.80ns	Waktu yang dibutuhkan tegangan $V_{DS}$ untuk naik kembali ke tegangan sumber saat Turn-OFF.
Fall Time $V_{DS}$	46.296ns	Waktu jatuhnya tegangan $V_{DS}$ dari 90% ke 10% saat Turn-ON.
Overshoot $V_{DS}$	357.129mV	Lonjakan tegangan sesaat di atas tegangan sumber saat Turn-OFF.

## Rangkaian Hardware PCB



Grafik VG (Tanpa Totem Pole) :



Dari percobaan Hardware lewat rangkaian PCB untuk Topologi tanpa Totem Pole (Direct Drive) pada frekuensi rendah (100 Hz), diperoleh hasil sebagai berikut, Sinyal

(1) merupakan input dengan tegangan 12.6 VPP dengan Rise Time 4.276us didapatkan sinyal (2) merupakan output dengan tegangan yang kurang lebih sama di 12.8 VPP dengan Rise Time 4.207us. Karena tegangan output berada di 12 VPP, dimana cukup untuk membuat MOSFET untuk bekerja secara sempurna.

Grafik VGS (Totem Pole) :



Measurement Summary		Measurement Summary	
Pk-Pk	12.4U	Pk-Pk	4.88U
Max	6.28U	Max	2.88U
Min	-6.28U	Min	-1.92U
Amplitude	11.6U	RiseTime	4.878us
High	5.88U	FallTime	4.878us
Low	-5.88U	+Width	5.000ns
Mean	3.22nU	-Width	5.000ns
CycleMean	199U	Dutycycle	50.00%
RMS	5.88U	+Pulses	4
CycleRMS	5.88U	-Pulses	4
Area	161uUs	+Edges	5
CycleArea	2.88U	-Edges	4
ROUShoot	3.45x		
FOUSHoot	3.45x		
RPRESHoot	3.45x		
FPRESHoot	3.45x		

Dari percobaan Hardware lewat rangkaian PCB untuk Topologi Totem Pole pada frekuensi rendah (100 Hz), diperoleh hasil sebagai berikut, Sinyal (1) merupakan input dengan tegangan 12.4 VPP dengan Rise Time 4.878us, didapatkan sinyal (2) merupakan output dengan tegangan output 4.8 VPP dengan Rise Time 5.812us. Karena diperoleh tegangan high output berada dibawah 2-4 VPP, menyebabkan MOSFET tidak menyala sempurna sehingga gagal untuk mempercepat Rise dan Fall time.

### Analisis Kinerja Driver Totem-Pole dan Pengaruh Parameter Switching

Berdasarkan hasil percobaan dan teori dasar elektronika daya, peran rangkaian driver dan pengaruh resistansi gerbang terhadap karakteristik switching MOSFET adalah :

#### 1. Peningkatan Kinerja Switching dengan Driver Totem-Pole

Penggunaan driver konfigurasi Totem-pole memberikan keunggulan signifikan dibandingkan dengan metode direct drive. Sumber tegangan standar umumnya memiliki impedansi keluaran yang tinggi, yang membatasi kemampuan

penyaluran arus (current capability). Sebaliknya, driver Totem-pole berfungsi sebagai penyangga arus (current buffer) dengan impedansi keluaran yang sangat rendah. Karakteristik ini memungkinkan penyediaan arus transien yang besar untuk mengisi dan mengosongkan kapasitansi input MOSFET ( $C_{iss}$ ) secara instan. Akibatnya, waktu transisi (rise time dan fall time) dapat dipersingkat secara drastis, meminimalkan durasi MOSFET berada di wilayah aktif (linear), dan secara efektif mengurangi rugi-rugi daya (switching losses).

## 2. Mekanisme Arus Sourcing dan Sinking

Kecepatan switching pada konfigurasi Totem-pole sangat bergantung pada mekanisme kerja pasangan transistor BJT (NPN dan PNP) yang beroperasi secara komplementer :

- ON : Transistor NPN (Q1) bertindak sebagai jalur arus sourcing yang menghubungkan suplai tegangan (VCC) ke Gate MOSFET. Kemampuan sourcing arus yang tinggi mempercepat pengisian muatan pada kapasitansi input, sehingga memperkecil Rise Time.
- OFF : Transistor PNP (Q2) menyediakan jalur arus sinking dari Gate ke Ground. Kemampuan sinking yang kuat memungkinkan pengosongan muatan gerbang (termasuk efek Miller charge) berlangsung sangat cepat, yang berdampak pada pengurangan Fall Time saat proses mematikan MOSFET.

## 3. Analisis Pengaruh Resistansi Gate

Nilai resistor gerbang ( $R_g$ ) memegang peranan krusial dalam menentukan karakteristik dinamis rangkaian switching :

- Kecepatan Switching:  
Terdapat hubungan terbalik antara nilai  $R_g$  dan kecepatan switching. Nilai yang lebih kecil akan memperbesar arus pengisian puncak ( $I_G = \frac{V_{drive}}{R_g}$ ), mempercepat pengisian kapasitansi gerbang, dan menghasilkan waktu transisi yang lebih singkat (operasi lebih cepat). Sebaliknya, yang besar akan memperlambat transisi karena konstanta waktu ( $\tau = R_g \times C_{iss}$ ) yang meningkat.
- Laju Perubahan Tegangan dan Arus :  
Penggunaan yang rendah menghasilkan transisi yang tajam dengan nilai  $dv/dt$  dan  $di/dt$  yang sangat tinggi. Meskipun efisien, kondisi ini berisiko menimbulkan Electromagnetic Interference (EMI) yang tinggi serta tegangan overshoot atau ringing akibat induktansi parasitik pada rangkaian. Nilai  $R_g$  yang lebih tinggi dapat digunakan untuk meredam osilasi ini dengan memperhalus laju perubahan sinyal.
- Energi dan Rugi-rugi Switching :  
Efisiensi sistem berbanding lurus dengan kecepatan transisi. Nilai  $R_g$  yang kecil meminimalkan waktu tumpang tindih (overlap) antara tegangan dan arus saat transisi (daerah disipasi daya), sehingga

menghasilkan energi rugi-rugi yang paling rendah. Sebaliknya,  $R_g$  yang besar memperpanjang durasi operasi di daerah linear, yang meningkatkan disipasi panas dan menurunkan efisiensi konverter secara keseluruhan.

### Kesimpulan Task 1 :

Berdasarkan hasil simulasi dan pengukuran pada parameter switching, dapat disimpulkan bahwa:

#### 1. Urutan Proses Switching (Turn-ON):

Proses penyalaan MOSFET dimulai dengan naiknya  $V_{GS}$ . Setelah melewati  $V_{th}$ , arus  $I_D$  mulai naik (Rise Time). Kemudian, terjadi Miller Plateau pada  $V_{GS}$  yang bertepatan dengan jatuhnya tegangan  $V_{DS}$  (Fall Time). Driver Totem-pole mempercepat proses ini dengan memberikan arus pengisian (sourcing current) yang besar ke Gate.

#### 2. Urutan Proses Switching (Turn-OFF):

Saat dimatikan, rangkaian driver menarik arus (sinking current) dari Gate ke Ground melalui transistor PNP. Hal ini mempercepat pengosongan muatan Gate, sehingga Fall Time arus  $I_D$  dan Rise Time tegangan  $V_{DS}$  menjadi sangat singkat.

#### 3. Losses:

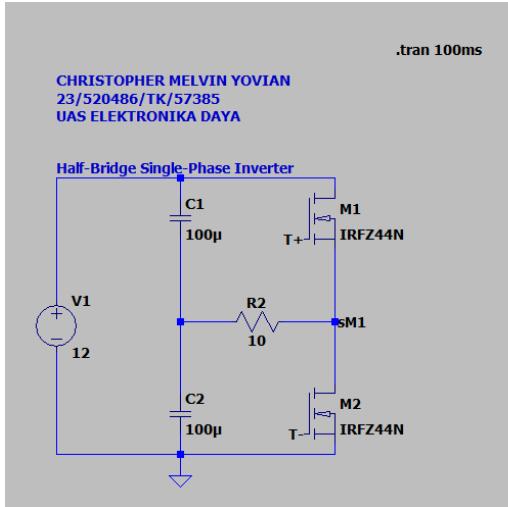
Kecepatan switching yang tinggi akibat penggunaan driver Totem-pole memiliki efek samping berupa munculnya Overshoot tegangan pada  $V_{DS}$  dan arus pada  $I_D$ , serta osilasi (ringing). Hal ini membuktikan adanya pengaruh induktansi dan kapasitansi parasitik pada rangkaian.

#### 4. Hasil Secara eksperimental :

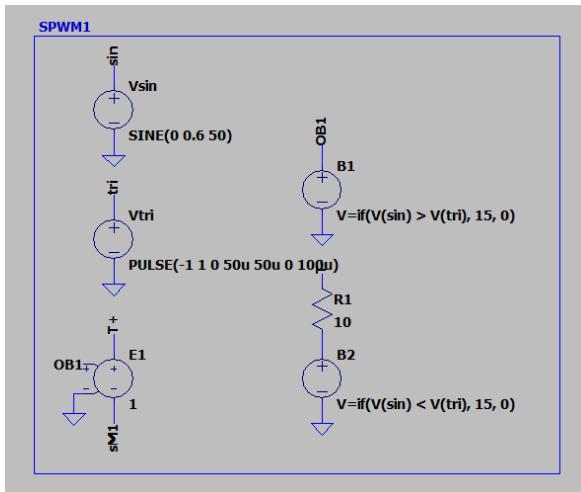
Metode Tanpa Totem Pole (Direct Drive) terbukti lebih andal untuk pengujian frekuensi rendah (100Hz) karena menjamin level tegangan gate penuh (12V). Namun, metode Totem Pole pada percobaan ini mengalami degradasi performa akibat loading effect atau biasing yang menyebabkan amplitudo sinyal jatuh drastis.

## V. Task II

### Half-Bridge Single-Phase Inverter

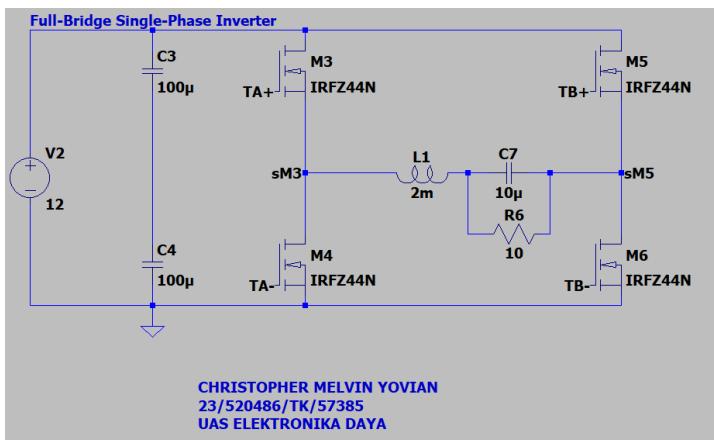


### SPWM

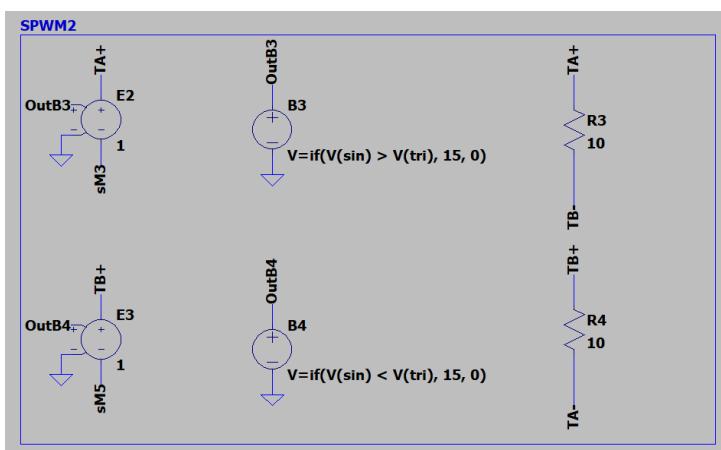


SPWM unipolar ini membandingkan gelombang referensi sinus 50 Hz ( $V_{sin}$ ) dan gelombang pembawa segitiga 10 kHz ( $V_{tri}$ ). Hasil perbandingan diolah oleh Behavioral Source (B1 & B2) untuk menghasilkan logika penyalaan komplementer. Khusus untuk MOSFET sisi atas (high-side), digunakan komponen VCVS (E1) sebagai representasi sirkuit bootstrap driver untuk mengisolasi sinyal pemicu agar referensi tegangannya mengikuti kaki Source MOSFET yang mengambang (floating node).

## Full-Bridge Single-Phase Inverter

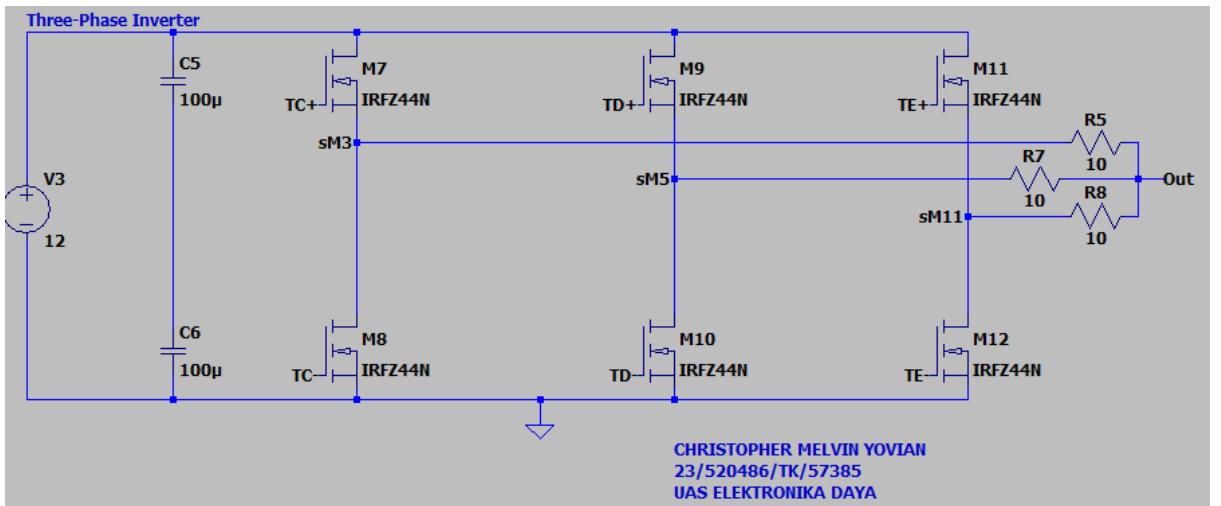


## SPWM

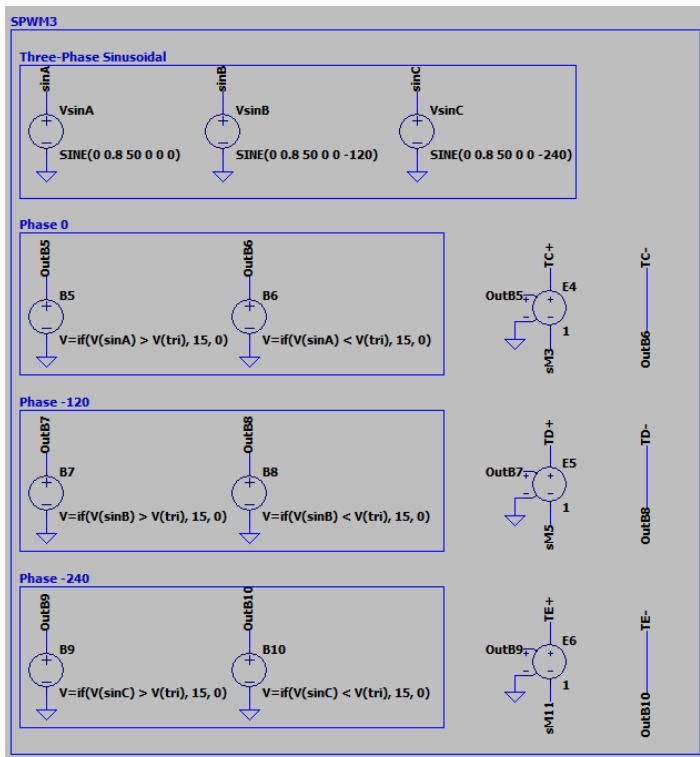


SPWM2 ini menggunakan metode penguncian silang (cross-coupled switching) untuk mengontrol empat buah saklar daya pada topologi H-Bridge. Logika komparator B3 mengaktifkan pasangan diagonal MOSFET 'TA+' (via driver isolasi E2) dan 'TB-' (via resistor R3) secara simultan untuk menghasilkan tegangan output positif. Sebaliknya, logika komparator B4 mengaktifkan pasangan diagonal 'TB+' (via driver isolasi E3) dan 'TA-' (via resistor R4) untuk menghasilkan tegangan output negatif. Mekanisme ini memastikan arus beban dapat mengalir bolak-balik (AC) penuh dari sumber tegangan DC tunggal.

## Three-Phase Inverter



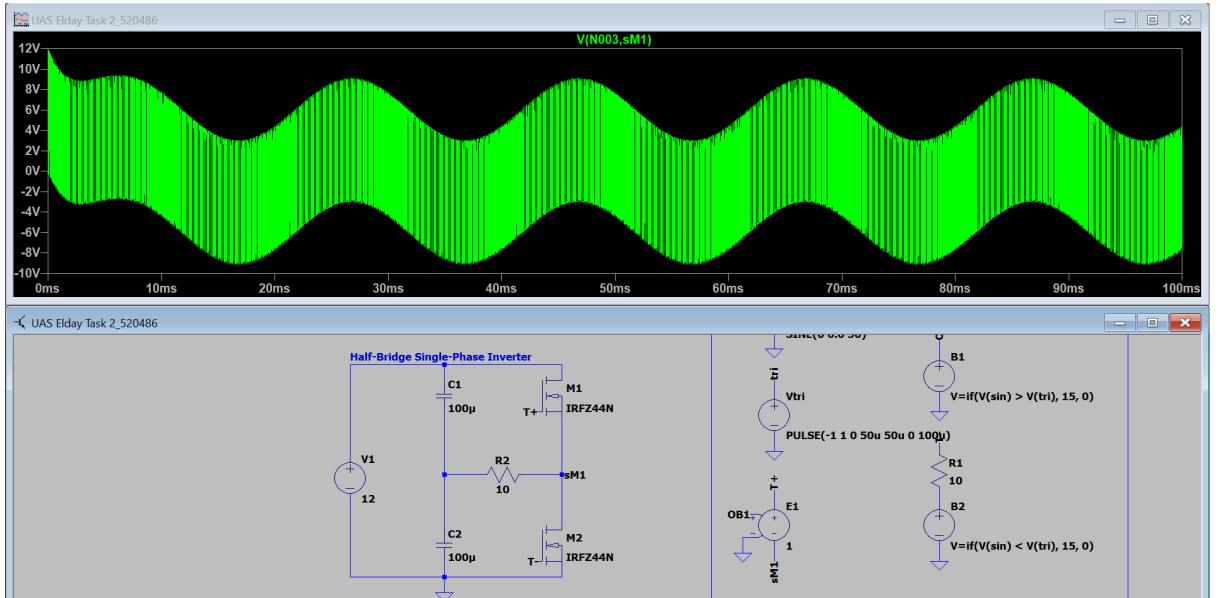
## SPWM



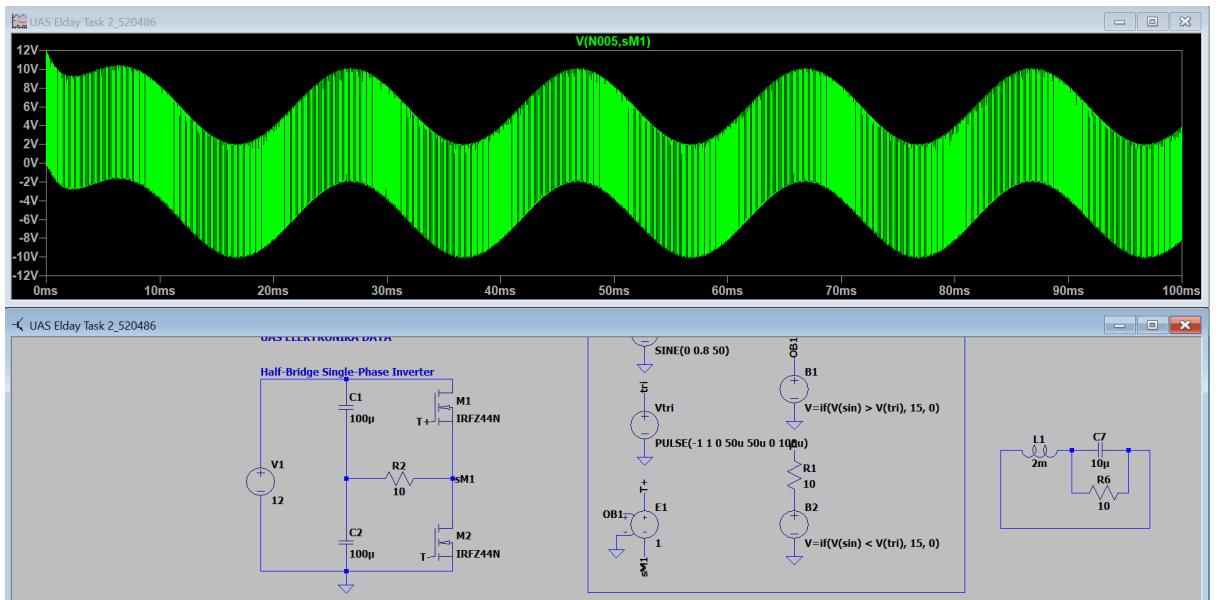
SPWM3 untuk 3-fasa ini bekerja dengan prinsip membandingkan satu sinyal pembawa (carrier) segitiga berfrekuensi tinggi dengan tiga sinyal referensi sinus 50 Hz yang terpisah fasa sejauh 120 derajat elektrik. Hasil perbandingan ini menghasilkan pola pulsa PWM yang berbeda lebar untuk setiap kaki inverter. Penggunaan driver E4, E5, dan E6 memastikan bahwa tegangan pemicu VGS untuk MOSFET sisi atas selalu terjaga relatif terhadap titik referensi masing-masing fasa (floating nodes), sehingga memungkinkan inverter menghasilkan tegangan antar-fasa (line-to-line voltage) yang seimbang untuk menggerakkan beban 3-fasa.

Hasil Simulasi :

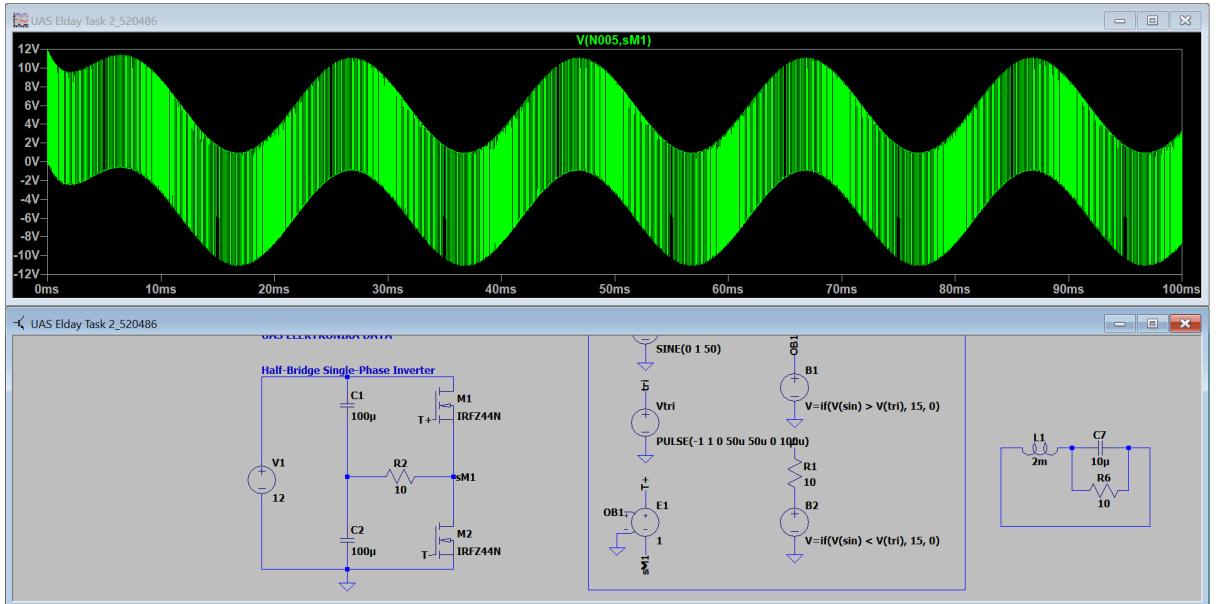
Half-Bridge Ma = 0.6



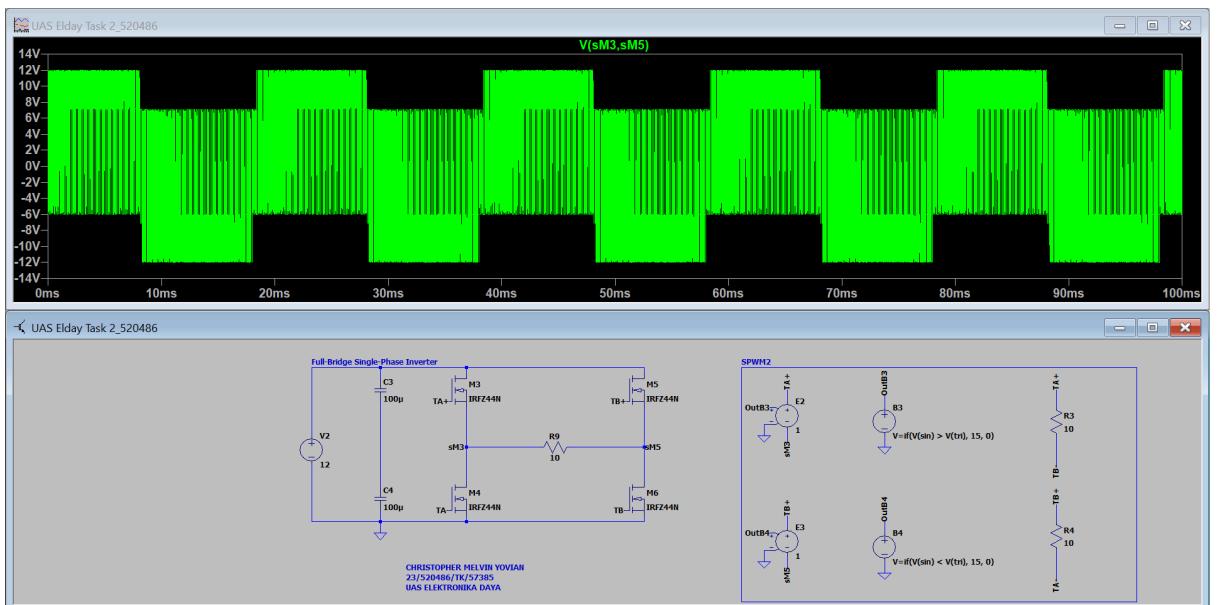
Half-Bridge Ma = 0.8



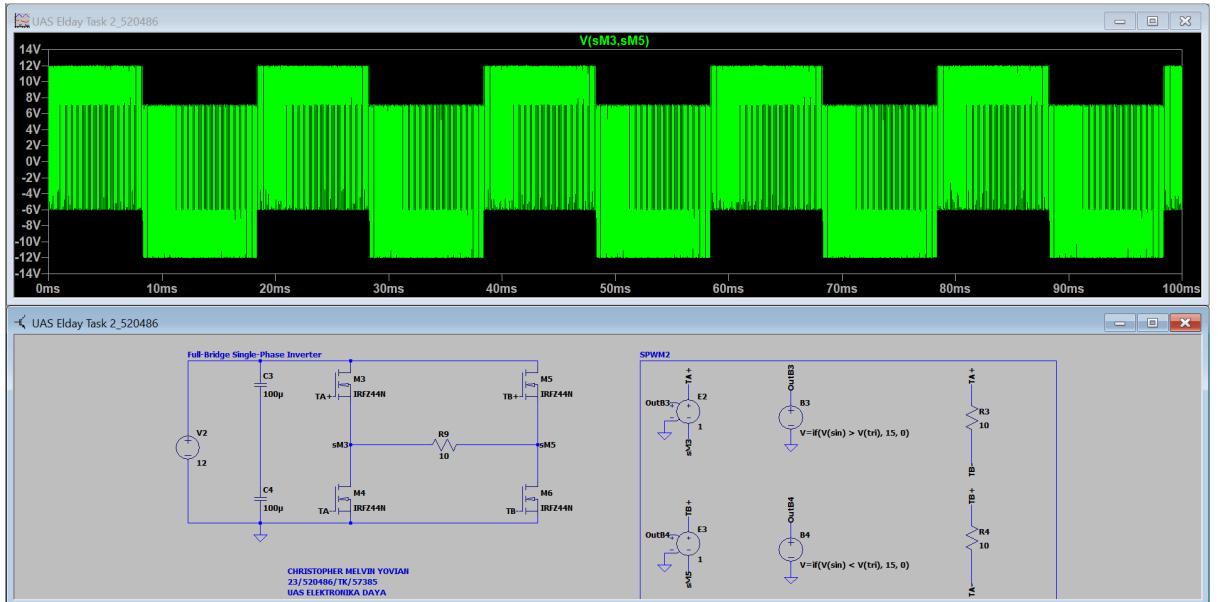
Half-Bridge Ma = 1



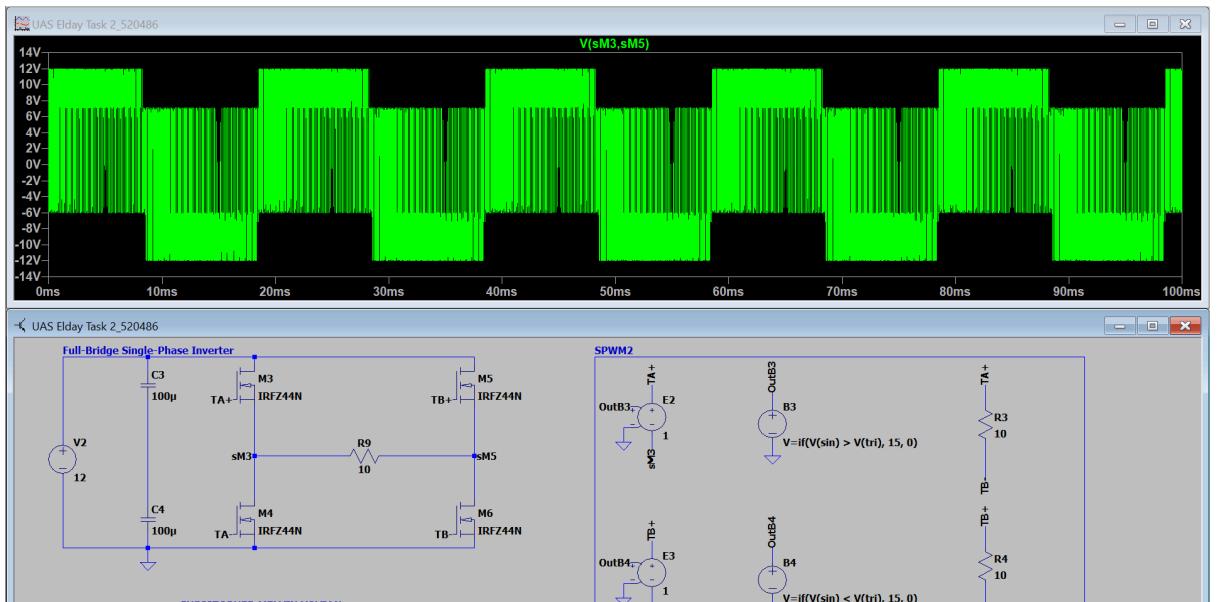
Full-Bridge Ma = 0.6



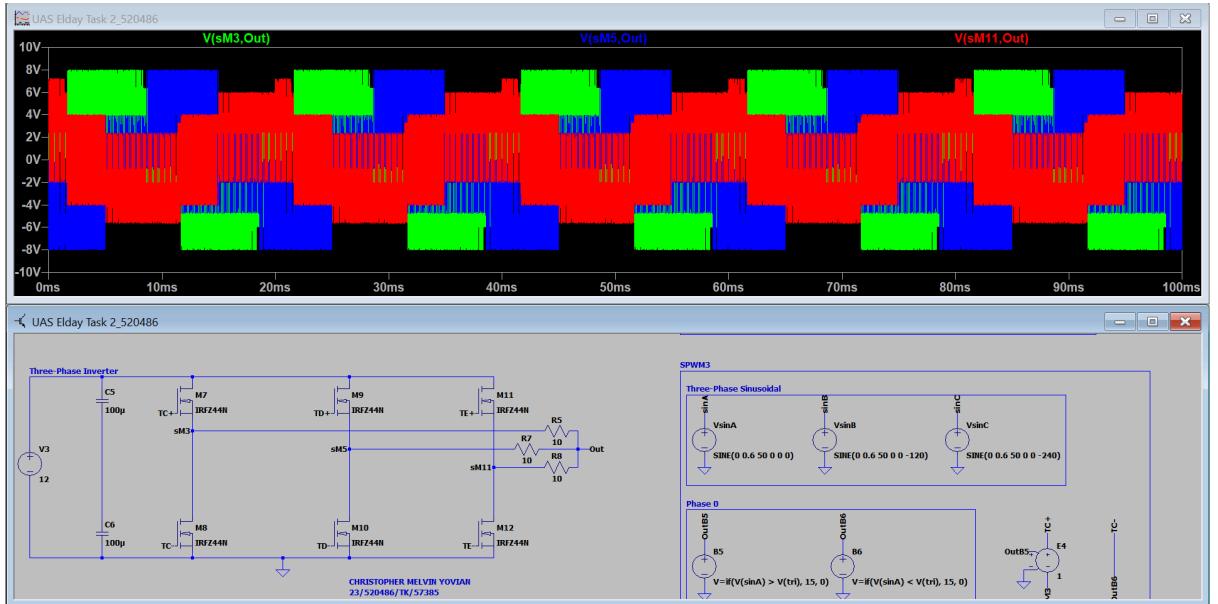
Full-Bridge Ma = 0.8



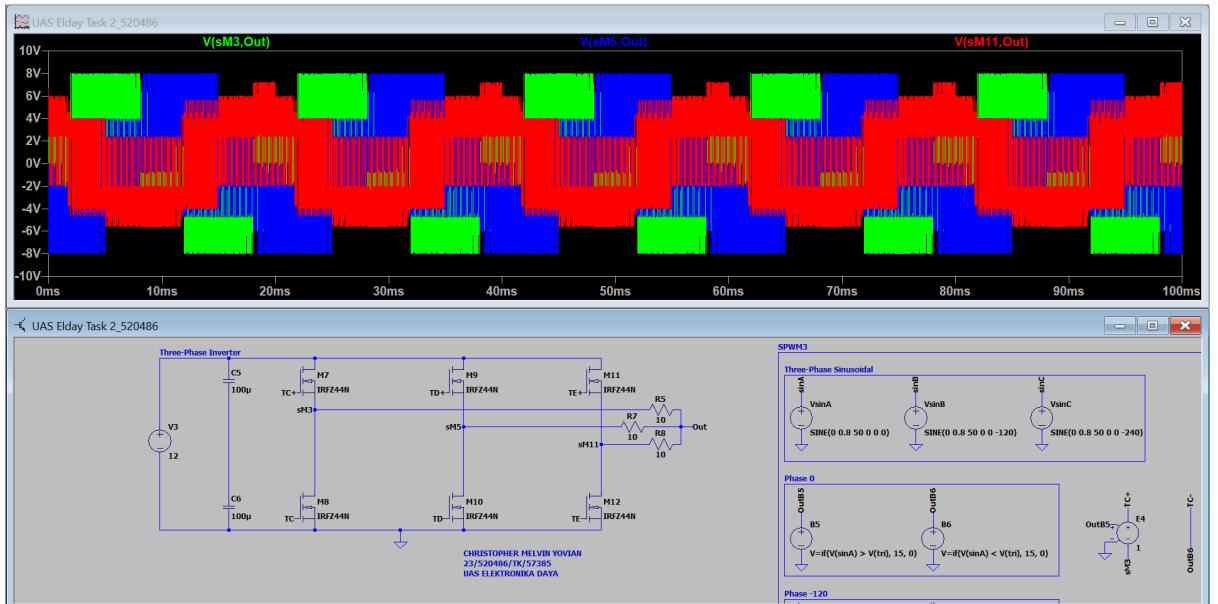
Full-Bridge Ma = 1



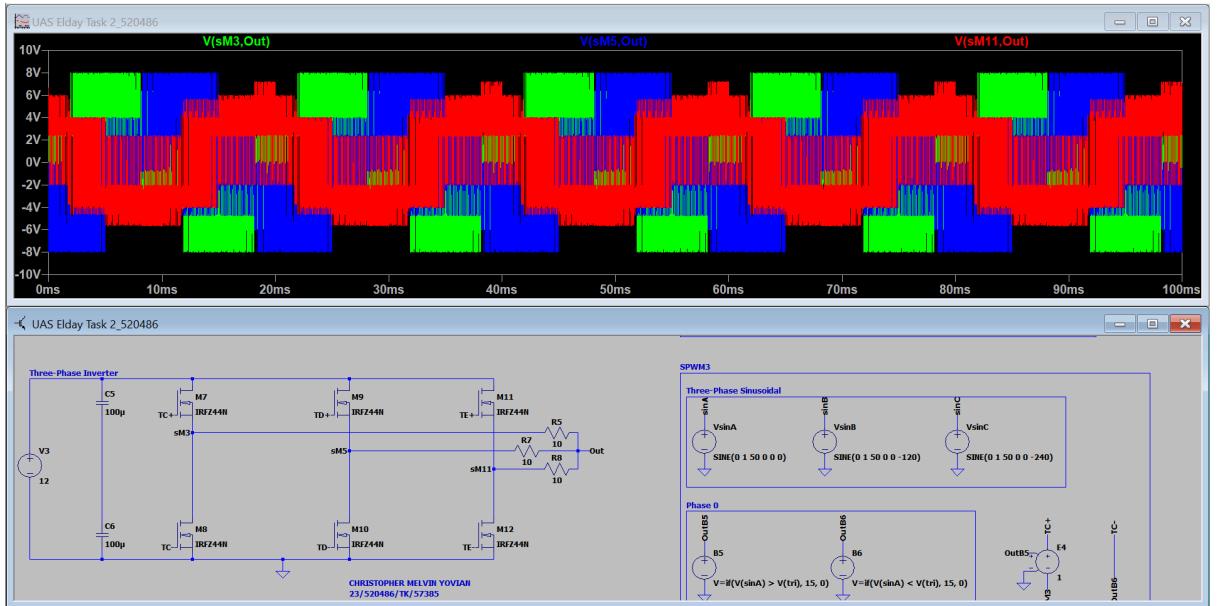
Three-Phase Ma = 0.6



Three-Phase Ma = 0.8



Three-Phase Ma = 1



### Analisis :

Pada percobaan ini, dilakukan simulasi variasi Indeks Modulasi Ma dengan nilai 0.6, 0.8, 1 pada tiga topologi inverter : Half-Bridge, Full-Bridge, dan Three-Phase. Indeks modulasi didefinisikan sebagai rasio antara amplitudo sinyal referensi (sinus) terhadap amplitudo sinyal pembawa (triangle),  $Ma = \frac{V_{sin}}{V_{tri}}$

- Hubungan Ma dengan Lebar Pulsa (Pulse Width): Berdasarkan grafik hasil simulasi, terlihat pola yang konsisten pada semua topologi: semakin besar nilai Ma, semakin lebar durasi pulsa "ON" (logika tinggi) pada bagian puncak gelombang sinus, dan semakin sempit pada bagian lembah (zero crossing). Hal ini menunjukkan bahwa teknik SPWM bekerja dengan memodulasi lebar pulsa sebanding dengan amplitudo sinyal referensi saat itu.
- Hubungan Ma dengan Tegangan Output Fundamental: Ma berbanding lurus dengan tegangan output fundamental (komponen 50 Hz).
  - Pada Half-Bridge, tegangan output puncak teoretis adalah  $V_{out} = Ma \times \frac{V_{dc}}{2}$ . Dengan input 12V, simulasi menunjukkan swing tegangan yang lebih rendah dibanding topologi lain.
  - Pada Full-Bridge, tegangan output puncak adalah  $V_{out} = Ma \times V_{dc}$ . Terlihat pada grafik, saat Ma = 1, densitas pulsa maksimal dan tegangan efektif mendekati nilai sumber DC penuh.
  - Pada Three-Phase, variasi Ma mempengaruhi tegangan antar-fasa (Line-to-Line). Saat Ma ditingkatkan, perbedaan potensial rata-rata antara dua fasa meningkat, yang berarti daya yang dikirim ke beban juga meningkat.
- Batas Modulasi Linear: Simulasi dilakukan pada rentang  $0 < Ma \leq 1$ , yang disebut daerah modulasi linear. Dalam rentang ini, kenaikan tegangan output fundamental terjadi secara linear terhadap kenaikan Ma. Jika Ma dinaikkan melebihi 1 (overmodulation), lebar pulsa tidak akan bertambah secara proporsional lagi dan akan menimbulkan harmonika orde rendah yang sulit difilter.

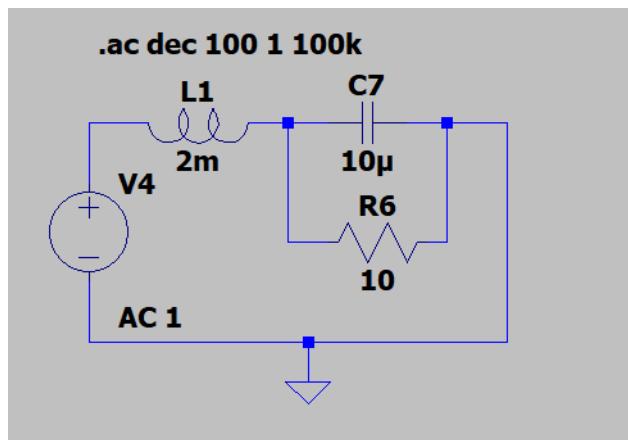
## Second Order Output LC Filter

Nilai Frekuensi Cut-off yang dipilih :  $f_c = 1125 \text{ Hz}$

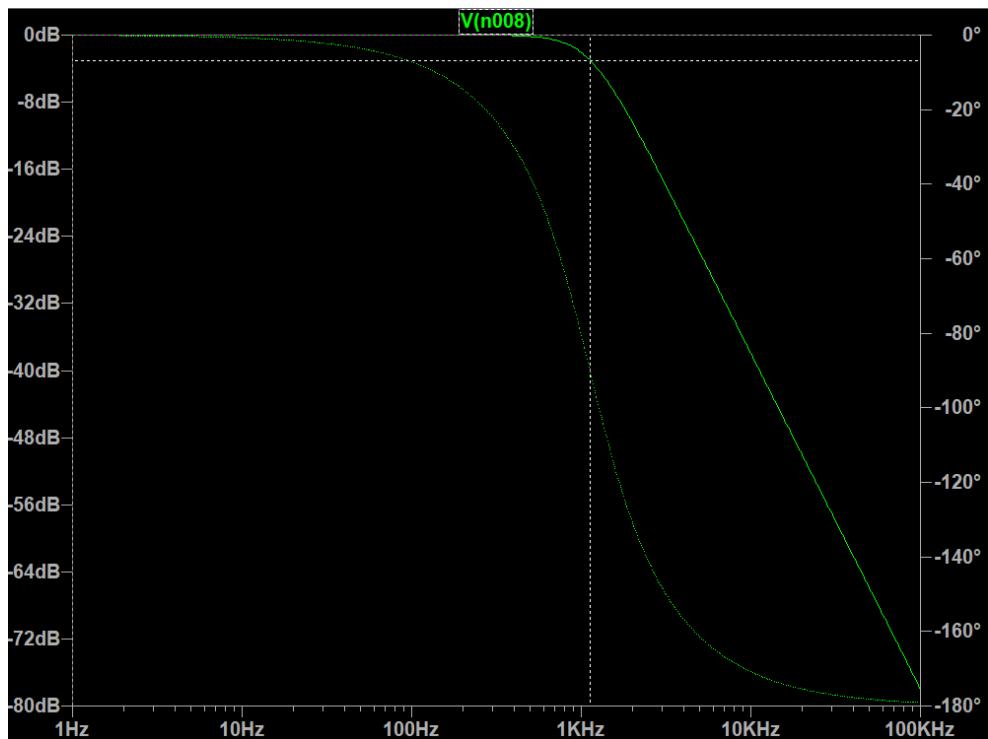
$$f_c = \frac{1}{2\pi\sqrt{L \times C}} = 1125 \text{ Hz}$$

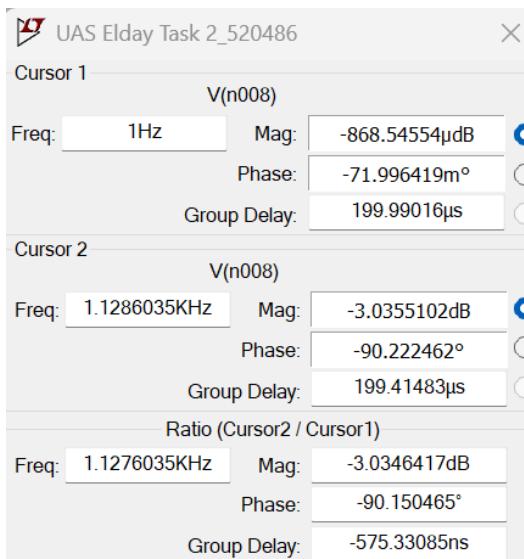
$$L = \frac{1}{4\pi^2(f_c)^2C}, \text{ dipilih } C = 10 \mu\text{F}$$

$$L = \frac{1}{4(3.14)^2(1125)^20.00001} = \frac{1}{449.16} \approx 0.002003 = 2 \text{ mH}$$



Mencari frekuensi cut-off

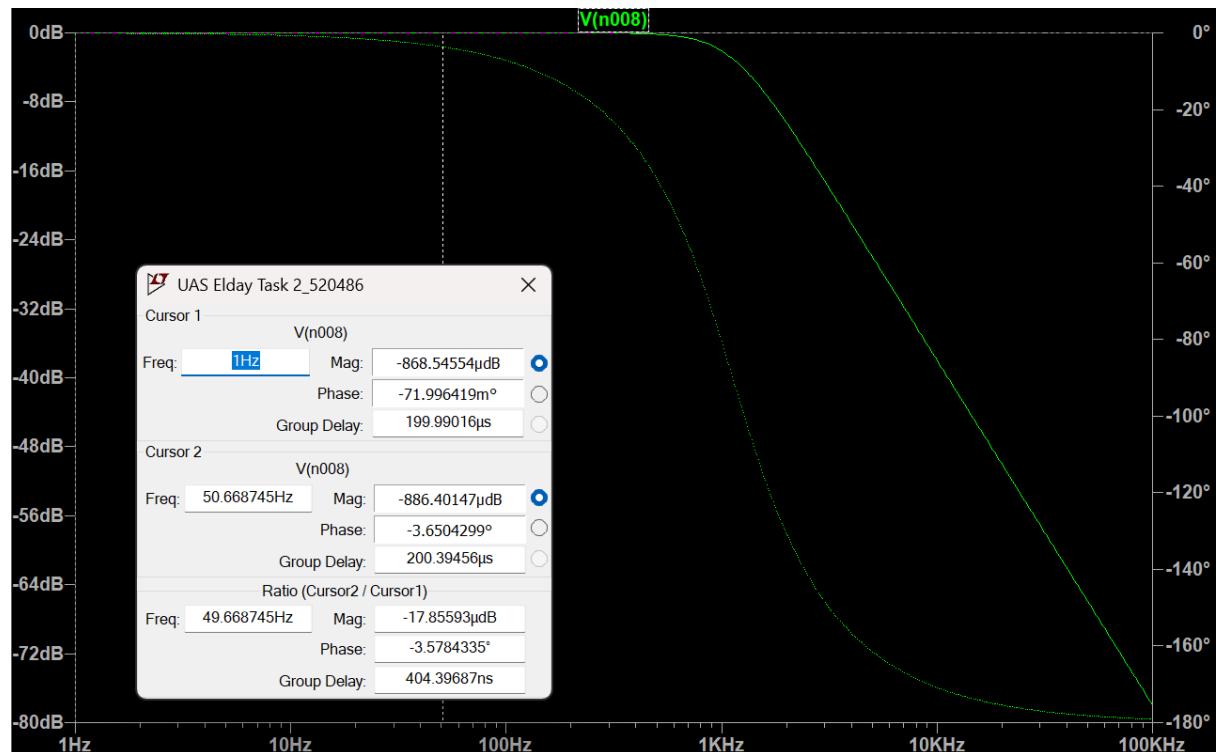




Analisis :

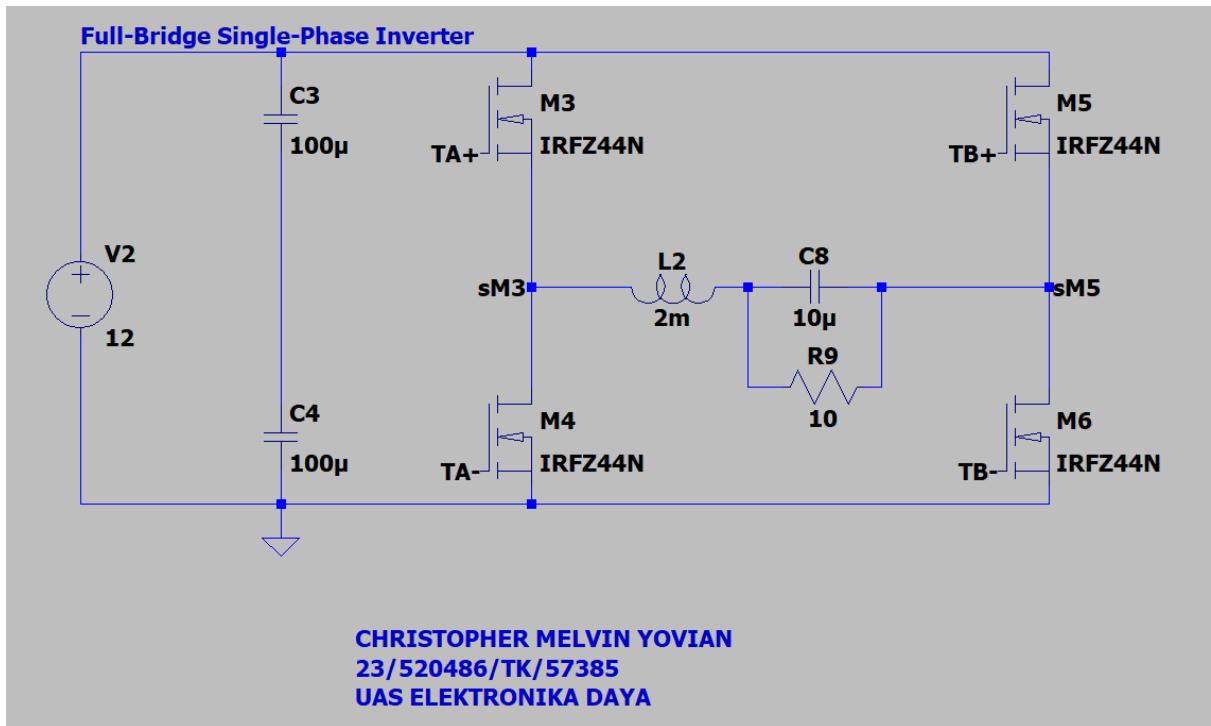
Diperoleh nilai frekuensi cut-off setelah magnitudo turun dari 0 dB hingga -3 dB sebesar 1.127 kHz atau sekitar 1127 Hz. Ini membuktikan kalau perhitungan secara teori dan secara simulasi sudah sesuai.

Memastikan frekuensi fundamental (50 Hz) lolos di Low Pass Filter :

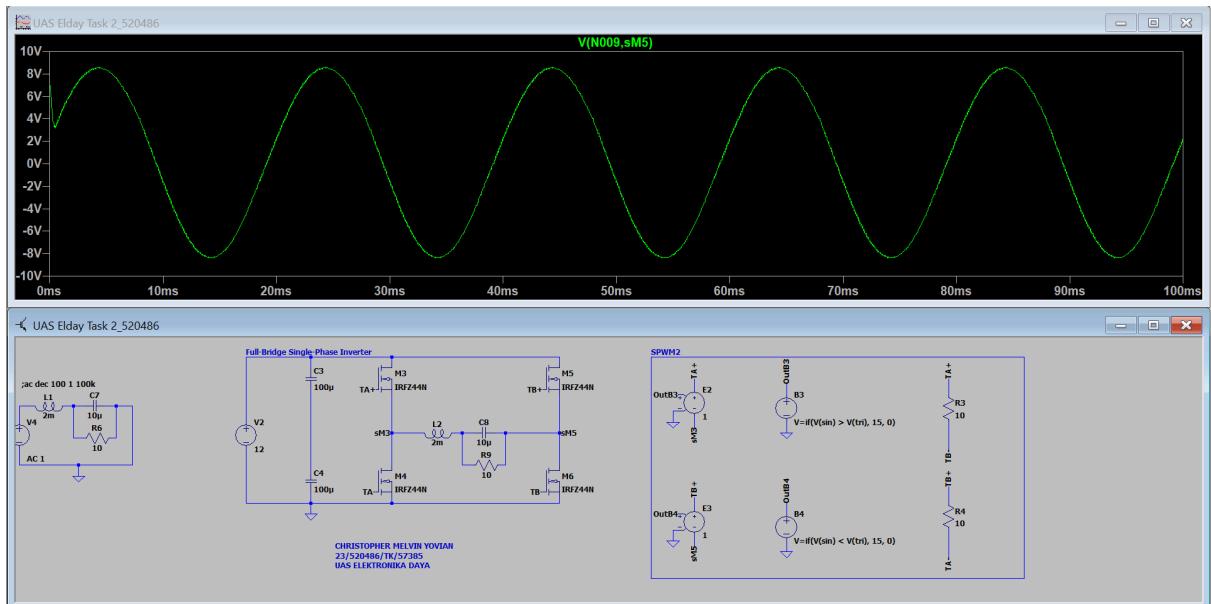


Analisis : Frekuensi 0 Hz hingga 50 Hz berada pada pass-band (0 dB) sehingga dapat dipastikan kalau frekuensi fundamental (50 Hz) itu diloloskan oleh Low Pass Filter ini.

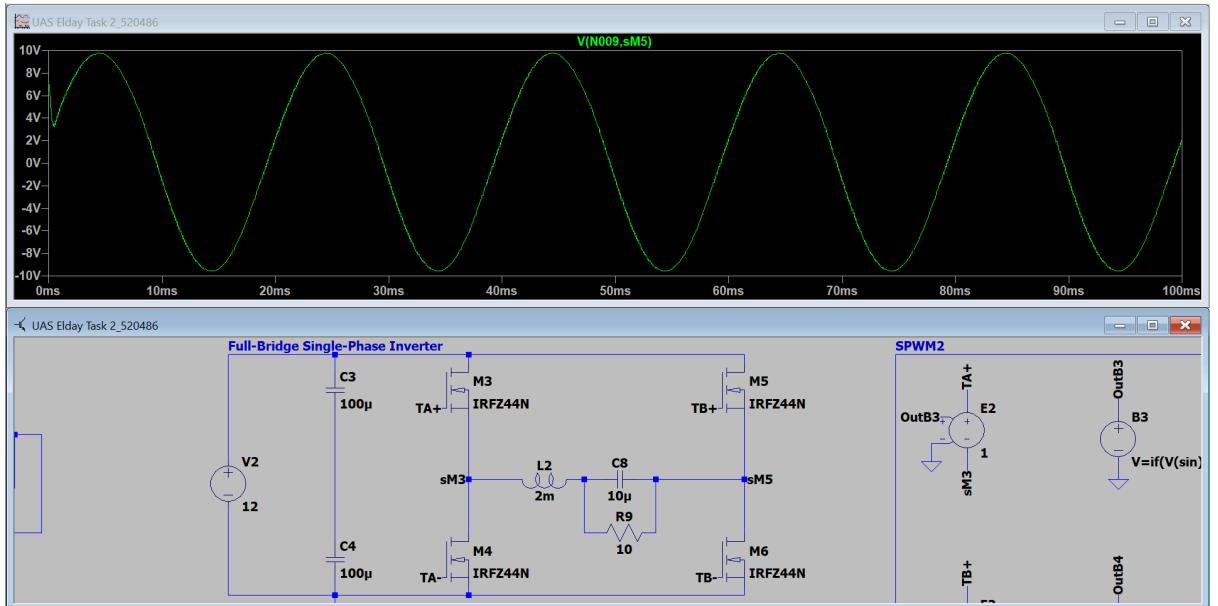
## Full-Bridge Single-Phase Inverter dengan Filter LC



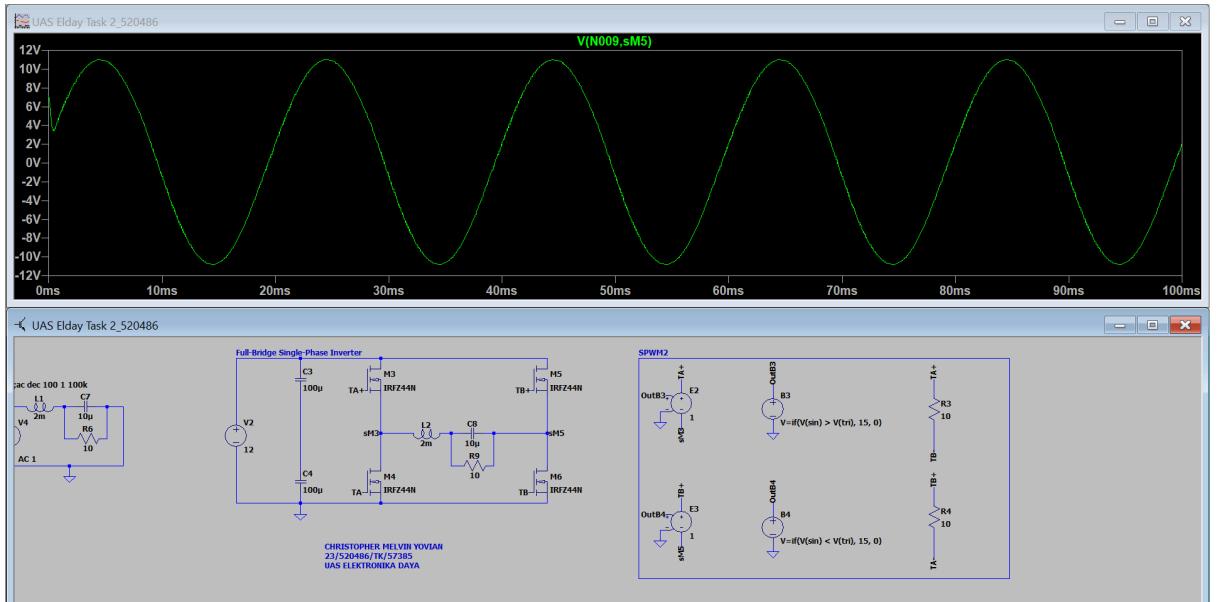
Ma = 0.6



Ma = 0.8



$$Ma = 1$$



### Analisis Hasil Output Setelah ditambah LC Filter :

Berdasarkan grafik hasil simulasi "Full-Bridge Single-Phase Inverter dengan Filter LC", dapat dianalisis beberapa poin penting sebagai berikut:

#### 1. Perubahan Bentuk Gelombang (Filtering Effect):

Sebelum di filter, output inverter berupa pulsa kotak-kotak diskrit dengan frekuensi switching tinggi (10 kHz) yang berayun antara +12V dan -12V. Setelah melewati filter LC ( $L = 2 \text{ mH}$  dan  $C = 10\mu\text{F}$ ), gelombang berubah menjadi sinusoidal murni yang halus. Hal ini membuktikan bahwa filter LC berhasil meredam (attenuate) komponen frekuensi tinggi (carrier 10 kHz) dan meloloskan komponen fundamental (50 Hz) sesuai dengan prinsip kerja Low Pass Filter.

#### 2. Amplitudo Tegangan Output:

Pada grafik terlihat bahwa gelombang sinus yang dihasilkan memiliki amplitudo

puncak sekitar 7.2 Volt. Nilai ini sesuai dengan perhitungan teoritis inverter Full-Bridge pada Indeks Modulasi  $Ma = 0.6$  dan tegangan input  $Vdc = 12V$ , yaitu:  
 $V Peak = Ma \times Vdc = 0.6 \times 12 = 7.2V$ ,  $0.8 \times 12 = 9.6V$ , dan  $1 \times 12 = 12V$

3. Kualitas Daya (Power Quality): Gelombang output terlihat stabil dan bersih dari distorsi kasar (ripple). Penggunaan filter LC orde dua sangat efektif untuk aplikasi inverter karena mampu menghasilkan tegangan AC yang layak untuk menyuplai beban peralatan listrik standar, mendekati karakteristik tegangan jala-jala PLN.

### Kesimpulan Task II :

Berdasarkan simulasi dan analisis yang telah dilakukan pada topologi inverter Half-Bridge, Full-Bridge, dan Three-Phase, serta perancangan filter LC, dapat ditarik beberapa kesimpulan sebagai berikut:

1. Pengaruh Indeks Modulasi (Ma) terhadap Tegangan Output  
Terdapat hubungan linear antara Indeks Modulasi (Ma) dengan tegangan output fundamental inverter pada rentang modulasi linear ( $0 < Ma \leq 1$ ). Semakin besar nilai Ma, semakin lebar durasi pulsa on-state (duty cycle) pada puncak gelombang, yang mengakibatkan kenaikan amplitudo tegangan output efektif.
  - Pada Half-Bridge, tegangan output puncak maksimal hanya mencapai setengah dari tegangan sumber DC  $V Peak = 0.5 \times Vdc$ .
  - Pada Full-Bridge, tegangan output puncak mampu mencapai nilai penuh tegangan sumber DC  $V Peak = Vdc$ , memberikan pemanfaatan tegangan DC bus yang lebih efisien (dua kali lipat) dibandingkan topologi Half-Bridge.
2. Karakteristik Inverter 3-Fasa  
Simulasi pada inverter 3-fasa menunjukkan bahwa penggunaan teknik SPWM dengan tiga sinyal referensi yang berbeda fasa 120 derajat berhasil menghasilkan tegangan keluaran antar-fasa (Line-to-Line) yang seimbang. Pola penyalaan saklar (switching) pada ketiga leg inverter bekerja secara terkoordinasi untuk membentuk gelombang AC 3-fasa yang simetris.
3. Efektivitas Filter LC Orde Kedua  
Perancangan filter Low-Pass LC dengan frekuensi cut-off sekitar 1125 Hz terbukti efektif untuk aplikasi inverter frekuensi switching 10 kHz.
  - Respon Frekuensi: Hasil simulasi AC Sweep menunjukkan bahwa filter memiliki gain 0 dB pada frekuensi fundamental (50 Hz) dan redaman yang signifikan ( $> -40$  dB) pada frekuensi switching.
  - Kualitas Output: Penerapan filter pada inverter Full-Bridge berhasil merekonstruksi sinyal PWM kotak-kotak menjadi gelombang sinusoidal murni dengan ripple yang sangat minim. Tegangan output sinus yang dihasilkan (7.2 V pada  $Ma = 0.6$ ) sesuai dengan perhitungan teoritis, memvalidasi akurasi perancangan filter dalam meloskan komponen fundamental dan memblokir harmonika frekuensi tinggi.
4. Kinerja Keseluruhan Sistem  
Secara keseluruhan, sistem inverter yang dirancang dengan kontrol SPWM Unipolar/Bipolar dan dilengkapi filter LC mampu bekerja sebagai konverter

DC-ke-AC yang baik. Kombinasi topologi Full-Bridge dengan strategi switching yang tepat menghasilkan efisiensi konversi tegangan yang optimal dan kualitas sinyal output yang layak untuk beban AC standar.

## **VI. Link to GitHub Repository**

<https://github.com/piinyo/UAS-Elektronika-Daya.git>