

1. 2A 之模擬結果波形圖，並說明其模擬結果波形圖是否正確。

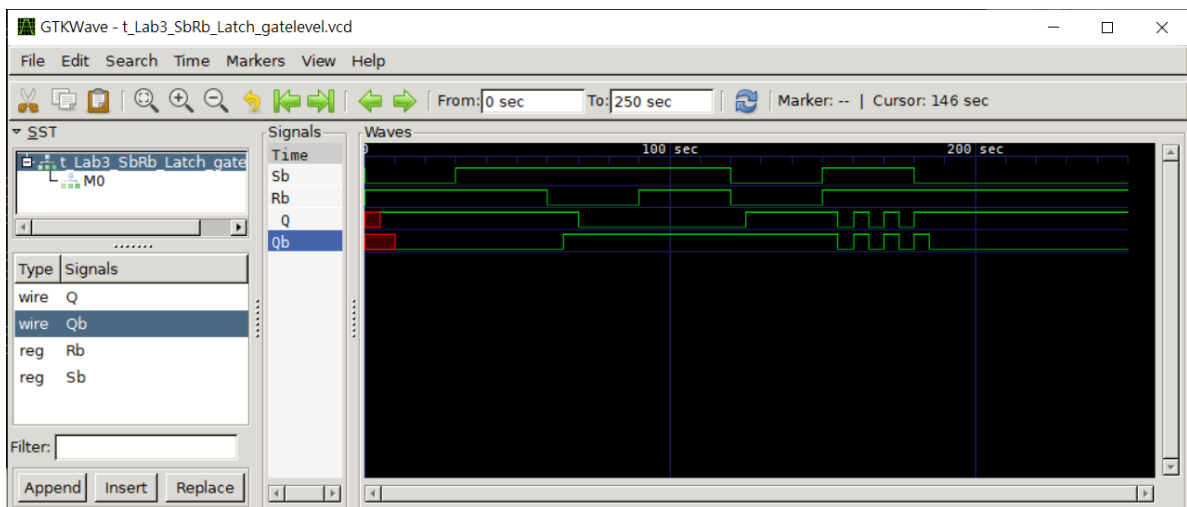


Fig. 1 SbRb Latch

已知 SbRb 功能表，如 Fig. 2 所示。  
 0ns: Sb=0, Rb=1，波形圖：經過 2 個不穩定狀態(5ns for each, nand gate delay 5ns)後，穩定(Set)成(1, 0)，接著(Sb, Rb)每隔 30ns 分別為(1, 1), (1, 0), (1, 1)，其功能 No change, Reset, No change，其(Q, Q')亦穩定成(1, 0), (0, 1), (0, 1)，下一個輸入(0, 0)沒有定義，使 Q 狀態無法穩定，也使後續結果錯誤，實際使用時，應避免出現此輸入。故其波形圖正確。

$\bar{S}$	$\bar{R}$	$Q^+$
1	1	No change ( $Q^+ = Q$ )
1	0	Reset ( $Q^+ = 0$ )
0	1	Set ( $Q^+ = 1$ )
0	0	Indeterminate

Fig. 2 SbRb Characteristic Table

2. 2B 之模擬結果波形圖，並說明其模擬結果波形圖是否正確。

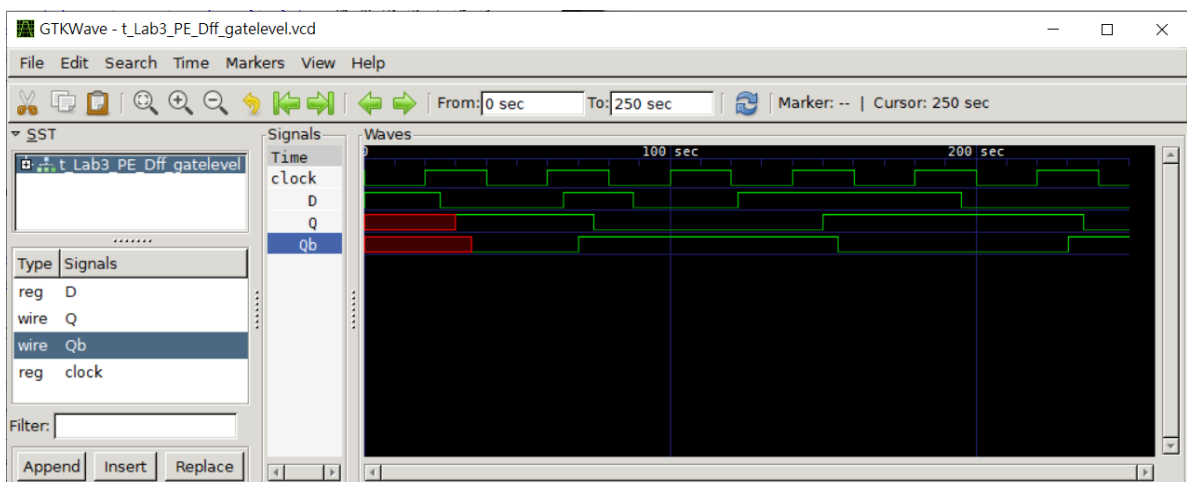


Fig. 3 D-Flop

已知  $Q^+ = D$ 、positive-edge、clock 之週期為 40 ns (20 ns 為 LOW、20 ns 為 HIGH)。

故當 clock 從 0 變 1 時的 D 值為多少應該要被 Filp-Flop 記錄起來，且其 Propagation delay 應為 15ns。觀察波形圖可以發現 20ns positive-edge,  $D=1$ ，35ns:  $(Q, Q')=(1, 0)$ ，然後直到下一個 positive-edge: 60ns( $D=0$ )，才有變動(75ns,  $Q=0$ )，且接著依序於 100ns( $D=0$ ), 140ns( $D=1$ ), 180ns( $D=1$ ), 220ns( $D=0$ )，才會對 Filp-Flop 影響，且符合  $Q+=D$ 。故波形圖正確。

3. 敘述 2C 之 Mealy-type 同步順序電路之設計過程，以 D 正反器為儲存元件，推導出其電路圖。而後，列出 2C 之模擬結果波形圖，並說明其 testbench 如何設計、針對 input stimulus 預期之狀態轉換與輸出值為何、及 i. 和 ii. 兩種電路模組之模擬結果波形圖是否正確。

- state-diagram-based:** 首先設計其 state register，分別要有 reset、positive-edge 時更新 state 的功能，接著及依照 state table，分別對照設計出 next state、output combinational logic。
- structural model:** 首先我們有 D-Filp-Flop 的 model 可以使用，而此電路的 state 有三個 bit，因此需要三個 D-Filp-Flop 做為其儲存元件。根據 state table 寫出  $A+$ ,  $B+$ ,  $C+$ ,  $z$  的 sum of midterm，再進行化簡，然後根據 Excitation table 可得出  $D=Q+$ ，因此  $DA=A+$ ,  $DB=B+$ ,  $DC=C+$ ，接著分別對三個 D-Filp-Flop input、output 的組合電路進行設計，再分別接上 D-Filp-Flop，及完成此電路設計，細節如 Fig. 4。

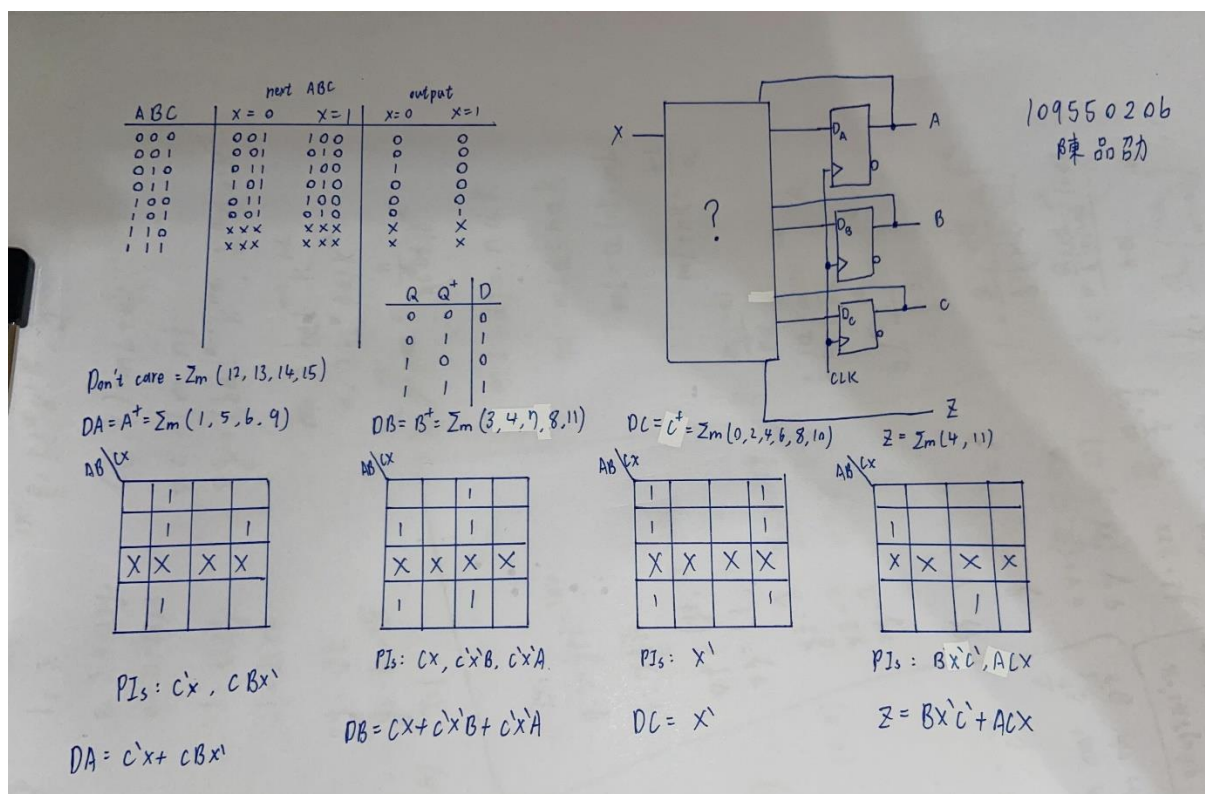


Fig. 4 structural model design

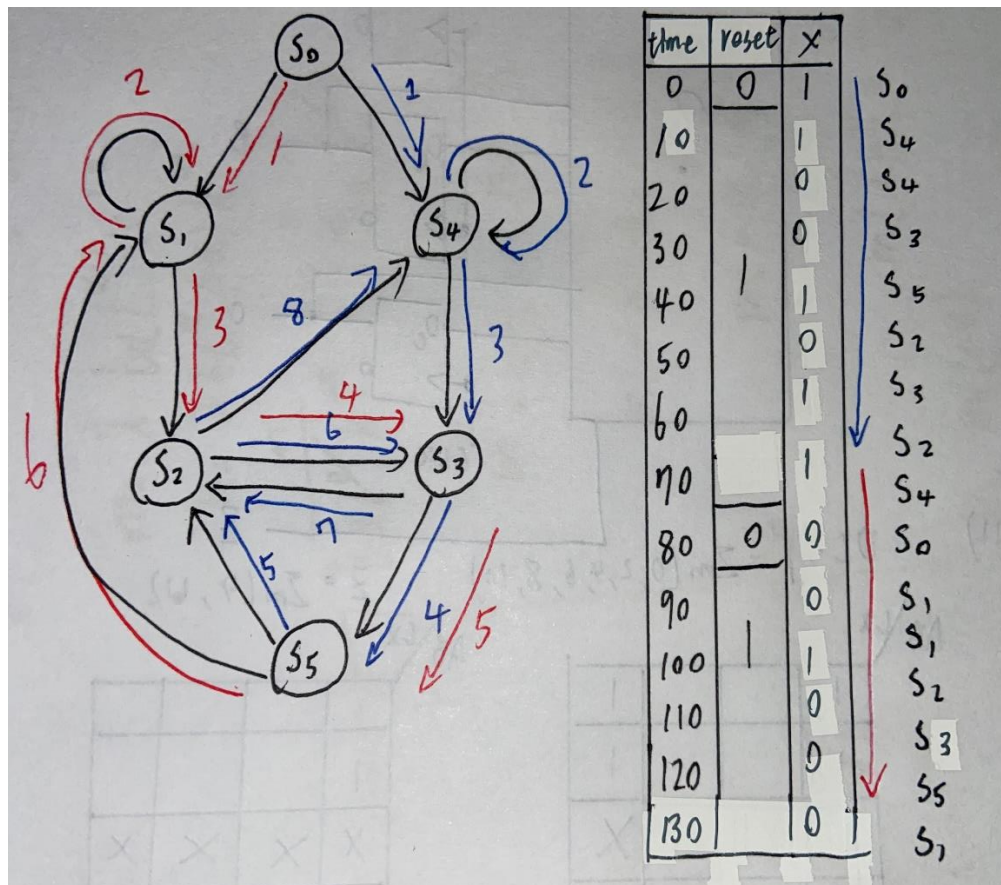


Fig. 5 state diagram route

將所有 state 的變化路線都走過一次，並確認其轉換正確，即為一完整測試，據此我設計了兩條路線來遍歷它(如 Fig. 5)，先以藍色的路線，再 reset 後，走紅色的路線，即可完成測試。

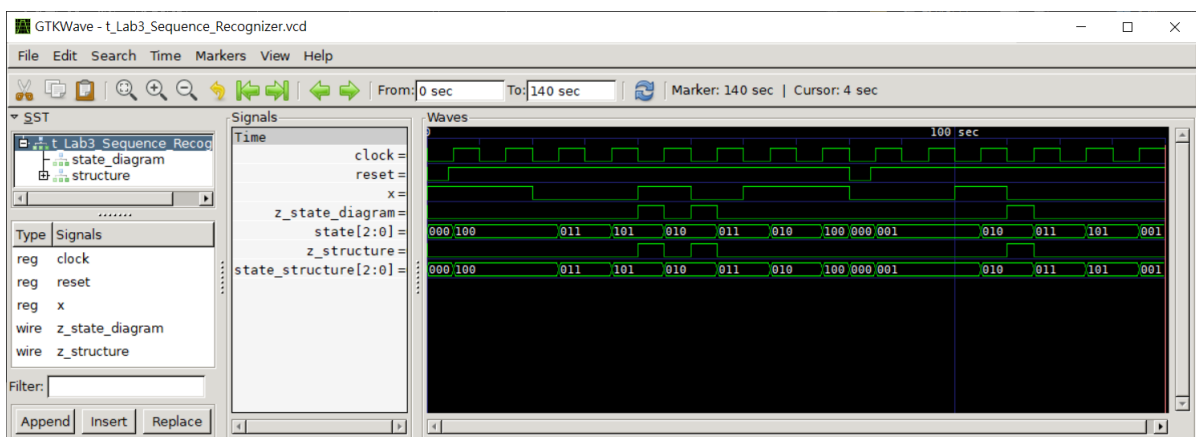


Fig. 6 Sequence Recognizer

此 clock 以 5ns 為間隔進行切換，首先依照藍色路線，先 reset，再分別到 S4, S4, S3, S5, S2, S3, S2, S4，且於 S5, x=1、S2, x=0 時，z=1。再沿著紅色路線，reset 到 S0，再依序到 S1, S1, S2, S3, S5, S1，且於 S2, x=0 時，z=1。此波形圖 state 的轉換和輸出皆符合上述結果。故此波形圖正確。

#### 4. 心得與感想、及遭遇到的問題或困難。

因為遇上疫情、加上期末將近，又要線上，又要防疫，接踵而來，事情增多，變得很忙，因此撰寫此電路時其實滿趕的，不過意外比前兩次花費更少的時間，可能是這次比較順遂？其中有遇到的困難，也都只是自己的小問題，此外最後一題的 Test，剛看到其實有點茫然，不過實際去寫，其實還好。恩，很有趣，接著忙其他事情了...