

A. 模擬並修改附檔 Simple_Circuit_prop_delay.v

- (a) 模擬附檔 Simple_Circuit.v, Simple_Circuit_prop_delay.v and t_Simple_Circuit.v 觀察兩個電路模組之結果波形圖的差異。

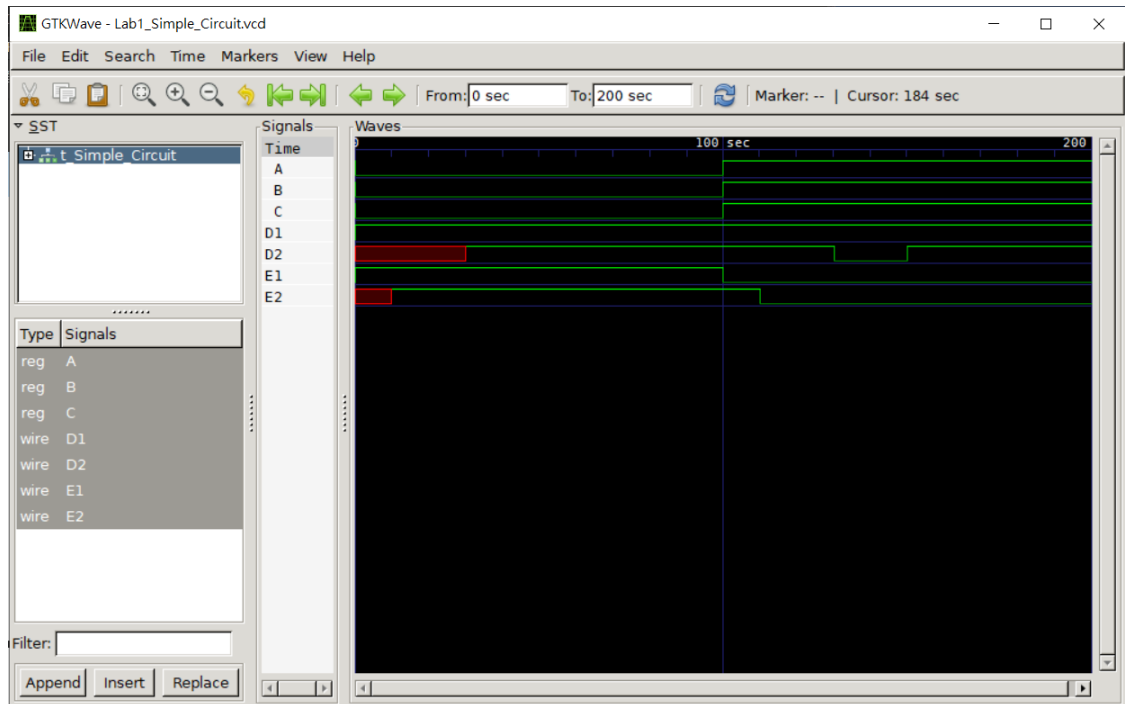


Fig. 1

其模擬一開始給予(A, B, C) = (0, 0, 0)，100s 後(A, B, C) = (1, 1, 1)。

Simple_Circuit.v 這個模組包含三個 Logic Function:

1. $w1 = AB$
2. $E1 = C'$
3. $D1 = w1 + E1$

Simple_Circuit_prop_delay.v 包含相同的 Logic Function，但多了 delay:

1. $w2 = AB$ (delay 30s)
2. $E2 = C'$ (delay 10s)
3. $D2 = w2 + E2$ (delay 20s)

根據 Fig. 1 觀察其波形可以發現(D1, E1)一開始即瞬間變成(1, 1)，因為沒有 delay，所以都是瞬間完成變化；而 E2 延遲 10s 變成 1，D2 在接受到 E2 值後再延遲 20s 變成 1 (此時 w2 的狀態仍不確定，但 $1 + X = 1$ ，因此可以確定 E2 的狀態)。

而 100s 時(D1, E1)瞬間變成(1, 0)，而 E2 延遲 10s 變成 0，D2 在接受到 E2 值後再延遲 20s 變成 0(此時 w2 的狀態是 0)，在此同時 w2 的狀態歷經 30s 延遲變成 1，D2 再因 w2 值變動再延遲 20s 變成 1。

- (b) 請將 Simple_Circuit_prop_delay.v 中，and 與 or 兩行敘述互換，存檔並重新編譯後，模擬之觀察結果波形圖。

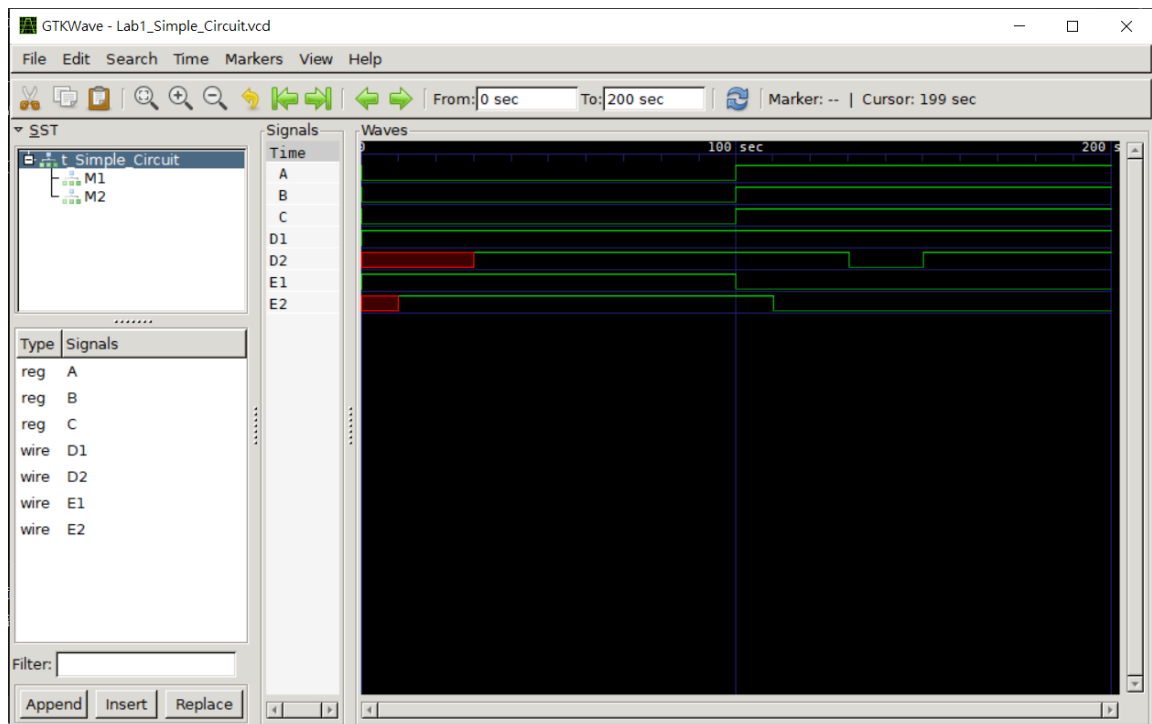


Fig. 2

根據 Fig. 1 及 Fig. 2，發現其一模一樣，因為電路與我們寫程式時一行一行執行的狀況不一樣，它是指存在一個這樣 gate 連接的電路，且每分每秒都在執行，而主要是輸入的狀態不同時會產生我們看得出來的變化，事實上其一直有在運作根據輸入經過 propagation delay 後輸出。

B. 撰寫組合電路之 HDL 電路設計模組(design module)與測試模組(testbench)

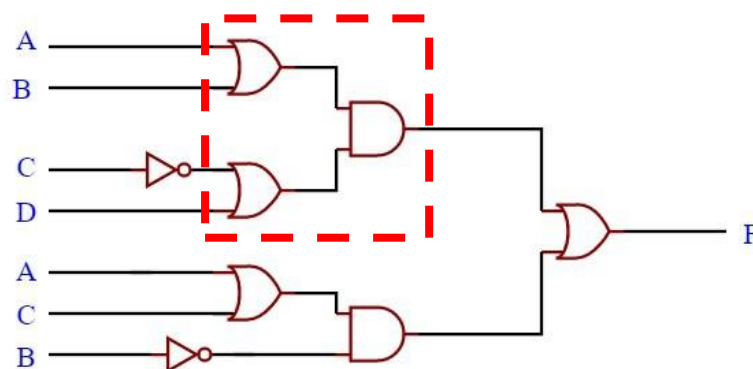


Fig. 3

- 請以 gate-level modeling 方式撰寫 Verilog 電路模組。
- 請以 dataflow modeling 方式 (assign statements) 撰寫其 HDL 電路模組。
- 請將 Fig. 3 中虛線框內之電路撰寫成 user-defined primitive (UDP)，而後利用此 UDP 設計此電路之 HDL 模組。

- (d) 請撰寫一個測試模組，來測試上述三個電路模組的所有輸入組合。存檔、編譯後，模擬之，並觀察其結果波形圖。

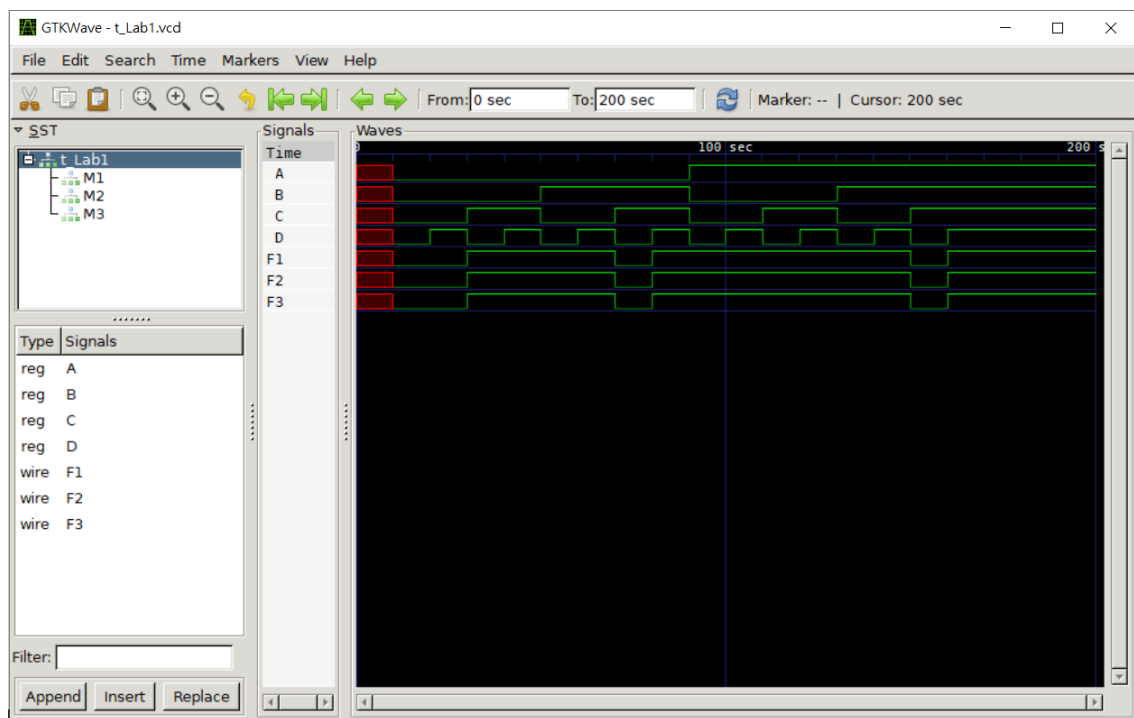


Fig. 4

根據 Fig. 4，其中的 F1 是依照 (a) 方式；F2 是依照 (b) 方式；F3 是依照 (c) 的方式撰寫的電路模擬狀況。而 (A, B, C, D) 則是從 (0, 0, 0, 0) 到 (1, 1, 1, 1) 每隔 10s 為單位 delay 進行切換，來測得該三種電路的所有輸入狀態的輸出狀況。

由 Fig. 4 可以發現三種電路的波形完全一樣，由於沒有設置 propagation delay 不論多複雜或不同的電路路徑或實作方式都在一瞬間完成，且三種方式都在描述同一個電路，因此波形應一樣。根據 Fig. 3 可寫出 logic function、並推得出 truth table 使得出 sum of midterm。 $F(A, B, C, D) = (A + B)(C' + D) + (A + C)B' = \sum m(2, 3, 4, 5, 7, 8, 9, 10, 11, 12, 13, 15)$ 。則此波形應於 30s~70s、80s~150s、160s~時為 1，固波形正確，此三種電路皆正確。

- (e) 請判斷 Fig. 3 之電路是否為該函式 gate input counts 最少之實作？若是，請說明之；若否則請推導出此函式 gate input count 最少的布林代數式，寫出 gate input count 數值，並以 AND, OR, NOT 邏輯開畫出其電路圖。

Answer: 否，該函式 GIC = 14。

由 sum of midterm 可以得出 product of maxterm， $F(A, B, C, D) = \sum m(2, 3, 4, 5, 7, 8, 9, 10, 11, 12, 13, 15) = \prod M(0, 1, 6, 14)$ 。根據 K-map method 可以得到 PIs = $(A + B + C)$, $(B' + C' + D)$ ；EPIs = $(A + B + C)$, $(B' + C' + D)$ 。即可以推得出 $F(A, B, C, D) = (A + B + C)(B' + C' + D)$ ； GIC = 10。

以 AND, OR, NOT 邏輯開畫出 $F(A, B, C, D) = (A + B + C)(B' + C' + D)$ 電路圖。

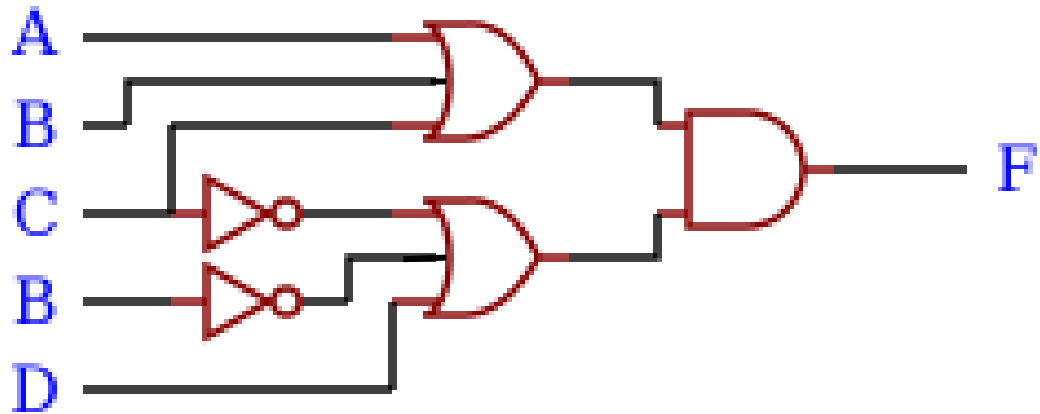


Fig. 5 (draw by <https://www.block.tw/bce/>)

C. 心得與感想、及遭遇到的問題或困難。

初嘗試硬體描述語言，還滿有趣的，在看第一題的電路的時候，讓我印象滿深刻，因為不熟悉，還沒有在心中建立它是一直運作的電路這件事實，因此在寫第一題的描述時，還有點困惑，為什麼 D2 的波形會長這樣，雖然一下子就恍然大悟了，不過算在這次 Lab 比較有印象的地方了。因為這次的 Lab 沒有太難的地方，除了前所述的問題外，就只剩下寫第二題時，有幾個檔案的檔名跑進了空白字元，導致出問題，還害我找了一下之類的问题而已。對了，還有 UDP 的 A B C D : F 是註解我沒發現，使 code 一直跑不起來...，大概就這樣。