數位電路設計Lab1 109550206 陳品劭

1. 模擬並修改附檔 Simple\_Circuit\_prop\_delay.v
   1. 模擬附檔 Simple\_Circuit.v, Simple\_Circuit\_prop\_delay.v and t\_Simple\_Circuit.v 觀察兩個電路模組之結果波形圖的差異。

|  |
| --- |
|  |
| Fig. 1 |
| 其模擬一開始給予(A, B, C) = (0, 0, 0)，100s後(A, B, C) = (1, 1, 1)。  Simple\_Circuit.v這個模組包含三個Logic Function:   1. w1 = AB 2. E1 = C’ 3. D1 = w1 + E1   Simple\_Circuit\_prop\_delay.v包含相同的Logic Function，但多了delay:   1. w2 = AB (delay 30s) 2. E2 = C’ (delay 10s) 3. D2 = w2 + E2 (delay 20s)   根據Fig. 1觀察其波形可以發現(D1, E1)一開始即瞬間變成(1, 1)，因為沒有delay，所以都是瞬間完成變化；而E2延遲10s變成1，D2在接受到E2值後再延遲20s變成1 (此時w2的狀態仍不確定，但1 + X = 1，因此可以確定E2的狀態)。  而100s時(D1, E1)瞬間變成(1, 0)，而E2延遲10s變成0，D2在接受到E2值後再延遲20s變成0(此時w2的狀態是0)，在此同時w2的狀態歷經30s延遲變成1，D2再因w2值變動再延遲20s變成1。 |

* 1. 請將 Simple\_Circuit\_prop\_delay.v 中，and與or兩行敘述互換，存檔並重新編譯後，模擬之觀察結果波形圖。

|  |
| --- |
|  |
| Fig. 2 |
| 根據Fig. 1及Fig. 2，發現其一模一樣，因為電路與我們寫程式時一行一行執行的狀況不一樣，它是指存在一個這樣gate連接的電路，且每分每秒都在執行，而主要是輸入的狀態不同時會產生我們看得出來的變化，事實上其一直有在運作根據輸入經過propagation delay後輸出。 |

1. 撰寫組合電路之HDL 電路設計模組(design module)與測試模組(testbench)

|  |
| --- |
|  |
| Fig. 3 |

* 1. 請以gate-level modeling方式撰寫Verilog電路模組。
  2. 請以dataflow modeling方式 (assign statements) 撰寫其HDL電路模組。
  3. 請將Fig. 3中虛線框內之電路撰寫成user-defined primitive (UDP)，而後利用此UDP設計此電路之HDL模組。
  4. 請撰寫一個測試模組，來測試上述三個電路模組的所有輸入組合。存檔、編譯後，模擬之，並觀察其結果波形圖。

|  |
| --- |
|  |
| Fig. 4 |
| 根據Fig. 4，其中的F1是依照 (a) 方式；F2是依照 (b) 方式；F3是依照 (c) 的方式撰寫的電路模擬狀況。而 (A, B, C, D) 則是從 (0, 0, 0, 0) 到 (1, 1, 1, 1) 每隔10s為單位delay進行切換，來測得該三種電路的所有輸入狀態的輸出狀況。  由Fig. 4可以發現三種電路的波形完全一樣，由於沒有設置propagation delay不論多複雜或不同的電路路徑或實作方式都在一瞬間完成，且三種方式都在描述同一個電路，因此波形應一樣。根據Fig. 3可寫出logic function、並推得出truth table使得出sum of midterm。F(A, B, C, D) = (A + B)(C’ + D) + (A + C)B’ = 。則此波形應於30s~70s、80s~150s、160s~時為1，固波形正確，此三種電路皆正確。 |

* 1. 請判斷Fig. 3之電路是否為該函式gate input counts最少之實作?若是，請說明之：若否則請推導出此函式gate input count最少的布林代數式，寫出gate input count數值，並以AND, OR, NOT邏輯閘畫出其電路圖。

Answer: 否，該函式GIC = 14。

由sum of midterm可以得出product of maxterm， F(A, B, C, D) = 。根據K-map method可以得到PIs = (A + B + C), (B’ + C’ + D)；EPIs = (A + B + C), (B’ + C’ + D)。即可以推得出F(A, B, C, D) = (A + B + C)(B’ + C’ + D)； GIC = 10。

以AND, OR, NOT邏輯閘畫出F(A, B, C, D) = (A + B + C)(B’ + C’ + D) 電路圖。

|  |
| --- |
|  |
| Fig. 5 (draw by <https://www.block.tw/bce/> ) |

1. 心得與感想、及遭遇到的問題或困難。

初嘗試硬體描述語言，還滿有趣的，在看第一題的電路的時候，讓我印象滿深刻，因為不熟悉，還沒有在心中建立它是一直運作的電路這件事實，因此在寫第一題的描述時，還有點困惑，為什麼D2的波形會長這樣，雖然一下子就恍然大悟了，不過算在這次Lab比較有印象的地方了。因為這次的Lab沒有太難的地方，除了前所述的問題外，就只剩下寫第二題時，有幾個檔案的檔名跑進了空白字元，導致出問題，還害我找了一下之類的問題而已。對了，還有UDP的A B C D : F是註解我沒發現，使code一直跑不起來…，大概就這樣。