

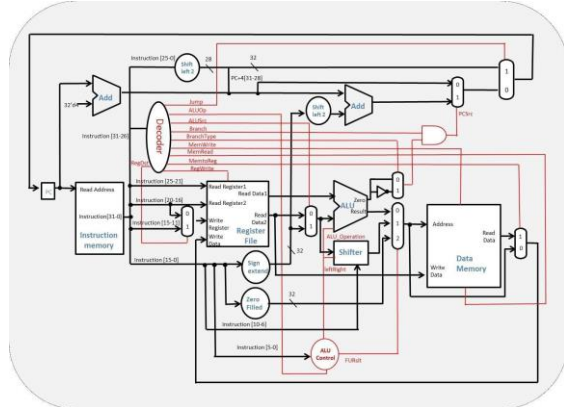
Computer Organization Lab3

1. Architecture diagrams:

Basic instruction: same as Fig.

Advance set 1: 增加一個 jal control 控制 reg writer PC+到 reg[31] ; decode jr and let address be reg[31] 。

Advance set 2: 增加 rt control 當 bgez 指令時設 rt 為 0 。



2. Hardware module analysis:

Adder: 加法器 。

ALU: 處理 and or nor slt add sub...的算術電路 。

ALU_Ctrl: decode ALU 所需的 control signals 。

Data_Memory: 主記憶體 。

Decoder: decode control signals 。

Instr_Memory: 指令存放的記憶體 。

Mux2to1: 二選一選擇器 。

Mux3to1: 三選一選擇器 。

Program_Counter: 控制指令執行 by clock 。

Reg_File: register 。

Shifter: shift left or right x bits 。

Sign_Extend: extend the number 。

Simple_Single_CPU: CPU 線路連接電路

Zero_Filled: 補 16 個 0 於高位元 。

3. Finished part:

Basic instruction 、Advance set 1 、Advance set 2

4. Problems you met and solutions:

Nope.

5. Summary:

實際體會到 CPU 的接線方式 。