**Computer Organization Lab3**

1. **Architecture diagrams:**

|  |  |
| --- | --- |
| Basic instruction: same as Fig.  Advance set 1: 增加一個jal control控制reg writer PC+到reg[31]；decode jr and let address be reg[31]。  Advance set 2: 增加rt control當bgez指令時設rt為0。 |  |

1. **Hardware module analysis:**

Adder: 加法器。

ALU: 處理and or nor slt add sub…的算術電路。

ALU\_Ctrl: decode ALU所需的control signals。

Data\_Memory: 主記憶體。

Decoder: decode control signals。

Instr\_Memory: 指令存放的記憶體。

Mux2to1: 二選一選擇器。

Mux3to1: 三選一選擇器。

Program\_Counter: 控制指令執行by clock。

Reg\_File: regster。

Shifter: shift left or right x bits。

Sign\_Extend: extend the number。

Simple\_Single\_CPU: CPU線路連接電路

Zero\_Filled: 補16個0於高位元。

1. **Finished part:**

Basic instruction、Advance set 1、Advance set 2

1. **Problems you met and solutions:**

Nope.

1. **Summary:**

實際體會到CPU的接線方式。