

# 运算器及其应用

计算机组成原理实验一

PB19071501 李平治

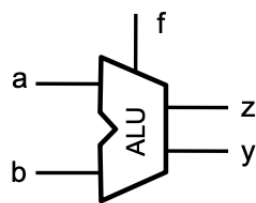
## 实验目的

- 掌握算术逻辑单元(ALU)的功能
- 掌握数据通路和控制器的设计方法
- 掌握组合电路和时序电路，以及参数化和结构化的 Verilog描述方法
- 了解查看电路性能和资源使用情况

## 逻辑设计

### 1. 算术逻辑单元 ALU

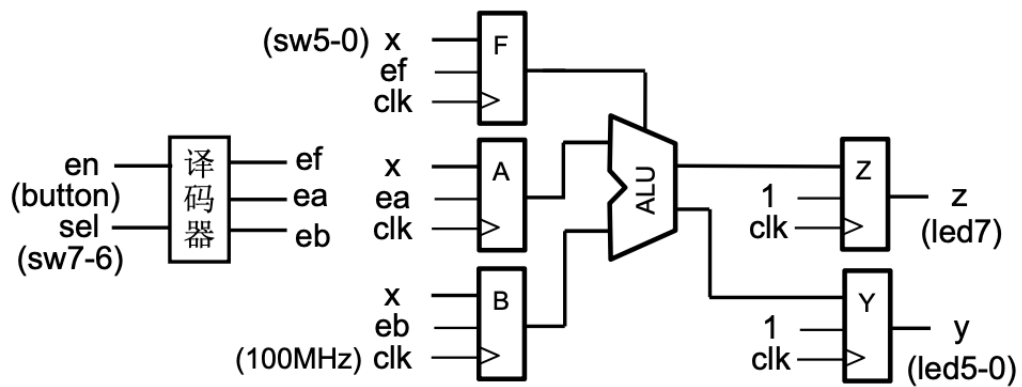
- 模块功能表：



ALU 模块功能表

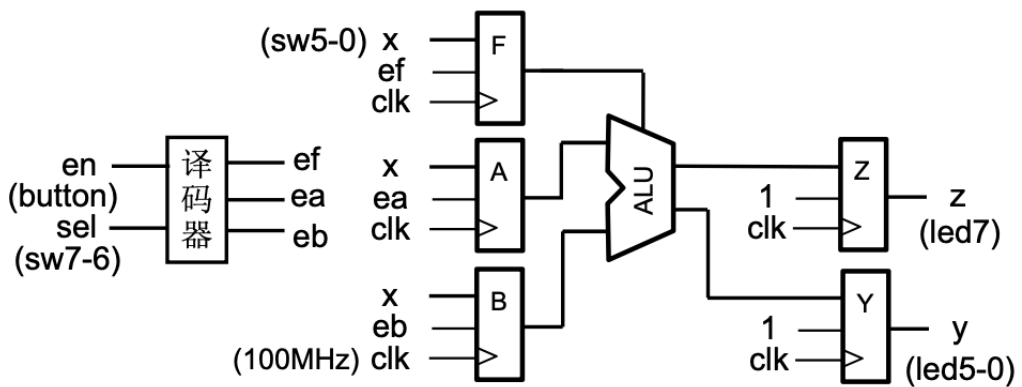
f	y	z
000	$a + b$	*
001	$a - b$	*
010	$a \& b$	*
011	$a   b$	*
100	$a \wedge b$	*
其他	0	1

- 数据通路：

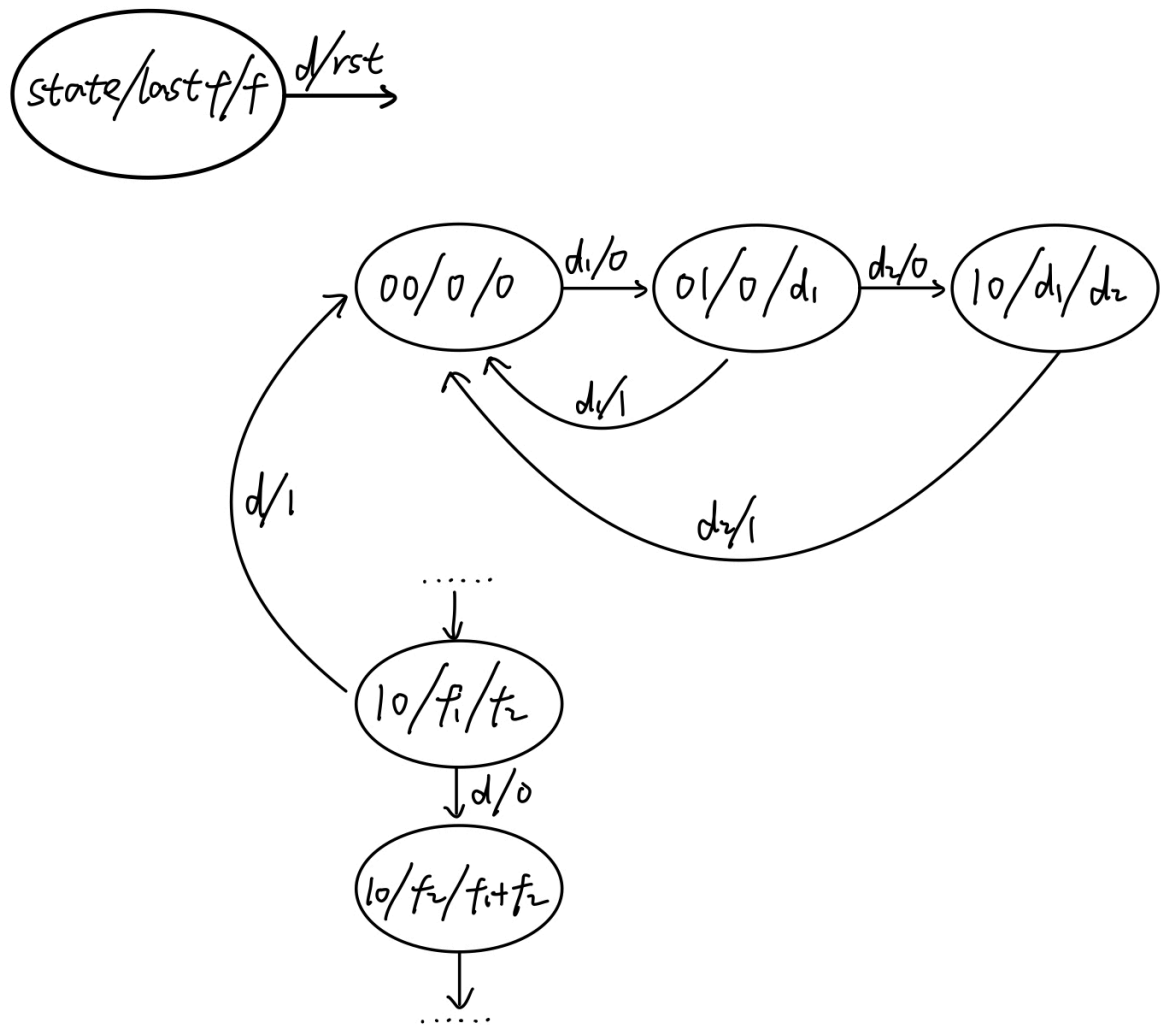


## 2. ALU 应用：计算斐波那契—卢卡斯数列 (Fibonacci Lucas Series)

- 数据通路：



- 状态图：



## 核心代码

- ALU:

```

1  parameter A_ADD = 3'b000;
2  parameter A_SUB = 3'b001;
3  parameter A_AND = 3'b010;
4  parameter A_OR = 3'b011;
5  parameter A_XOR = 3'b100;
6  always@(*)
7  begin
8      case (f)
9          A_ADD:begin
10             y = a + b;
11             z = 0;
12         end

```

```

13         A_SUB:begin
14             y = a - b;
15             z = 0;
16         end
17         A_AND:begin
18             y = a & b;
19             z = 0;
20         end
21         A_OR:begin
22             y = a | b;
23             z = 0;
24         end
25         A_XOR:begin
26             y = a ^ b;
27             z = 0;
28         end
29         default: begin
30             y = 0;
31             z = 1;
32         end
33     endcase
34 end

```

- FLS 计算:

```

1     parameter addOp = 3'b000;
2     reg [6:0]lastf;
3     wire [6:0]subf;
4     reg [6:0]nextf;
5     reg [1:0]currstate;
6     reg [1:0]nextstate;
7     reg [23:0]counter;
8     //时钟分频, 用于去毛刺
9     always@(posedge clk)begin
10         counter <= counter + 1'b1;
11     end
12
13     //用alu模块生成预赋值信号
14     alu #(7) alu(.a(f), .b(lastf), .f(addOp), .y(subf));
15     //由当前状态和输入信号生成下一状态值
16     always@(*)begin
17         if (rst) begin
18             nextstate <= 2'b00;
19             nextf <= 7'b0000_000;
20         end else if(en)begin
21             case (currstate)
22                 2'b00: begin

```

```

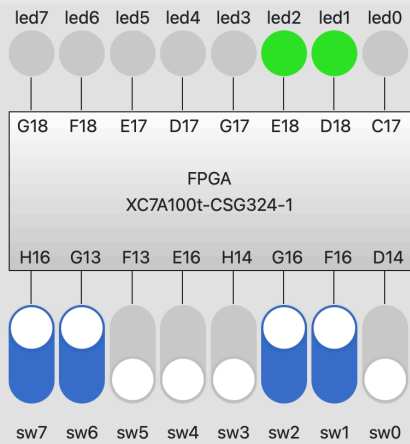
23         nextf = d;
24         nextstate = 2'b01;
25     end
26     2'b01: begin
27         nextf = d;
28         nextstate = 2'b10;
29     end
30     default: begin
31         nextf = subf;
32     end
33 endcase
34 end else begin
35     nextf = f;
36     nextstate = currstate;
37 end
38 end
39
40 //时钟上升沿赋值
41 always @(posedge counter[23]) begin
42     if (rst) begin
43         currstate <= 2'b00;
44         lastf <= 7'b0000_000;
45         f <= 7'b0000_000;
46     end else if(en)begin
47         currstate <= nextstate;
48         f <= nextf;
49         lastf <= f;
50     end
51 end

```

## 仿真与下载结果

- 下图演示了烧写 ALU 模块后进行 3+15 的算术运算

## FPGA interface



segplay(sharing with led) hexplay



segplay pin: dot seg\_gseg\_f seg\_eseg\_dseg\_cseg\_bseg\_a  
 xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17  
 hexplay pin: an2 an1 an0 d3 d2 d1 d0

## uart

FPGAOL uart beta 1.0

>

uart pins: cts rts rxd txd  
 xdc,ucf sym: D3 E5 D4 C4  
 baud rate: 115200

soft clock

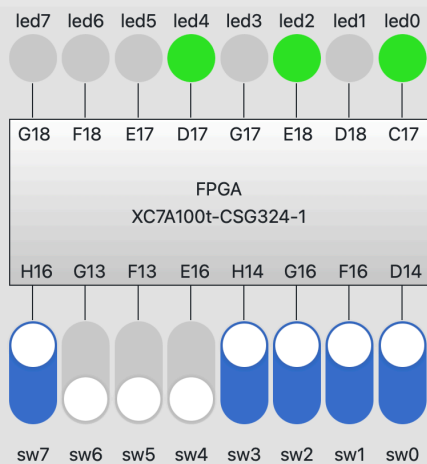
None

button



clk btn pins: clk\_btn  
 xdc,ucf sym: B18

## FPGA interface



segplay(sharing with led) hexplay



## uart

FPGAOL uart beta 1.0

>

uart pins: cts rts rxd txd  
 xdc,ucf sym: D3 E5 D4 C4  
 baud rate: 115200

soft clock

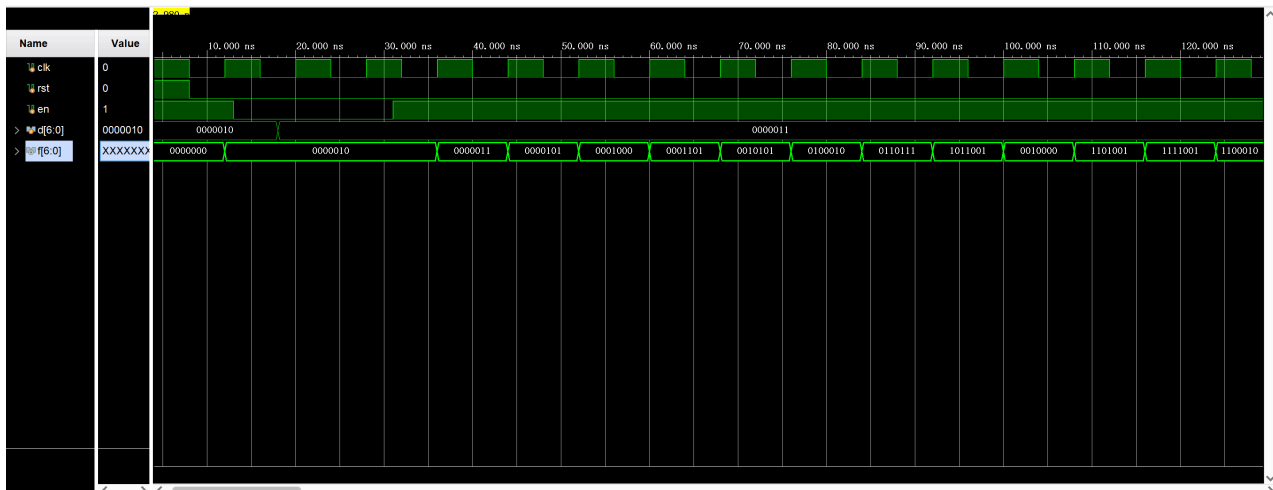
None

button

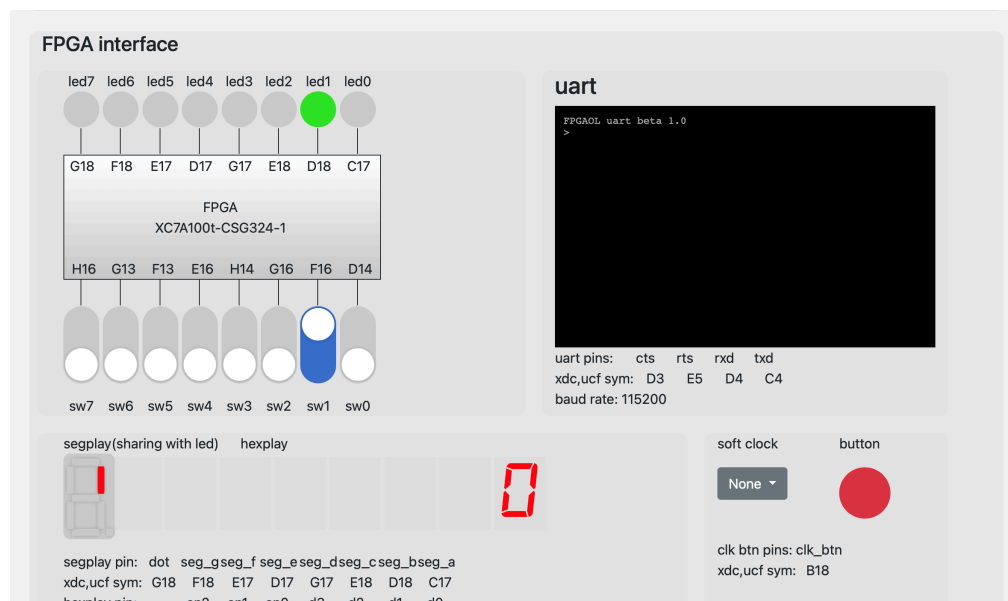
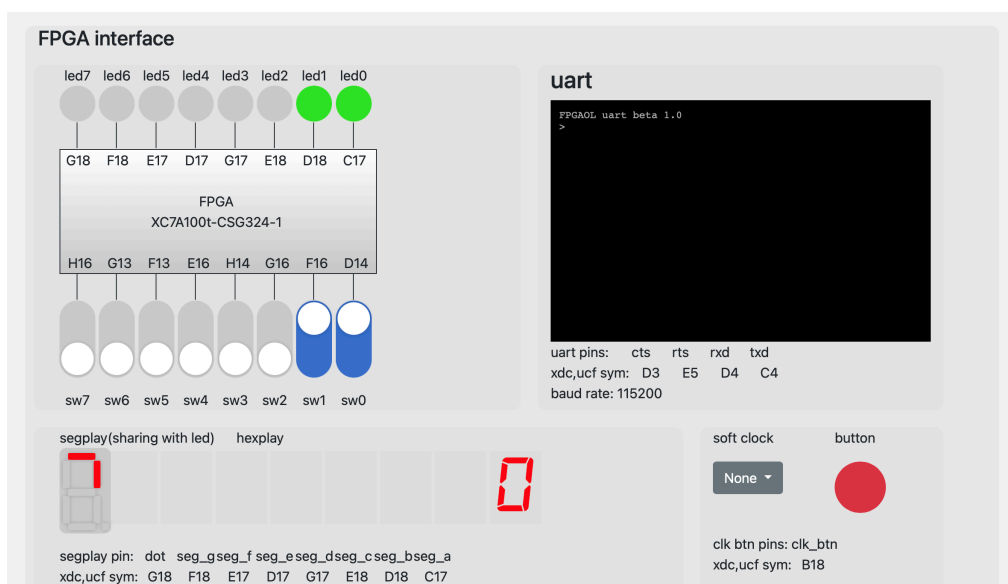


clk btn pins: clk btn

- 下图以初始值为 2 和 3 为例，仿真演示了 FLS 计算



- 下图以初始值为 3 和 2 为例，烧写后演示了 FLS 计算



FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA  
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

segplay(sharing with led) hexplay

segplay pin: dot seg\_gseg\_f seg\_eseg\_dseg\_cseg\_bseg\_a

xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17

uart

FPGAOL uart beta 1.0  
>

uart pins: cts rts rxd txd  
xdc,ucf sym: D3 E5 D4 C4  
baud rate: 115200

soft clock button

None

clk btn pins: clk\_btn  
xdc,ucf sym: B18

FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA  
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

segplay(sharing with led) hexplay

segplay pin: dot seg\_gseg\_f seg\_eseg\_dseg\_cseg\_bseg\_a

xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17

hexplay pin: an2 an1 an0 d3 d2 d1 d0

xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

uart

FPGAOL uart beta 1.0  
>

uart pins: cts rts rxd txd  
xdc,ucf sym: D3 E5 D4 C4  
baud rate: 115200

soft clock button

None

clk btn pins: clk\_btn  
xdc,ucf sym: B18

FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA  
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

segplay(sharing with led) hexplay

segplay pin: dot seg\_gseg\_f seg\_eseg\_dseg\_cseg\_bseg\_a

xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17

uart

FPGAOL uart beta 1.0  
>

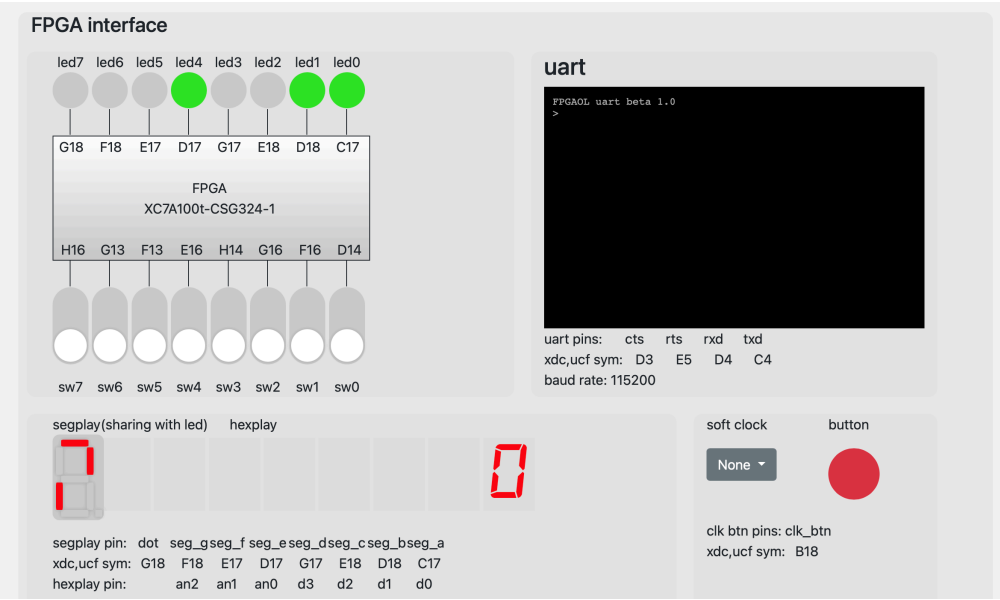
uart pins: cts rts rxd txd  
xdc,ucf sym: D3 E5 D4 C4  
baud rate: 115200

soft clock button

None

clk btn pins: clk\_btn  
xdc,ucf sym: B18





# 结果分析

仿真与下载结果符合设计预期，综合性能良好，结构清晰，总体满足要求。

# 实验总结

作为本学期计算机组成原理第一次实验，难度较小。

通过本次试验，复习了 Verilog HDL 语法，熟悉了 Vivado 开发环境和仿真、下载，为后续实验打好基础。