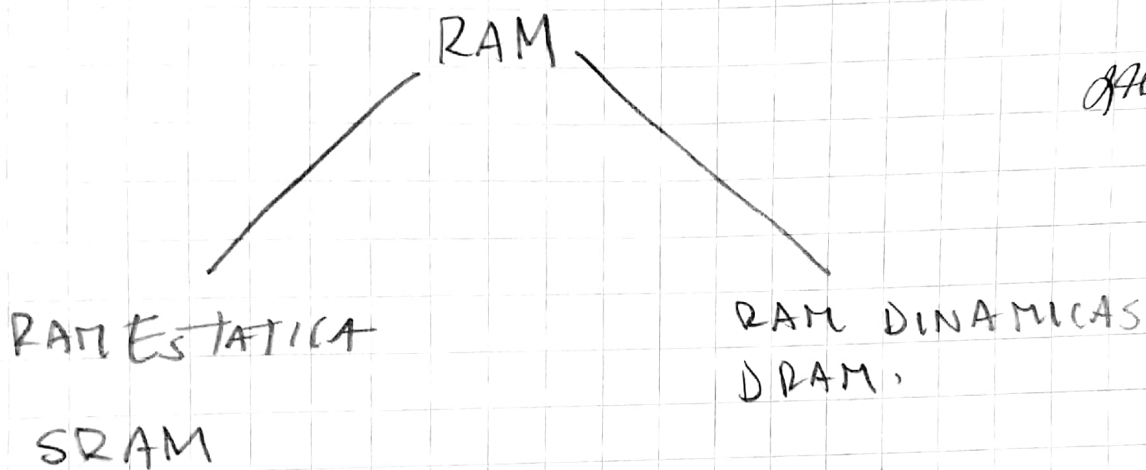


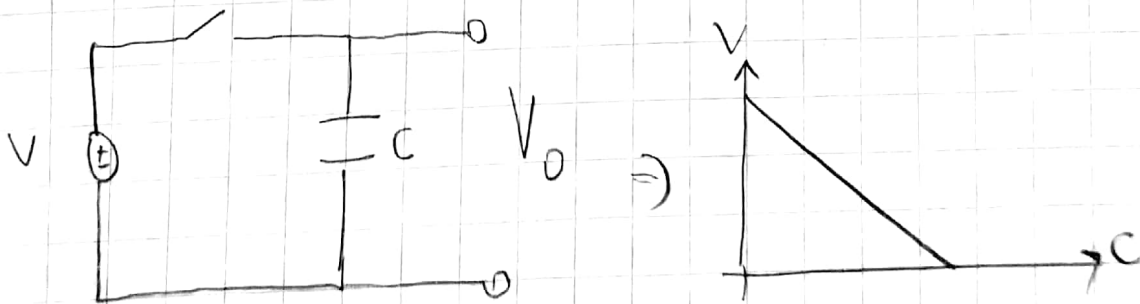
27 julio 2020.

## Memoria RAM (605)

- Es una memoria volátil (no almacena datos temporales); capacidad de lectura y escritura. (W/R)



DRAM : Utilizan condensadores.



Se ahorra energía y se calienta menos

22 Julio 2020.

## → SRAM

- Los datos se leen muy rápido en SRAM que en DRAM; sin embargo las DRAM almacenan más datos

## • DRAM

- Se Ahorra energía
- se calienta menos
- Almacenan más datos
- Tienen "Refresco dinámico"

## • SRAM

- los datos se leen más rápidos.
- la base de SRAM (transistores) son tecnología MOS
- no tienen "Refresco dinámico"

Estudiar pag. 608 - 614

## Memoria cache:

Es una memoria de alta velocidad que almacena los datos más recientes de la memoria principal.

CACHE L1: Este es un chip del procesador y tiene capacidad limitada, llamado también cache primario, generalmente guarda instrucciones y datos recientemente utilizados.

CACHE L2: Un chip o conjunto de chips de memoria independientes externos al procesador y dispone de más almacenamiento que CACHE L1.

27 JULIO 2010.

## Memoria Flash. (632)

- La memoria ideal debe tener alta capacidad de almacenamiento no volátil (ser rápida y disponer de R/W en el propio sistema y que sea de bajo costo accesible).
- Las Memorias Flash son R/W de alta densidad y no volátiles; lo que significa que pueden almacenar datos en ausencia de alimentación de energía.
- La alta densidad que consigue la memoria flash.

Transistor MOS de puerta flotante

# Modulos DE MEMORIA.

29 Julio 2020

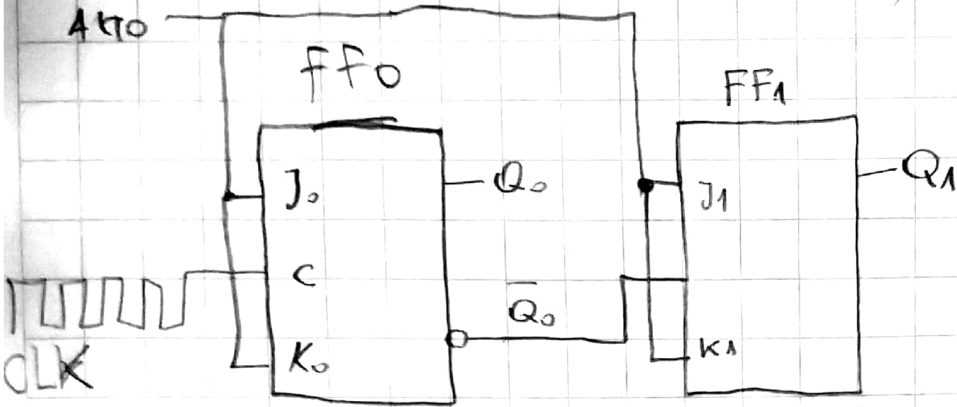
Las RAM de <sup>seenden</sup> forma modulo de memoria de terminal simple y/o como modulos de memoria de terminal doble (DUAL in line memory).

Los DIN y los SIM son pequeñas tarjetas de cto. impreso en que se montan chips de memoria con las salidas conectadas a una conexión de Bordo situada en parte inferior de la tarjeta.

La diferencia fundamental entre ambas combinaciones es el formato de "BUS DE Datos".

DIN	DDR2
"	DDR3
"	DDR4
"	DDR5

## Contador Asincrono: (476)



• Modo basculación  $\Rightarrow J=1, K=1$

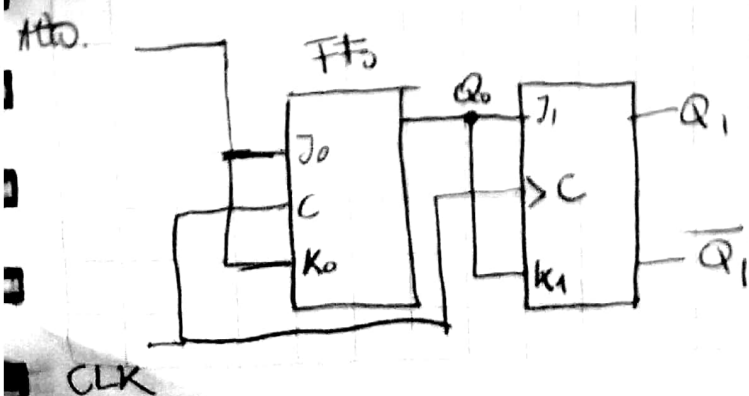
+ NOTA: la entrada C al activarse con un CLK (clock); cambia a  $Q_0$  a un estado ATO(1) y luego hace intercalados, 1-0-1-0.

$$Q_0 = 1, 0, 1, 0 \quad Q_1 = 0, 1, 1, 0$$

$$\bar{Q}_0 = 0, 1, 0, 1$$

✓✓ quedamos en 111

## Contador Sincrono (486)



volatil  $\rightarrow$  RAM

## Registro de Desplazamiento (553)

Entrada Serie / salida Serie

