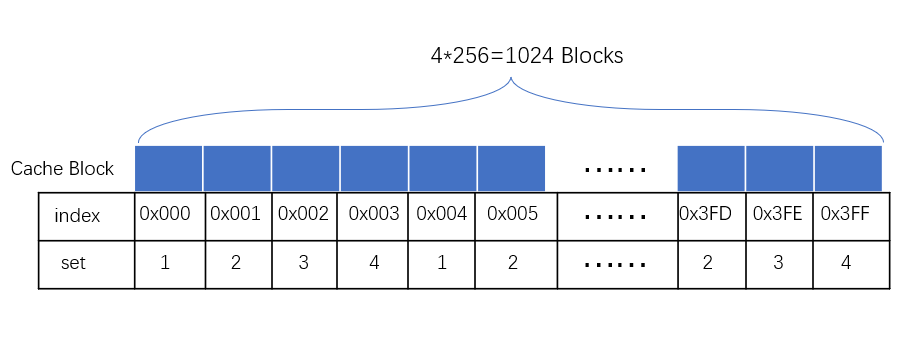
**4. A 4-way set associative cache between memory and ARM CPU.**

In this problem, we build a 4\_way set associative cache between memory and ARM CPU. First define the structure of cache as below:



Connect the data mem to the cache, the structure is showed below:

图示

低可信度描述已自动生成

遇到的问题：

1. 在模块互联时发现数据传输出现错误，总是得不到正确的数值，最终解决，发现是因为队友的代码中使用的是ordered port connection，但是在代码实现时我没有注意端口的顺序，导致端口连接失败。
   1. 在Verilog中，模块之间的端口连接方式有两种：ordered port connection 和 named port connection。Ordered port connection 是使用位置顺序进行端口连接的方式。
   2. Named port connection 是使用名称进行端口连接的方式。使用 named port connection 可以让代码更加清晰易读，因为可以直接看到每个端口和对应的信号名称，而无需依赖于位置顺序。