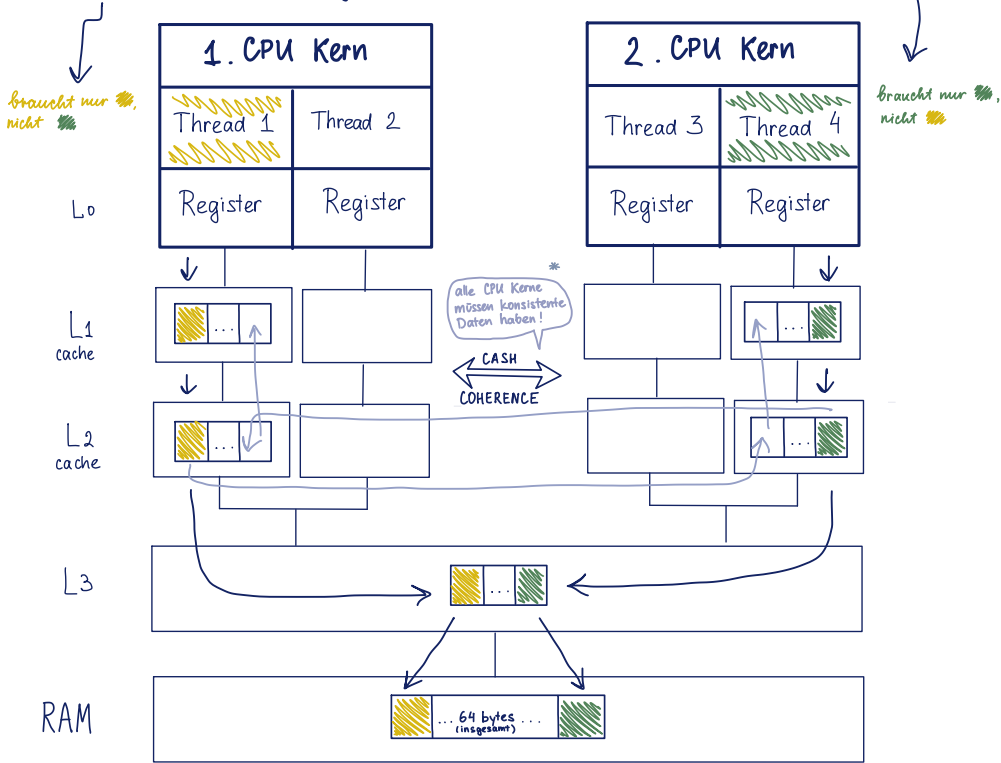


Wieso "False Sharing"?



* Cache Coherence Protokoll "MESI"

1 Thread 1 schreibt in



Status von Cacheline

modified

2 Thread die dieselbe Cacheline besitzen werden "benachrichtigt"

"invalidate" Signal

3 Thread 4 markiert Cacheline als invalid



Status von Cacheline

invalid

4 Thread 4 will lesen oder schreiben



aktualisierte Cacheline anfordern!

- aus dem Cache vom Thread 1 (falls noch modified)
- aus dem RAM (falls Thread 1 bereits Änderungen geschickt hat)

neues invalidate Signal

[Thread 4]

Problem:

obwohl & unabhängig sind, verursachen sie wegen Teilen der Cacheline unnötigen Synchronisationsaufwand (False Sharing)