

Roteiro utilizando TCL Scripting

Prof. Dr. Alexandre Coelho

1 Trabalho Disciplina

A tabela ?? representa a descrição de uma ULA (unidade Lógica Aritmética) de 8 bits, contendo as entradas A (8 bits), B (8 bits), M (1 bit) e S (3 bits) e saída F (8 bits). Neste trabalho pede-se para construir em SystemVerilog o seu design e testbench. Além disso, faz-se necessário extrair a área, potência e netlist utilizando pelo menos duas tecnologias diferentes, como por exemplo de 180nm e 45nm. Importante verificar se o netlist gerado pela ferramenta está funcional. Neste sentido, faz-se necessário executar uma simulação em nível de gates para verificação dos resultados. Os entregáveis desse trabalho são:

1. RTL em SystemVerilog;
2. Testbench em SystemVerilog;
3. Análise de área e power de pelo menos duas tecnologias de fabricação diferente;
4. Netlist com suas funcionalidades validadas
5. TCL script utilizado na síntese

SELECTION			M = 1	M = 0
S2	S1	S0	LOGIC FUNCTION	ARITHMETIC OPERATIONS
0	0	0	$F = \overline{A}$	$F = A + B$
0	0	1	$F = \overline{A \text{ or } B}$	$F = A - B$
0	1	0	$F = \overline{A \text{ and } B}$	$F = A * B$
0	1	1	$F = A \text{ xor } B$	$F = A / B$
1	0	0	$F = A \text{ and } B$	$F = A - 1$
1	0	1	$F = A \text{ or } B$	$F = B - 1$
1	1	0	$F = A \text{ xor } B$	$F = A + \overline{B}$
1	1	1	$F = \overline{B}$	$F = \overline{A} + B$

Figura 1: Tabela funcional para uma ULA de 8 bits com entradas A, B, M e S e saída F.