

DELCPG010 - LÓGICA DIGITAL

[Painel](#) / [Cursos](#) / [Presencial • UFSM](#) / [Curso de Especialização em Microeletrônica - Lato Sensu](#) / [2024/2. Semestre](#)
/ [C:1160/T:1160/D:DELCPG010/A:2024/P:102](#) / [Geral](#) / [Avaliação parcial 1 - parte 2](#)

Avaliação parcial 1 - parte 2

Aberto: quinta, 28 nov 2024, 14:30

Vencimento: quinta, 28 nov 2024, 17:15

✓ Concluído

Resolva os problemas que se pede a seguir considerando:

- Resoluções e entregas são individuais.
- Você pode consultar o material didático da disciplina (offline), outros materiais em meio físico ou digital (offline) e respostas de problemas que já tenha resolvido anteriormente
- É proibido a consulta a endereços na internet, colegas, professores, tutores e outros profissionais e é vedado o uso de ferramentas de elaboração de texto assistida por inteligência artificial.
- Se algum estudante for flagrado infringindo qualquer das regras ele será desclassificado imediatamente e sua avaliação terá avaliação zero sem prejuízo a outras medidas cabíveis considerando o Código de Ética e Convivência Discente da Universidade Federal de Santa Maria.
- Salvar os arquivos com extensão .sv (códigos fonte); também fazer o envio deles na tarefa faz parte da atividade e é requisito para ter a avaliação completada. Não serão aceitos envios por outro meio.



Implemente a solução para o problema de uma sinaleira completa

Elabore a máquina de estados dentro de um design chamado sinaleira2 que controla uma sinaleira completa no cruzamento entre duas ruas com etapas de passagem de pedestre.

Para implementar os tempos use o seu número de matrícula (mesmo usado para acesso ao Moodle) com o formato: 2024123456 sendo o dígito menos significativo o valor de X (no exemplo X=6) e o segundo menos significativo o valor de Y (no exemplo Y = 5). **Se um dígito de sua matrícula para X ou Y for ZERO troque ele por 10 (se 2024123406, então Y=10).**

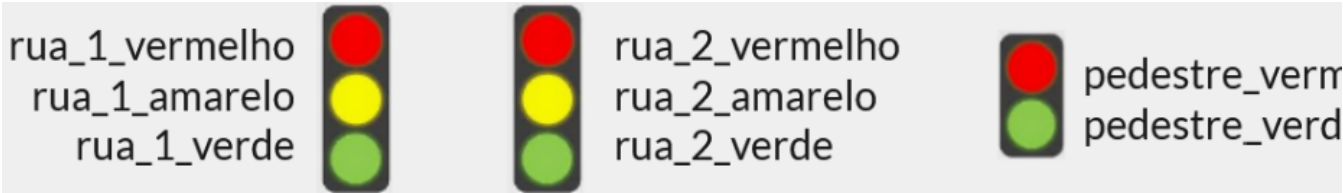
Você deverá contar o tempo em cada estado para garantir a temporização de cada etapa:

- Rua 1 permanece VERDE por X segundos
- Rua 2 permanece VERDE por Y segundos
- A transição por AMARELO deve durar 2 segundos em qualquer dos casos que ocorrer ligação desta luz.
- Para os pedestres permanece VERDE por 5s após pedido (porta "pedestre" em nível alto)

Entradas

- clk - relógio do sistema com frequência 1 Hz
- reset - ativo em nível alto, faz o estado voltar a "Início"
- pedestre - 1 bit - chamada de pedestre para atravessar

Saídas



Correção tardia: uma saída era chamada "pedestre_2_verde", fora do padrão, então foi trocada por "pedestre_verde". Os dois nomes são aceitos nas soluções.

É esperado que as transições das sinaleiras de veículos passem por AMARELO antes de ir para VERMELHO. A transição de VERMELHO para VERDE pode ser direta.

Nunca mais de um VERDE pode aparecer simultaneamente para os carros ou pedestre, mas pode aparecer duas ou mais VERMELHAS simultaneamente.

Você tem a liberdade de definir como ocorrem as transições e casos não indicados explicitamente aqui.

Apresente um design em System Verilog que tenha estas interfaces e gere as saídas conforme descrito.

Você poderá reutilizar suas soluções de problemas sugeridos como ponto de partida para esta questão, isso não será considerado auto-plágio.

(peso 1) Declaração das interfaces

(peso 3) Implementação da máquina de estados - somente HDL, não é necessário entregar o diagrama de estados

(peso 3) Tempos corretamente implementados

(peso 2) Criação das saídas

(peso 1) Testbench funcional





O que entregar

Os arquivos entregues devem ser compiláveis com sintaxe Verilog ou System Verilog com o Xcelium. Devem ser entregues na tarefa:

- design descrito em System Verilog em um arquivo chamado **sinaleira2.sv** e

- o testbench mínimo descrito em System Verilog chamado **tb_sinaleira2.sv** e que instancie o design e forneça estímulos mínimos para as entradas que permita inspeção manual do comportamento


Status de envio

Status de envio	Enviado para avaliação		
Status da avaliação	Avaliado		
Tempo restante	A tarefa foi enviada 13 minutos 28 segundos adiantado		
Última modificação	quinta, 28 nov 2024, 17:01		
Envios de arquivo	 sinaleira2.sv	28 novembro 2024, 17:01	
	 tb_sinaleira2.sv	28 novembro 2024, 16:59	

Comentários
sobre o envio

► [Comentários \(0\)](#)

Feedback

Nota	8,25 / 10,00
Avaliado em	quarta, 4 dez 2024, 14:52
Avaliado por	 LUCAS TEIXEIRA
Comentários de feedback	<div><div>+</div><div>(1/1) Declaração das interfaces</div><div>(2/3) Implementação da máquina de estados - somente HDL, não é necessário entregar o diagrama de estados</div><div>...</div></div>



◀ [Avaliação parcial 1 - parte 1](#)

Seguir para...

[05/12/2024 - Aula 12 - Blocos de memória RAM, parâmetros, construção, vantagens e limitação de desempenho](#) ►



Contato :  [Suporte Moodle](#) |  [Serviços](#)