

DELCPG010 - LÓGICA DIGITAL

[Painel](#) / [Cursos](#) / [Presencial • UFSM](#) / [Curso de Especialização em Microeletrônica - Lato Sensu](#) / [2024/2. Semestre](#)
/ [C:1160/T:1160/D:DELCPG010/A:2024/P:102](#) / [Geral](#) / [Avaliação parcial 1 - parte 1](#)

Avaliação parcial 1 - parte 1

Aberto: quinta, 28 nov 2024, 08:30

Vencimento: quinta, 28 nov 2024, 10:10

Marcar como feito

Resolva os problemas que se pede a seguir considerando:

- Resoluções e entregas são individuais.
- Você pode consultar o material didático da disciplina (offline), outros materiais em meio físico ou digital (offline) e respostas de problemas que já tenha resolvido anteriormente
- É proibido a consulta a endereços na internet, colegas, professores, tutores e outros profissionais e é vedado o uso de ferramentas de elaboração de texto assistida por inteligência artificial.
- Se algum estudante for flagrado infringindo qualquer das regras ele será desclassificado imediatamente e sua avaliação terá avaliação zero sem prejuízo a outras medidas cabíveis considerando o Código de Ética e Convivência Discente da Universidade Federal de Santa Maria.
- Salvar os arquivos com extensão .txt (questão 1) e .sv (códigos fonte, questão 2 e 3); também fazer o envio deles na tarefa fazem parte da atividade e são requisitos para ter a avaliação completada. Não serão aceitos envios por outro meio. A questão 3 estará disponível 10h15min para ser iniciada em outra tarefa também no Moodle.



Questão 1 - Responda ao que se pede: (pode ser escrito em um arquivo .txt e anexado à tarefa)

Considerando os aspectos que limitam o desempenho de células lógicas para projeto de circuitos integrados, existem parâmetros de construções dos dispositivos MOS e elementos parasitas dos dispositivos que determinam os atrasos de propagação e limitam a resposta dinâmica do circuito.

(peso 1) Disserte sobre os efeitos que causam as limitações dinâmicas (atrasos e tempos de transição) na construção de portas lógicas usando tecnologia CMOS.

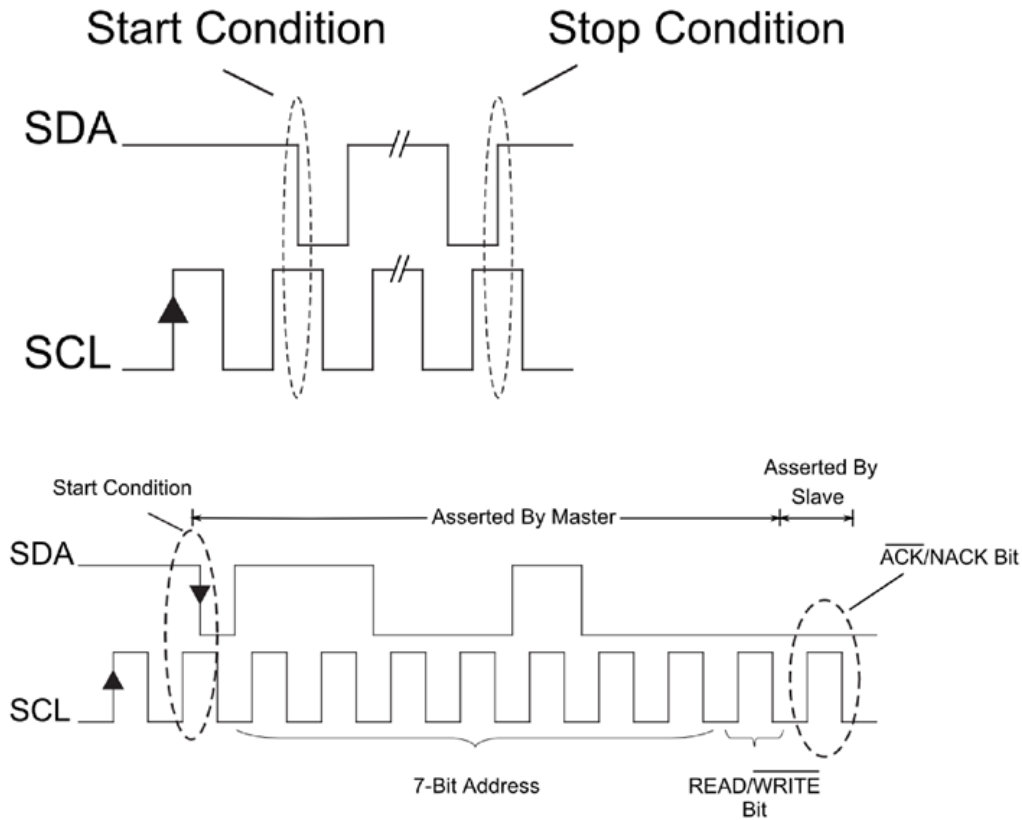
(peso 1) Como podem ser contornadas estas limitações dinâmicas na construção de células lógicas?

Questão 2 - Elabore um design descrito em System Verilog com estruturas sintetizáveis que tenha as características:

2.1 (peso 1) Implementar um módulo com nome **dec_i2c**, tenha a interface:

- entradas
 - clk -1 bit -relógio do sistema - este tem período muito inferior à duração de qualquer pulso que se deseja detectar na interface I2C - usa 10ns,
 - reset -1 bit -reset ativo alto,
 - sda -1 bit -sinal do I2C(veja ilustração),
 - scl -1 bit -sinal do I2C (veja ilustração) - a duração dos pulsos é muito maior que o período do relógio clk (usar 100ns),
 - pronto -1 bit - sinalização de que pode-se iniciar uma nova transação I2C e
 - endereco_local - 7 bits - endereço usado na comparação - use como constante 'b1100100 para simulação.
- saídas
 - endereco_recebido -7 bits - endereço conforme capturado em addr_ff
 - operacao -1 bit - bit capturado correspondente a "operação"
 - escrita -1 bit - saída indicando que o "endereco_recebido" é igual a "endereco_local" e simultaneamente o bit "operacao" tem nível lógico baixo.

- stop - 1 bit - saída que indica a ocorrência da condição de parada - deve ser pulsado em nível lógico alto por 1 ciclo do relógio clk.



Faça o download da descrição de um testbench inicializado que produz um estímulo de teste pronta ao final da página.



2.2 (peso 1) Detectar a condição "Start" e "Stop" na comunicação I2C gerando dois sinais internos chamados **start_cond** e **stop_cond** que devem permanecer em nível alto por 1 ciclo do relógio "clk" quando ocorrer a condição respectiva. Estas duas condições são relacionadas aos níveis lógicos de sda e scl, não somente um dos dois, conforme os diagramas mostrados anteriormente. Detectar a borda de subida do sinal scl registrando o seu valor anterior e gerar um sinal interno chamado **sobe_scl** que terá nível lógico alto por 1 ciclo do relógio sempre que ocorrer esse evento.

2.3 (peso 2) Este design deverá ter uma máquina de estados capaz de, após ocorrido uma condição "Start", a cada subida do sinal scl registrar serialmente os 7 bits seguintes em um registrador chamado **addr_ff** sendo o primeiro bit recebido o de índice 6 e o último de índice 0 (MSB primeiro).

2.4 (peso 1) O oitavo bit após "Start" corresponde a "operação" deve ser salvo e exportado pela porta "operacao".

2.5 (peso 2) Implementar o pulso na saída escrita (condicionado ao endereço e operação) como descrito na interface.

2.6 (peso 1) Implementar o pulso na saída "stop" (condicionado ao endereço e operação) como descrito na interface.

2.7 (peso 1) Implementar um testbench que exercite o seu design com alguns dos casos de operação (no mínimo este caso da forma de onda mostrada no item 2.3 - já no tb_i2c.sv) e entregar junto com o design. Este pode ser construído a partir do testbench fornecido em anexo (uso de partes desse não serão considerados cópia).

 [tb_i2c.sv](#)

26 novembro 2024, 18:03

Status de envio

Status de envio	Nenhuma tentativa
Status da avaliação	Não há notas

Tempo restante 1 hora 16 minutos

**Última
modificação** -

**Comentários
sobre o envio** ▶ [Comentários \(0\)](#)

Adicionar envio

Você ainda não fez um envio.

◀ [26/11/24 - Aula 09 - Lógica sequencial - concepção de máquinas de estados finitos](#)

Seguir para...

moodle

ente
ufsm

Contato :  Suporte Moodle |  Serviços

