|  |
| --- |
| UNIVERSITATEA POLITEHNICA TIMIȘOARA – FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE |
| PROIECTAREA MICROSISTEMELOR DIGITALE |
| Microsistem cu microprocesorul 8086 |
|  |
| **Patricia Iosif** |
| **ANUL III** |

# Tema proiectului:

Să se proiecteze un microsistem cu următoarea structură:

* unitate centrală cu microprocesorul 8086;
* 128 KB memorie EPROM, utilizând circuite 27C1024;
* 128 KB memorie SRAM, utilizând circuite 62512;
* interfaţă serială, cu circuitul 8251, plasată în zona 0DD0H – 0DD2H
* sau 0C50H – 0C52H, în funcţie de poziţia microcomutatorului S1;
* interfaţă paralelă, cu circuitul 8255, plasată în zona 0D50H – 0D56H
* sau 0B50H – 0B56H, în funcţie de poziţia microcomutatorului S2;
* o minitastatură cu 16 contacte;
* 16 led-uri;
* un modul de afişare cu segmente, cu 8 ranguri.

Toate programele în limbaj de asamblare vor fi concepute sub formă de subrutine.

Programele necesare sunt:

* rutinele de programare ale circuitelor 8251 şi 8255;
* rutinele de emisie/ recepţie caracter pe interfaţa serială;
* rutina de emisie caracter pe interfaţă paralelă;
* rutina de scanare a minitastaturii;
* rutina de aprindere/ stingere a unui led;
* rutina de afişare a unui caracter hexa pe un rang cu segmente.

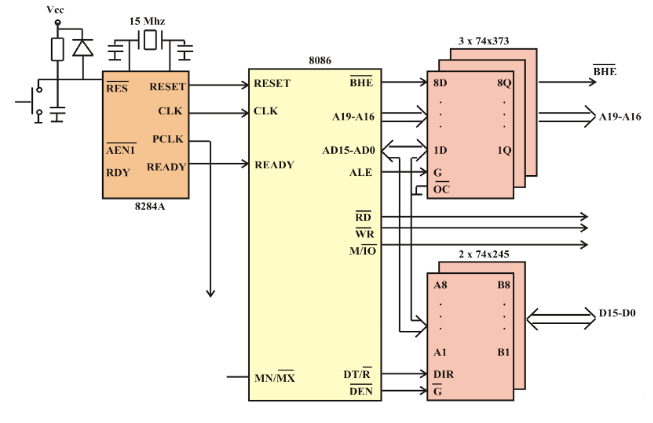
Structura rutinelor (intrări, secvenţe, ieşiri) va fi stabilită de fiecare student.

# Descrierea Hardware-ului

Microsistemul are drept fundament microprocesorul 8086, fiind constituit din 128 KB memorie EROM și 128KB memorie SRAM. De asemenea, acesta facilitează utilizarea interfețelor serială și paralelă, precum și interfațarea cu utilizatorul prin intermediul minitastaturii cu 16 conectoare, a celor 16 LED-uri și a modului de afișare cu segmente (8 ranguri).

## Unitatea centrală

Unitatea centrală a microsistemului prezentat este alcătuită din următoarele componente ce urmează a fi analizate în continuare: microprocesorul 8086, generatorul de tact 8284A, trei circuite registru 74x373, respectiv doua circuite amplificator/separator bidirecțional 74x245.



**Microprocesorul 8086**

Caracteristici:

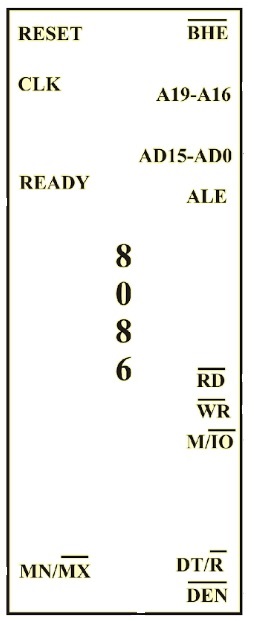
* registrele interne şi magistrala de date externă sunt pe 16 biţi;
* posibilitatea de a adresa direct 1 Mo de memorie;
* viteză mărită de lucru datorită atât frecvenţei tactului cât şi unei structuri interne bazată pe conceptul de suprapunere care permite aducerea din memorie, în avans, a instrucţiunilor în timpul unor cicluri fără acces la magistrale;
* poate acoperi o gamă largă de aplicaţii datorită celor două moduri de lucru ale sale: minim şi maxim,
* magistralele de date şi adrese sunt multiplexate iar o parte dintre terminalele de comandă au rol dublu; aceasta a permis încapsularea circuitului într-o capsulă cu doar 40 terminale

Moduri de lucru:

1. **Minim**: pentru aplicaţii relativ simple, în care microprocesorul generează el însuşi semnalele necesare transferurilor cu memoria şi cu porturile de intrare/ieşire;
2. **Maxim:** pentru aplicaţii complexe, inclusiv sisteme multiprocesor, în care semnalele de comandă pentru memorii şi porturi sunt generate de un controler de magistrală. Acest mod de lucru nu oferă privilegii diferite ci ele se recomandă în anumite configuraţii hardware, pentru tipuri de aplicaţii diferite;

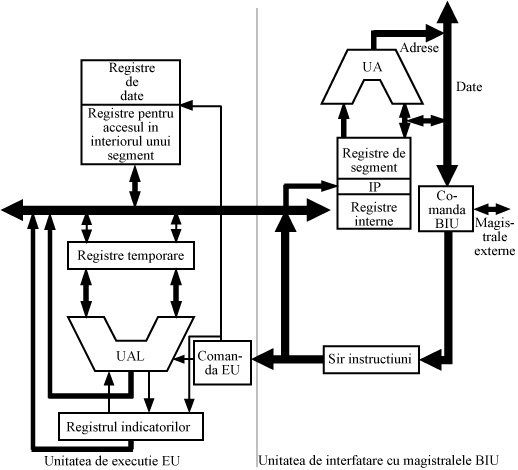
Trecerea dintr-un mod în altul se face prin hardware: există terminalul MN/MX la care, prin 1 logic se cere modul minim, iar prin 0 logic se cere modul maxim.

Terminale:



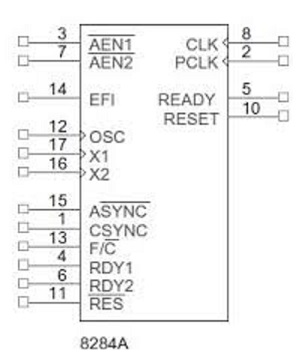
* System Reset (RESET): intrare de inițializare a microprocesorului
* System Clock (CLK): intrarea de tact (frecvență uzuală = 5Mhz, factor de umplere = 1/3)
* Wait State Control (READY): intrare pentru sincronizarea cu circuitele de memorie și porturile mai lente
* MN/: intrarea care indică modul de lucru al procesorului (1 logic – mod minim; 0 logic – mod maxim)
* Bus High Enable (): ieșire care indică dacă are sau nu loc un transfer pe jumătatea superioară a magistralei de date
* A19-A16: rangurile 19-16 din magistrala de adrese
* AD15-AD: magistrala multiplexată de adrese/date cu 3 stări
* Address Latch Enable (ALE): ieșire care se activează atunci când pe magistrala multiplexată de adrese/date sunt active adresele (se poate folosi pentru demultiplexarea magistralei prin încărcarea adreselor în registre)
* Read Control (): ieșire cu trei stări, activă atunci când microprocesorul execută un ciclu de citire sau de intrare
* Write Control (): ieșire cu trei stări, activă atunci când microprocesorul execută un ciclu de scriere sau de ieșire
* Memory/Input-Output Control (M/): 1 logic – se execută un ciclu de acces memorie; 0 logic –se execută un ciclu de transfer cu porturile de intrare/ieșire
* Data Transmit/Receive (DT/): ieșire cu trei stări ce indică sensul transferului pe magistrala de date (1 logic – transfer de date; 0 logic - recepție)
* Data Enable (): ieșire cu trei stări ce validează transferul de date pe magistrală

Structura internă:

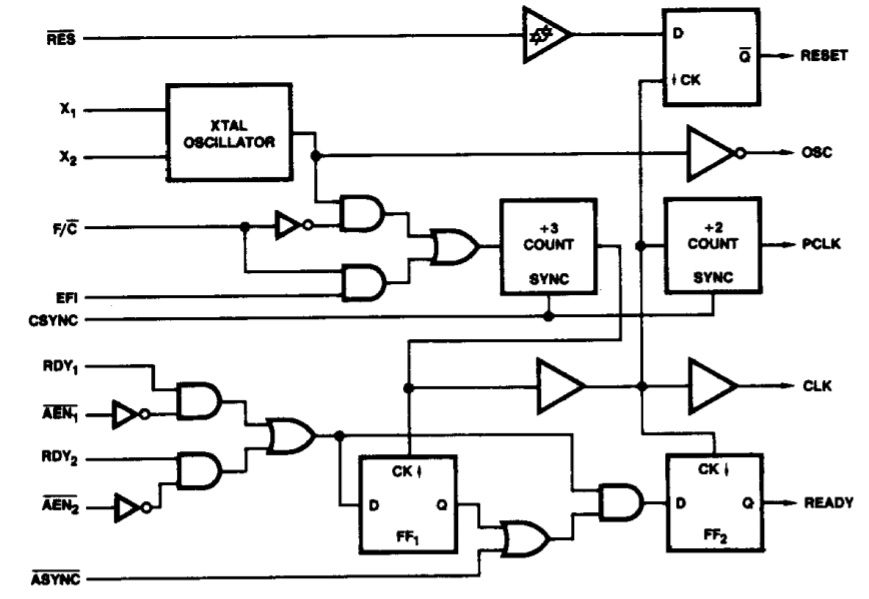


**Generatorul de tact 8284**

* generează tactul către microprocesor şi pentru circuitele specializate pentru interfeţe;
* generează semnalul READY către microprocesor, sincronizându-l cu tactul şi
* generează semnalul de iniţializare, RESET, către microprocesor, sincronizându-l cu tactul.
* configurația terminalelor:

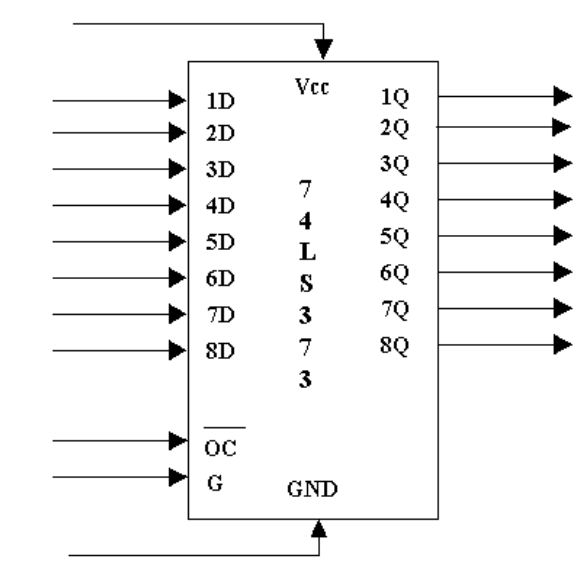


* schema internă:

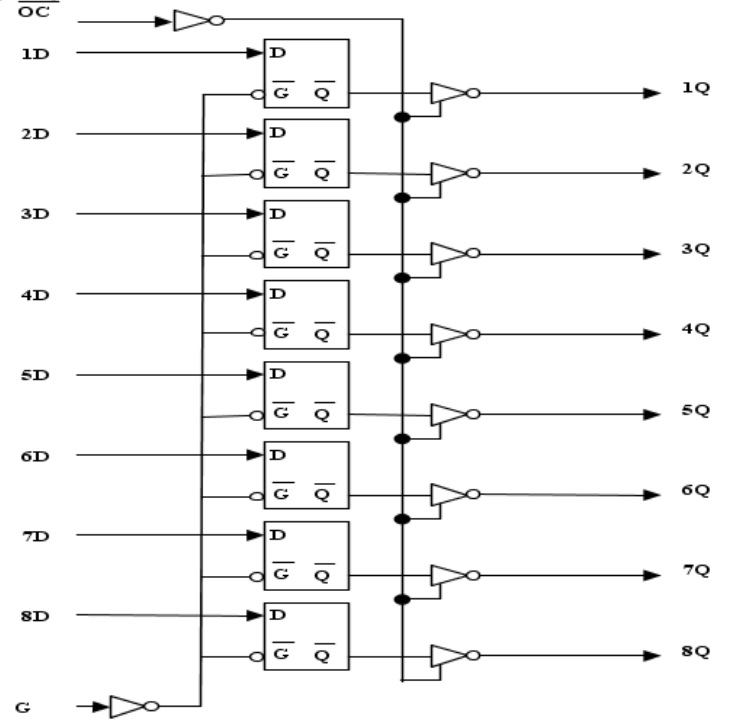
****

**Circuite registru 74x373**

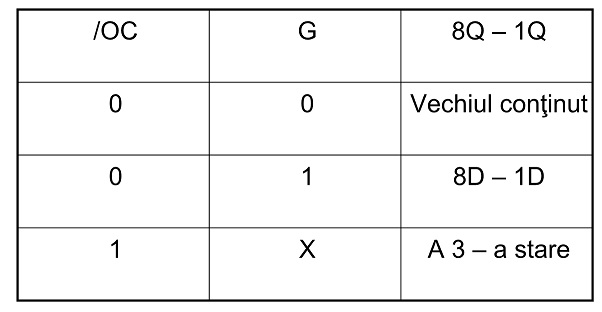
* registru cu 8 ranguri, cu 3 stări
* configurația terminalelor:

****

* schema internă:

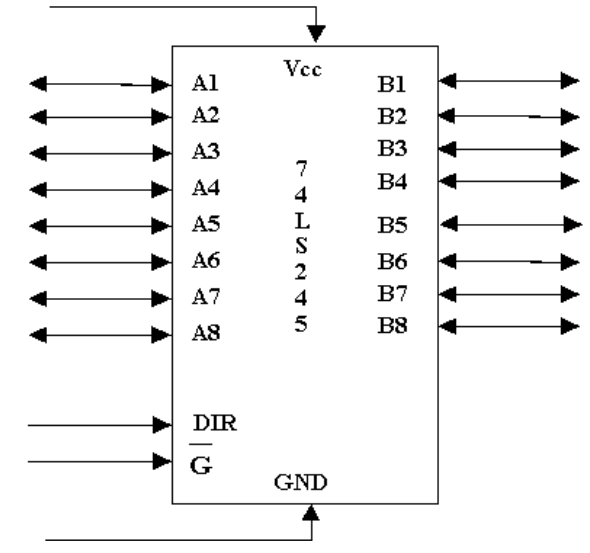
****

* funcționarea:

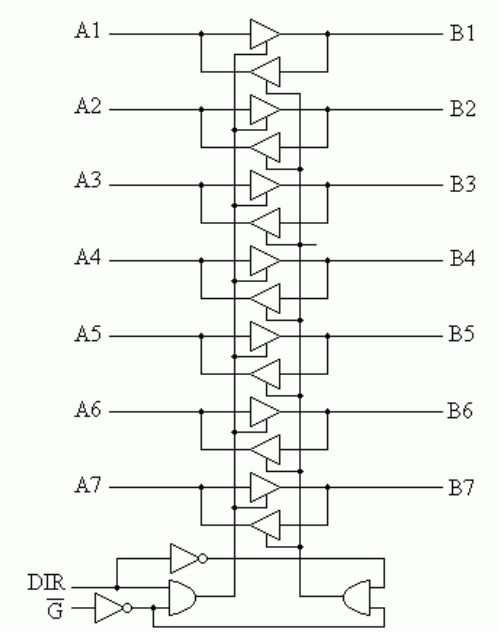


**Circuite amplificator/separator bidirecțional 74x245**

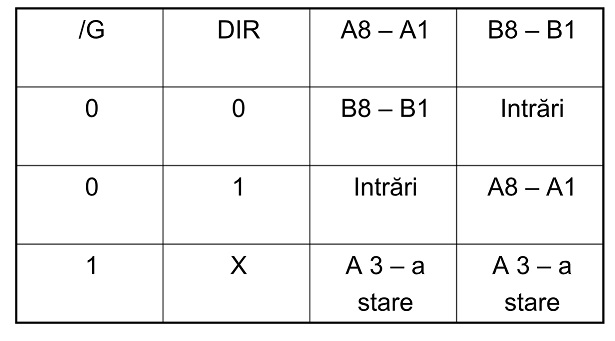
* este un circuit folosit pentru amplificarea/separarea magistralelor bidirecționale ale microprocesoarelor
* configurația terminalelor:



* schema internă:

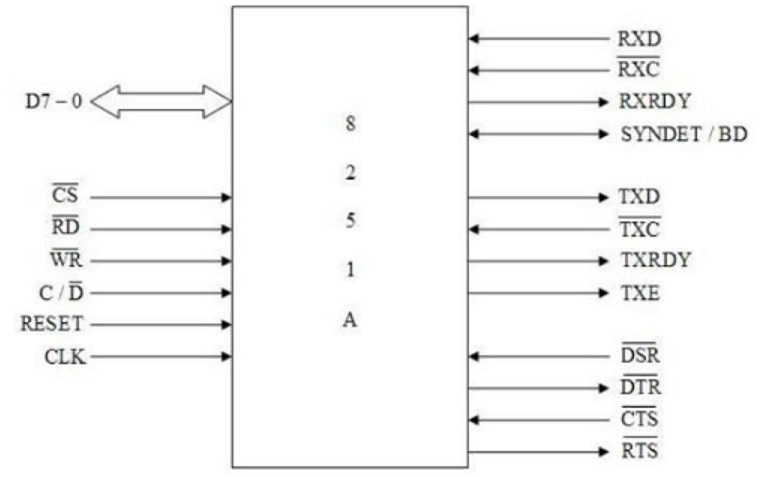


* funcționare:



## Interfaţă serială, cu circuitul 8251

* circuitul 8251A este un Universal Synchronous/Asynchronous Receiver/Transmitter (USART)
* acesta acceptă un caracter (octet) de la CPU în format paralel cu scopul de a-l converti în format serial pentru transmiterea sa (la un dispozitiv periferic serial)
* acesta poate sa primească un caracter în format serial (de la un dispozitiv periferic serial), urmând sa îl convertească în format paralel pentru CPU
* circuitul va atenționa CPU pe de-o parte dacă a acceptat un caracter pentru transmitere, iar pe da altă parte dacă a primit un caracter pentru CPU
* configurația terminalelor și semnificațiile terminalelor:



**Data Bus Buffer (D0 – D7):** este un buffer pe 8 biți utilizat pentru interfațarea circuitului 8251A cu magistrala de date. Datele sunt transmise sau recepționate de buffer în momentul execuției unor instrucțiuni de intrare/ieșire de către CPU. De asemenea, cuvintele de control și informațiile despre starea sistemului sunt transferate prin acest buffer.

**Read/Write Control Logic:**

Chip Select (): intrare pentru care 0 logic selectează circuitul 8251A. Atât scrierea, cât și citirea nu vor avea loc decât în momentul în care dispozitivul este selectat. 1 logic reprezintă intrarea magistralei de date în starea de float, iar și nu au niciun efect asupra circuitului.

Read (): intrare pentru care 0 logic informează circuitul despre faptul că CPU citește date sau informații despre starea sistemului de pe 8251A

Write (): intrare pentru care 0 logic informează circuitul despre faptul că CPU scrie date sau cuvinte de control către 8251A

Control/Data(C/): intrare, cumulată fiind cu intrările și informează circuitul despre tipul cuvântului de pe magistrala de date, în speță dacă este caracter, cuvânt de control sau informație de stare (1 logic – control/status 0 logic – caracter)

Reset: intrare pentru care 1 logic semnifică resetarea circuitul, facilitându-i trecerea în modul inactiv

Clock (CLK): intrare ce are drept scop generarea tactului intern al circuitului, fiind conectat de regulă la generatorul de tact al sistemului

**Modem Control:**

Data Set Ready (): intrare care are drept scop verificarea setului de date pentru compatibilitatea față de comunicarea cu un modem

Clear To Send (): intrare pentru care 0 logic activează circuitul în scopul transmiselor datelor seriale în cazul în care bitul de activare Tx este setat pe 1.

Data Terminal Ready (): ieșire care are drept scop indicarea faptului că dispozitivul este pregătit să accepte date în raport cu comunicarea cu un modem

Request To Send Data (): ieșire pentru care 0 logic are drept scop notificarea modemului asupra faptului că receptorul este pregătit să primească un caracter (octet) de date de la acesta

**Transmit Buffer:** acceptă date paralelele de la magistrala de date, transformându-le în date seriale, pe care în urma unor inserări de biți specifice modului de comunicare le va transmite pe ieșire TxD, având drept semnal de tact (front negativ)

**Transmitter Control:**

Transmitter Ready (TxRDY): ieșire ce avertizează CPU-ul asupra faptului că transmițătorul (transmitter-ul ) este pregătit pentru a accepta un caracter de date.

Transmitter Empty (TxE): ieșire pentru care 1 logic semnalează faptul că circuitul 8251A nu are nici un caracter de transmis

Transmitter Clock (): intrare ce controlează frecvența la care caracterul va urma să fie transmis

**Receiver Buffer:** acceptădate seriale pe care le convertește în format parale, face anumite verificări pentru biți sau caractere unice pentru modulul respectiv de comunicație și trimite un caracter „asamblat” către CPU. Datele seriale pătrund prin intrarea RxD, având drept semnal de tact (front pozitiv)

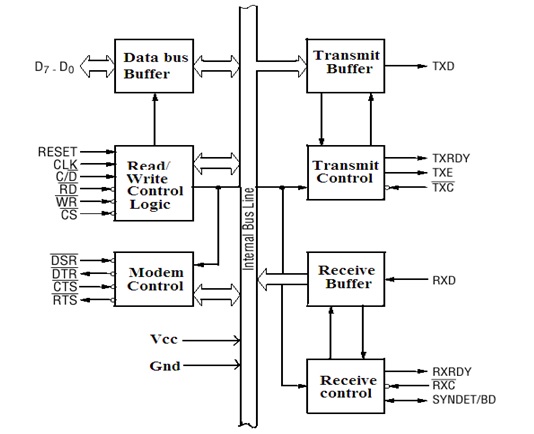
**Receiver Control:**

Receiver Ready (RxRDY): ieșire ce indică faptul că circuitul 8251A conține un caracter care este pregătit pentru a fi intrare a CPU.

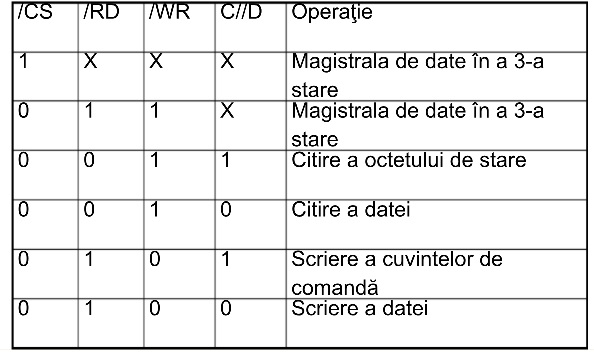
Receiver Clock (): intrare ce controlează frecvența la care caracterul va urma să fie receptat

SYNC Detect/Break Detect (SYNDET/BRKDET): 1-logic pentru indică atingerea sincronizării in modul sincron (pentru SYNDET); în modula sincron ieșirea BD va avea valoare 1 logic atunci când receptorul rămâne pe 0 logic timp de 2 secvențe consecutive de biți de stop

* structura internă:

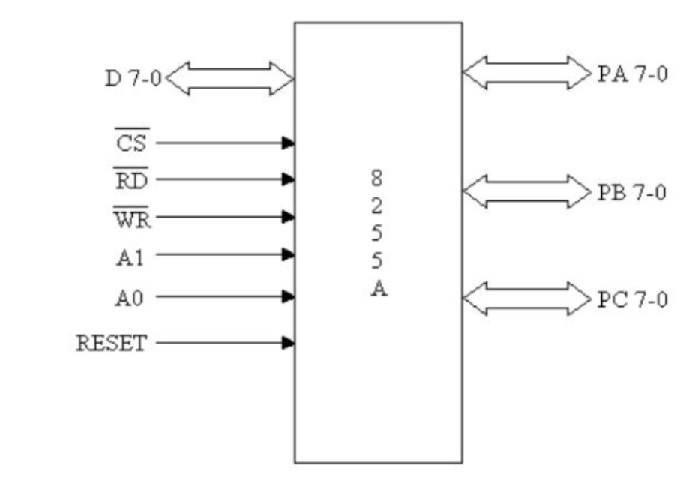


* legătura dintre operațiile realizate de circuit și starea terminalelor de comandă:



## Interfaţă paralelă, cu circuitul 8255

* în antiteză cu transferul serial caracterizat prin transferarea datelor bit cu bit, în cazul transferului paralel sunt transmiși concomitent 8 biți, fiind transmis și un semnal de dialog
* configurația terminalelor și semnificațiile terminalelor:



Porturi:

* 1. Portul A: un latch/buffer cu output pe 8 biți și un latch cu input pe 8 biți
  2. Portul B: un latch/buffer cu input/output pe 8 biți și un buffer cu input pe 8 biți
  3. Portul C: un latch/buffer cu output pe 8 biți și un buffer (fără latch) cu input pe 8 biți Acest port poate fi împărțit în două porturi pe 4 biți. Fiecare port conține un latch pe 4 biți
* Semnificațiile terminalelor:



* funcționarea circuitului poate avea loc în trei moduri distincte, având în vedere modul de conectare cu dispozitivele externe:

Modul 0: acest mod oferă operații simple de input și output pentru toate cele teri porturi. Nu este necesar „handshaking” (trebuie să existe accept pentru comunicarea atât din partea emițătorului, cât și din partea receptorului), datele sunt pur și simplu citite sau scrise de pe/pe un anumit port.

Modul 1: în cadrul acestui mod, porturile A și B sunt utilizate pentru operații de I/O cu handshaking. Portul C este utilizat pentru generarea semnalelor de handshaking.

Modul 2: acest mod de funcționare oferă posibilitatea de comunicare cu dispozitive periferice pe o singură magistrală de 8 biți atât pentru transmitere, cât și pentru receptare (magistrală bidirecțională I/O).

* structura internă:

