

Rozdział 3. Układy sekwencyjne – Zadania

Zadanie 3.1

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	1	1	0	
01	0	1	1	1	
11	0	0	0	1	
10	1	0	0	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 7, 5, 6, 4, 3

Rozwiązanie:

Układ kombinacyjny opisany jest równaniem $Y = \overline{A}D + BC\overline{D} + A(\overline{B+C+D})$.

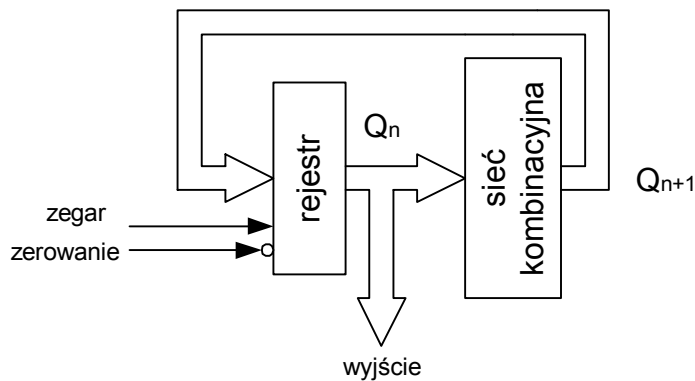
Układ sekwencyjny może być zaprojektowany na wiele różnych sposobów, zależnie od przyjętych wstępnych założeń projektowych. Poniżej zostanie zaprezentowane kilka z tych sposobów. W pierwszym przypadku zasadniczym elementem pamiętającym stan licznika będzie rejestr o wejściu i wyjściu równoległym, a w drugim i trzecim liczniki binarne liczące odpowiednio w kodzie NKB oraz w kodzie Gray'a.

Rozwiązanie oparte na rejestrze równoległo-równoległym polega na zaprojektowaniu sieci kombinacyjnej, która na podstawie stanu aktualnego Q_n wytworzy stan następny Q_{n+1} , realizując zadany ciąg wartości wyjściowych.

Q_n	Q_{n+1}
000	111
001	---
010	---
011	000
100	011
101	110
110	100
111	101

W tym celu należy zrealizować trzy funkcje kombinacyjne trzech zmiennych. Z uwagi na ich małą liczbę nie trzeba stosować wyrafinowanych metod projektowania. Najlepiej utworzyć tabelę przejść stanów licznika i na jej podstawie wypisać odpowiednie funkcje. Obok pokazano tabelę przejść stanów licznika, w której stany zostały ułożone w naturalnym porządku binarnym, ułatwiającym jej wypełnienie. Zgodnie z warunkami zadania po stanie 0 następuje stan 7, po stanie 7 stan 5 itd. Stany 1 i 2 w tym liczniku nie występują i nie mają stanów następnych, co zaznaczono kreskami umieszczonymi na odpowiednich pozycjach.

Warunek zerowania licznika pod wpływem sygnału RST można zapewnić dobierając rejestr posiadający wejście zerowania asynchronicznego poziomem niskim. Taki rejestr można zbudować na przykład z trzech przerzutników typu D (SN7474).



Rys. 1 Licznik zbudowany w oparciu o rejestr równoległo-równoległy

Q_n	Q_{n+1}
000	111
001	---
011	000
010	---
110	100
111	101
101	110
100	001

Znacznie jednak wygodniej – dla celów minimalizacji – ułożyć tę tabelę w kolejności kodu Gray’a. Przy odrobinie wprawy można nawet pominąć poprzedni etap wypisując po lewej stronie odpowiednią sekwencję oznaczeń stanów Q_n i wypełniając dalej tabelę w zwykły sposób.

Otrzymujemy prostą tablicę Karnaugh’a dla trzech jednobitowych zmiennych tworzących stan wyjściowy licznika Q_{n+1} . Teraz trzeba zająć się po kolei (osobno) każdą kolumną i wypisać odpowiednie wyrażenia boolowskie w miarę możliwości łącząc sąsiadujące ze sobą jedynki.

Oznaczmy trzy bity stanu następnego Q_{n+1} przez $Y2, Y1, Y0$. Posługując się powyższą tablicą otrzymujemy:

$$Y2 = Q2 * Q0 + Q2 * Q1 + \overline{Q2} * \overline{Q1}$$

$$Y1 = \overline{Q1} * Q0 + \overline{Q2} * \overline{Q1}$$

$$Y0 = \overline{Q1} * \overline{Q0} + Q2 * Q1 * Q0$$

Rozwiązanie oparte na liczniku binarnym liczącym w kodzie NKB polega na zaprojektowaniu odpowiedniego licznika modulo 6 (bo tyle jest różnych stanów licznika opisanego w treści zadania) oraz sieci kombinacyjnej, która przekształci liczby w NKB (stany Q'_n licznika modulo 6) na zadany ciąg wartości wyjściowych.

Q'_n	Q'_{n+1}
000	001
001	010
010	011
011	100
100	101
101	000
110	---
111	---

Tabela po lewej zawiera kolejne stany licznika modulo 6 w kodzie NKB, tabela po prawej to już tablica Karnaugh’a tego licznika, w której wartości stanów Q'_n ułożono w kodzie Gray’a.

Q'_n	Q'_{n+1}
000	001
001	010
011	100
010	011
110	---
111	---
101	000
100	101

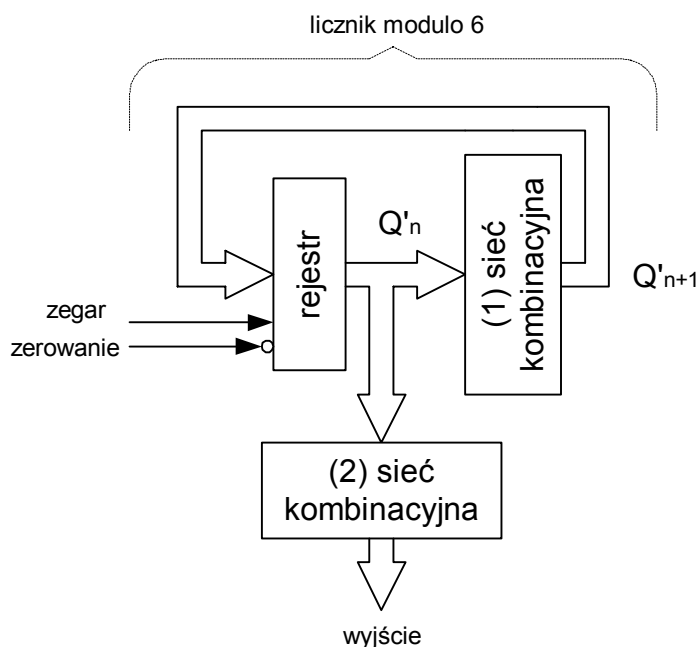
Oznaczmy trzy bity stanu następnego Q'_{n+1} przez $C2, C1, C0$. Posługując się powyższą tablicą otrzymujemy:

$$C2 = Q'2 * \overline{Q'0} + Q'1 * Q'0$$

$$C1 = Q'1 * \overline{Q'0} + \overline{Q'2} * \overline{Q'1} * Q'0$$

$$C0 = \overline{Q'0}$$

Jest to pierwsza sieć kombinacyjna na rys. 2.



Rys. 2 Rozwiązanie bazujące na liczniku modulo 6

Teraz trzeba zaprojektować drugą sieć kombinacyjną. Metoda jest analogiczna:

Q'_n	Q_n
000	000
001	111
010	101
011	110
100	100
101	011
110	---
111	---

Tabela po lewej zawiera tablicę prawdy przekształcenia sześciu stanów licznika modulo 6 liczącego w kodzie NKB na zadane stany wyjściowe. Tabela po prawej to już tablica Karnaugh'a sieci wyjściowej, w której wartości stanów Q'_n ułożono w kodzie Gray'a.

Q'_n	Q_n
000	000
001	111
011	110
010	101
110	---
111	---
101	011
100	100

Trzy bity stanu wyjściowego Q_n to Q_2 , Q_1 , Q_0 . Posługując się powyższą tablicą otrzymujemy:

$$Q_2 = Q'2 \oplus Q'0 + Q'1$$

$$Q_1 = Q'0$$

$$Q_0 = Q'1 \oplus Q'0$$

Rozwiązanie oparte na liczniku binarnym liczącym w kodzie Gray'a polega na zaprojektowaniu odpowiedniego licznika modulo 6 oraz sieci kombinacyjnej, która przekształci liczby w kodzie Gray'a na zadany ciąg wartości wyjściowych. Struktura

projektowanego układu jest analogiczna do poprzedniej, więc projektowanie znowu składa się z dwóch kroków:

Tym razem nie warto szeregować stanów licznika modulo 6 liczącego w kodzie Gray'a inaczej w kodzie Gray'a. Można natomiast się postarać o taki wybór sekwencji stanów licznika wewnętrznego, aby zminimalizować liczbę zmian bitów tego licznika wykorzystując specyficzne właściwości kodu. Tutaj zaproponowano sekwencję $000 \rightarrow 001 \rightarrow 101 \rightarrow 111 \rightarrow 110 \rightarrow 100 \rightarrow 000$ zamiast typowej $000 \rightarrow 001 \rightarrow 011 \rightarrow 010 \rightarrow 110 \rightarrow 111 \rightarrow 000$, w której na końcu występowałaby niepożądana zmiana wszystkich bitów naraz.

Q'_n	Q'_{n+1}
000	001
001	101
011	---
010	---
110	100
111	110
101	111
100	000

Podobnie jak poprzednio oznaczmy trzy bity stanu następnego Q'_{n+1} przez $C2$, $C1$, $C0$. Posługując się powyższą tablicą otrzymujemy:

$$C2 = Q'1 + Q'0$$

$$C1 = Q'2 * Q'0$$

$$C0 = \overline{Q'2} + \overline{Q'1} * Q'0$$

A teraz wyjściowa sieć kombinacyjna: sekwencji licznika wewnętrznego $000 \rightarrow 001 \rightarrow 101 \rightarrow 111 \rightarrow 110 \rightarrow 100 \rightarrow 000$ odpowiadać ma $0 \rightarrow 7 \rightarrow 5 \rightarrow 6 \rightarrow 4 \rightarrow 3 \rightarrow 0$, czyli $000 \rightarrow 111 \rightarrow 101 \rightarrow 110 \rightarrow 100 \rightarrow 011 \rightarrow 000$. Tabela po prawej stronie zawiera to przyporządkowanie.

Q'_n	Q_n
000	000
001	111
011	---
010	---
110	100
111	110
101	101
100	011

Trzy bity stanu wyjściowego Q_n to oczywiście $Q2$, $Q1$, $Q0$. Posługując się powyższą tablicą otrzymujemy:

$$Q2 = Q'1 + Q'0$$

$$Q1 = Q'2 \oplus Q'1 \oplus Q'0$$

$$Q0 = Q'2 * \overline{Q'1} + \overline{Q'2} * Q'0$$

Te kilka przykładów w żadnym przypadku nie wyczerpuje wszystkich możliwych sposobów zaprojektowania licznika, o którym mowa w zadaniu. Z innych warto wspomnieć o takim, w którym elementem liczącym jest licznik pierścieniowy, czyli zapętłony rejestr przesuwany (szeregowo-szeregowy) o 6 bitach, w którym krąży jedynka (albo ciąg jedynek), a wyjściowa sieć kombinacyjna odpowiednio dekoduje jego stan.

abcdef	Q_n
000001	000
000010	111
000100	101
001000	110
010000	100
100000	011

Tym razem bity rejestru przesuwanego zostały oznaczone kolejnymi literami, jak w tabeli obok. Nietrudno sprawdzić, że:

$$Q2 = b + c + d + e$$

$$Q1 = a + c + e$$

$$Q0 = a + d + e$$

przy czym nie trzeba w tym celu konstruować tablicy Karnaugh'a – wystarczy przeczytać pozycje krążącej jedynki.

Zadanie 3.2

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	1	0	1	
01	0	1	0	1	
11	1	0	1	0	
10	1	0	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 1, 2, 3, 5, 7

Zadanie 3.3

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	0	1	
01	1	1	1	0	
11	0	0	1	0	
10	0	0	0	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 5, 7, 3, 4, 2

Zadanie 3.4

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	1	1	0	
01	0	0	0	1	
11	0	0	0	1	
10	1	0	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 1, 2, 3, 4, 5

Zadanie 3.5

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	0	1	

01	0	1	1	0
11	0	1	1	0
10	1	0	0	1

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 7, 6, 5, 4, 3, 0

Zadanie 3.6

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	0	0	
01	0	0	1	0	
11	0	0	1	1	
10	1	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 2, 1, 4, 3, 6

Zadanie 3.7

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	1	0	0	
01	0	0	0	1	
11	1	0	1	1	
10	0	1	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 5, 6, 7, 0, 4, 1

Zadanie 3.8

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	0	1	
01	0	0	1	0	
11	0	0	1	0	
10	0	1	0	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 5, 6, 7, 0, 4, 1

niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 2, 3, 4, 5, 6, 7

Zadanie 3.9

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	0	0	
01	0	1	0	1	
11	0	0	1	0	
10	0	1	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 5, 2, 4, 7, 1.

Zadanie 3.10

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	1	0	0	
01	0	1	0	0	
11	0	0	1	0	
10	1	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 3, 6, 2, 4, 1, 0.

Zadanie 3.11

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	0	1	
01	0	1	1	0	
11	0	0	1	0	
10	1	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 5, 6, 7, 0, 1, 3.

Zadanie 3.12

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	1	1	
01	0	0	0	0	
11	0	0	1	0	
10	1	1	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 4, 5, 6, 3, 2, 1.

Zadanie 3.13

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	0	0	1	
01	0	1	0	0	
11	0	0	1	0	
10	0	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 5, 6, 2, 7, 1, 3.

Zadanie 3.14

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	0	0	
01	1	1	0	0	
11	0	1	1	0	
10	1	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 1, 2, 4, 6, 7.

Zadanie 3.15

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	1	0	
01	1	1	1	1	
11	0	1	0	1	
10	0	1	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 7, 5, 3, 1, 0, 2.

Zadanie 3.16

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	1	1	0	
01	0	0	0	1	
11	0	0	0	1	
10	1	0	0	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 4, 6, 7, 2, 1, 3.

Zadanie 3.17

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	0	1	
01	1	0	1	0	
11	0	1	1	0	
10	0	0	1	1	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 3, 5, 2, 1, 7, 0.

Zadanie 3.18

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	1	1	
01	1	1	0	0	
11	0	0	0	0	
10	0	0	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 5, 3, 7, 2, 4

Zadanie 3.19

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	0	0	0	1	
01	0	1	1	0	
11	0	0	0	1	
10	1	1	0	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 0, 4, 3, 2, 5, 1.

Zadanie 3.20

Zaprojektować układ kombinacyjny o czterech wejściach: A, B, C, D i wyjściu Y opisany przez tablicę Karnaugh'a:

AB	00	01	11	10	CD
00	1	1	0	1	
01	0	0	0	0	
11	0	1	0	1	
10	0	0	1	0	

Zaprojektować układ sekwencyjny o dwóch wejściach: CLK (wejście sygnału zegarowego) i RST (wejście asynchronicznego ustawiania stanu początkowego licznika - aktywne w stanie niskim) i trzech wyjściach Q2, Q1, Q0, tak aby przy traktowaniu sygnałów wyjściowych jako bitów liczby binarnej [Q2 Q1 Q0], układ generował cyklicznie ciąg wartości: 3, 2, 0, 1, 4, 7.