

7.1 Tranzystory i inwertery

Układy elektroniczne techniki cyfrowej to obszerna klasa układów elektronicznych obejmująca nie tylko bramki i przerzutniki ale również przetworniki C/A i A/C, układy próbkująco-pamiętające, komparatory i bramki analogowe. Do układów elektronicznych techniki cyfrowej zaliczamy też układy generatorów przestrajanych napięciem czyli układy VCO (ang. Voltage Controlled Oscillator), cyfrowe układy PLL (ang. Phase Locked Loop) i wiele innych ważnych z praktycznego punktu widzenia układów.

1. Elementy układów elektronicznych

Elementy układów elektronicznych dzielimy na elementy bierne (opornik, kondensator, cewka, dioda) i elementy czynne, czyli tranzystory. Opornik to element wykazujący głównie opór, który można opisać prawem Ohma. Kondensator i cewka opisywane są prostymi równaniami różniczkowymi, a dioda jest elementem nieliniowym i opisywana jest tzw. wzorem Shockley'a. Tranzystor bipolarny przyjmujemy za element znany.

Ważnym pojęciem często wykorzystywanym w układach elektronicznych jest pojęcie modelu lub schematu zastępczego elementu. Schemat zastępczy pozwala sprowadzić problem analizy układu elektronicznego do problemu teorii-obwodowego. Najprostszy model tranzystora bipolarnego to tzw. model odcinkowo liniowy będący bardzo użytecznym uproszczeniem tzw. modelu Ebersa-Molla tranzystora. Ponieważ w układach elektronicznych techniki cyfrowej dominującą rolę odgrywają tranzystory typu MOSFET omówimy te tranzystory nieco dokładniej.

Tranzystor unipolarny MOS lub *MOSFET*. Skrót *MOS* (ang. Metal Oxide Semiconductor) opisuje trójwarstwową strukturę tranzystora MOS. Istnieją dwa zasadnicze rodzaje tranzystorów MOS tranzystory z kanałem typu N nazywane tranzystorami *NMOS* i tranzystory z kanałem typu P tzw. tranzystory *PMOS*. Jeśli w jednym układzie scalonym używamy jednocześnie tranzystorów NMOS i PMOS, to taki układ nazywamy układem *CMOS* (ang. *Complementary MOS*).

Model matematyczny tranzystora unipolarnego NMOS (modelem tym jest funkcja dwu zmiennych opisująca prąd drenu tranzystora $I_d(U_{DS}, U_{GS})$) jest następujący:

$$I_d(U_{DS}, U_{GS}) = \begin{cases} \beta_n [(U_{GS} - U_T)U_{DS} - \frac{U_{DS}^2}{2}] & \text{dla } U_{GS} \geq U_{DS} - U_T \quad (\text{zakres nienasycenia}) \\ \frac{1}{2} \beta_n (U_{GS} - U_T)^2 & \text{dla } U_{GS} \leq U_{DS} - U_T \quad (\text{zakres nasycenia}) \end{cases}$$

Zakładamy przy tym, że napięcie dren źródło $U_{DS} \geq 0$ oraz napięcie bramka źródło $U_{GS} \geq 0$.

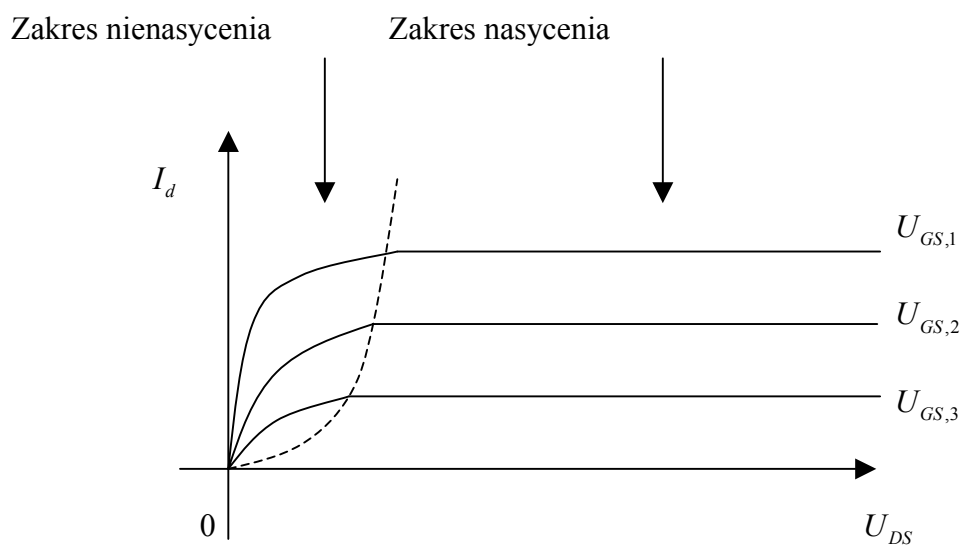
Prąd drenu tranzystora PMOS opisywany jest tym samym wzorem, ale wszystkie parametry tzn. $U_T, U_{GS}, U_{DS}, \beta_p$ są ujemne. W opisie zakresów nasycenia i nienasycenia trzeba zmienić też kierunek nierówności.

Współczynnik β_i (gdzie $i = n$ lub p) można wyznaczyć za pomocą parametrów geometrycznych tranzystora wzorem

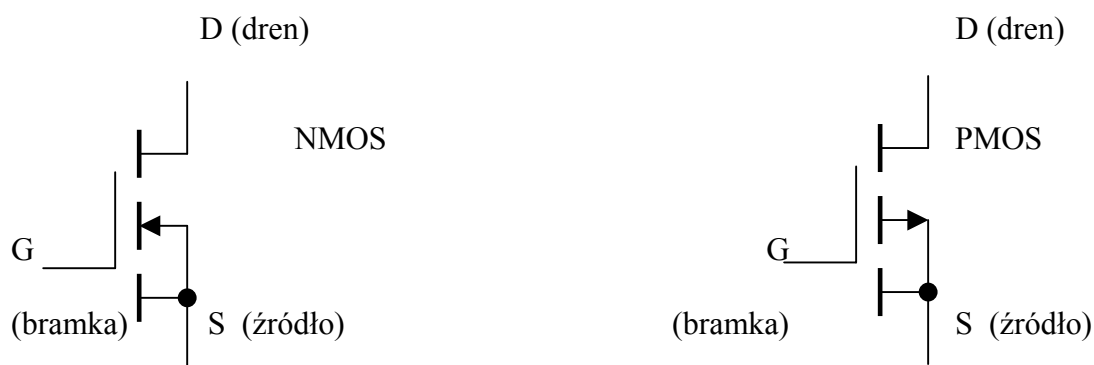
$$\beta_i = \frac{\mu \varepsilon_{ox} \varepsilon_0 w}{t_{ox} l}$$

gdzie ε_{ox} względna przenikalność dielektryczna dwutlenku krzemu
 ε_0 przenikalność dielektryczna próżni
 l, w długość i szerokość kanału tranzystora
 t_{ox} grubość warstwy dwutlenku krzemu pod bramką
 μ średnia ruchliwość nośników w kanale

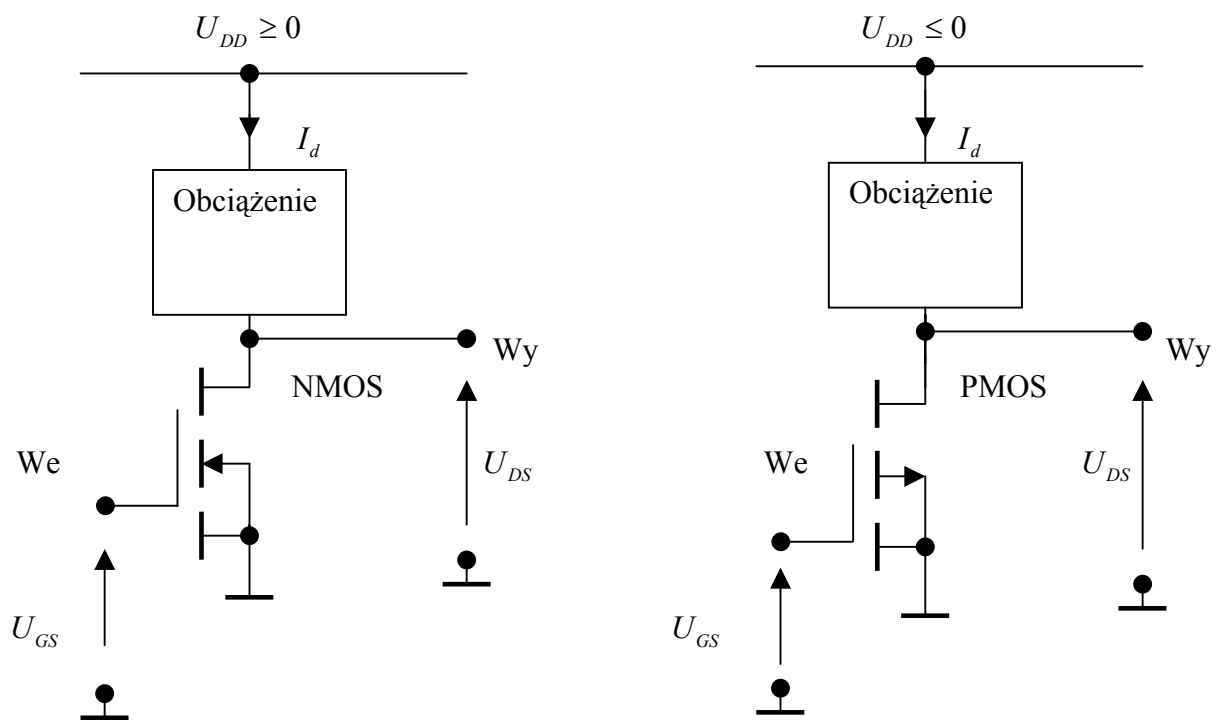
Warto zwrócić uwagę, że oporność wejściowa tranzystora MOS jest bardzo duża i sterujemy tranzystor napięciowo.



Rys.1. Typowa charakterystyka drenowa $I_d(U_{DS}, U_{GS})$ tranzystora NMOS

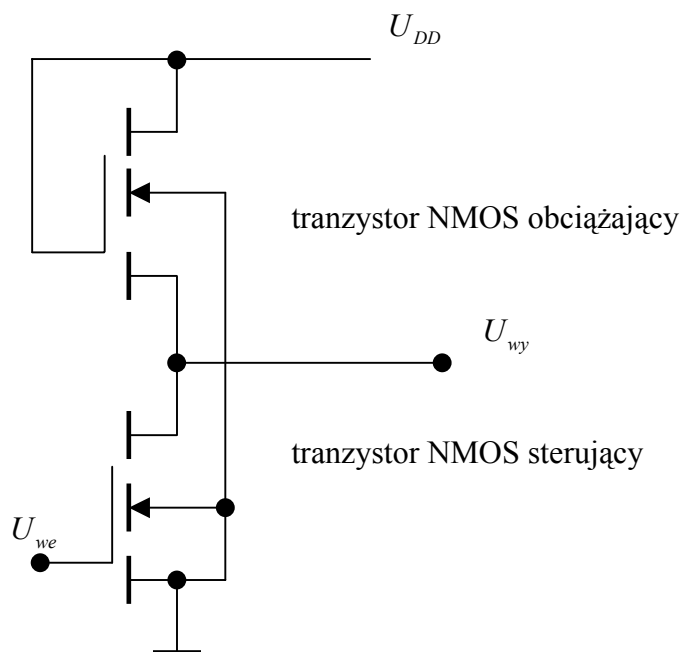


Rys. 2. Schemat tranzystora NMOS i tranzystora PMOS



Rys. 3. Prądy i napięcia na tranzystorze a) NMOS b) PMOS w typowym układzie pracy inwertera lub wzmacniacza

2. Inwertery



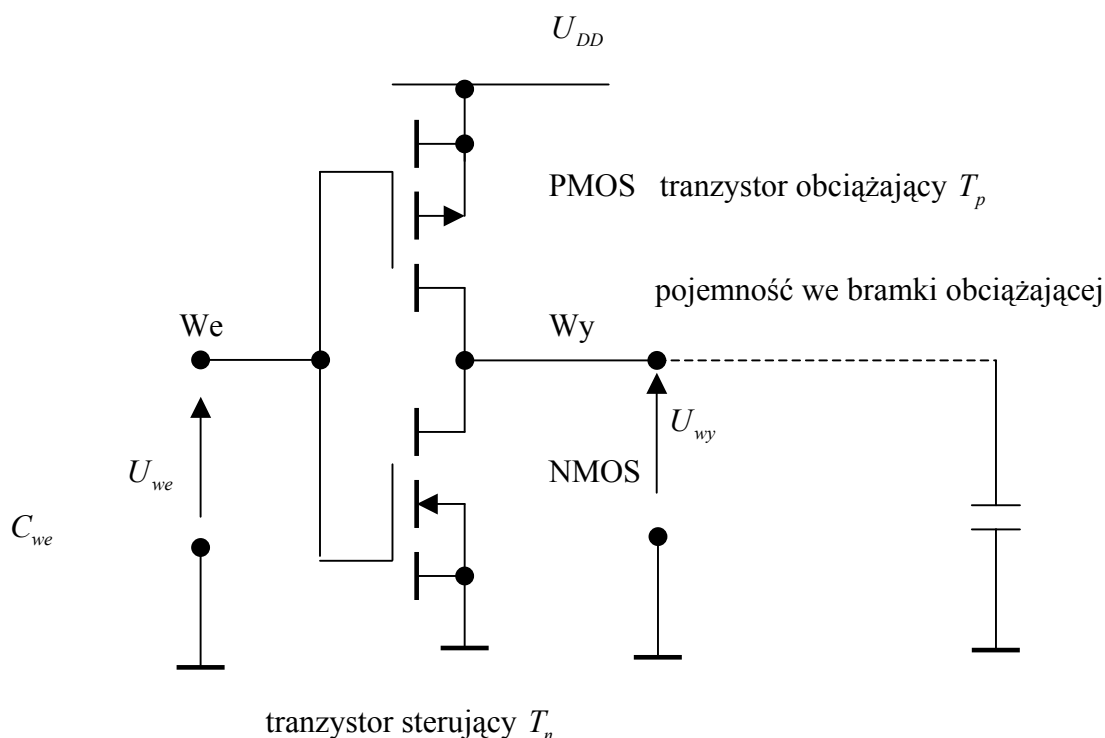
Rys.4. Inwerter NMOS

Inwertery to najprostsze bramki realizujące działanie negacji. Z punktu widzenia układowego to wzmacniacze o odpowiednio ukształtowanej charakterystyce przejściowej. Dokładna

analiza inwertera umożliwia ocenę danej techniki realizacji układów logicznych, np. czasów opóźnienia t_p wprowadzanych przez bramkę.

Zastępując obciążenie w układzie pokazanym na rys. 3 tranzystorem NMOS uzyskujemy *inwerter NMOS* pokazany na rys.4.

Inwerter CMOS pokazany jest na rys. 5. Zbudowany jest on z dwu tranzystorów: tranzystora sterującego typu NMOS (na dole) i tranzystora obciążającego typu PMOS (na górze). Głównym czynnikiem decydującym o opóźnieniu bramki jest pojemność wejściowa C_{we} współpracującego z inwerterem układu.



Rys. 5. Inwerter CMOS

Wyznamy charakterystykę przejściową inwertera CMOS przedstawionego na rys.5 dla trzech wartości napięcia zasilania U_{DD} : 9 V , 5 V i 3 V.

Przyjmujemy następujące dane tranzystorów:

$$U_{Tn} = 1 \text{ V} , \beta_n = 10 \mu\text{A/V}^2 , C_g = 8,4 \cdot 10^{-15} \text{ F (tzw. pojemność jednostkowa warstwy tlenku)}$$

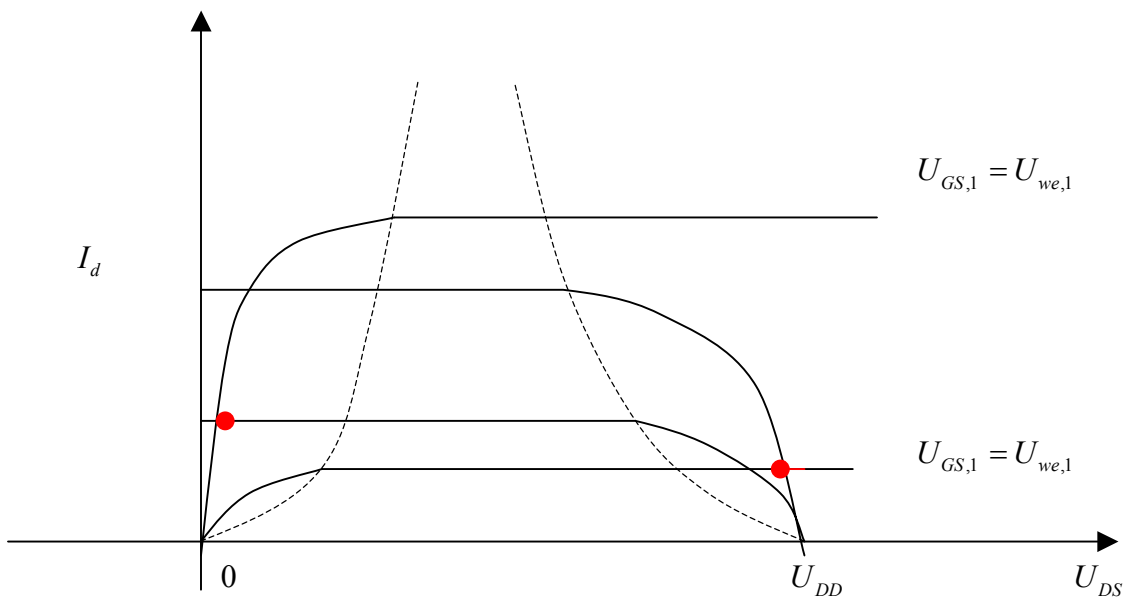
$$U_{Tp} = -1 \text{ V} , \beta_p = 4,2 \mu\text{A/V}^2 , C_g = 8,4 \cdot 10^{-15} \text{ F}$$

W zakresie napięć wejściowych poniżej napięcia progowego U_{Tn} tranzystor z kanałem N jest odcięty, zaś tranzystor z kanałem P jest włączony. Napięcie wyjściowe wynosi wtedy U_{DD} .

Dla napięć wejściowych nieco wyższych od napięcia progowego U_{Tn} tranzystor T_n jest włączony i napięcie wyjściowe jest wyznaczone przez podział napięcia pomiędzy tranzystory

T_n i T_p . Dla niezbyt dużych napięć wejściowych, tranzystor T_n jest słabiej wystereowany niż T_p i dlatego T_n może przewodzić mniejszy prąd niż T_p . Należy spodziewać się więc, że napięcie wyjściowe będzie wysokie, czyli T_n pracował będzie w zakresie nasycenia, a T_p w zakresie nienasycenia.

W celu ułatwienia określenia obszarów pracy tranzystorów na rys.6. przedstawiono kilka charakterystyk tranzystora T_n i tranzystora T_p dla kilku wartości napięcia wejściowego. Z powodu podłączenia źródła tranzystora T_p do napięcia zasilania U_{DD} charakterystyki tego tranzystora rozpoczynają się w punkcie $(0, U_{DD})$ i ze wzrostem napięcia wejściowego tranzystor ten przewodzi słabiej.



Rys.6. Charakterystyki tranzystorów T_n i tranzystora T_p dla kilku wartości napięcia wejściowego $U_{GS,1} = U_{we,1}$, $U_{GS,1} = U_{we,1}$; napięcie wejściowe wybiera jednoznacznie parę: gałąź charakterystyki tranzystora T_n , gałąź charakterystyki tranzystora T_p ; punkt przecięcia tych charakterystyk daje podział napięcia U_{DD} na tranzystor górny i dolny

W II obszarze tranzystor T_n pracuje w zakresie nasycenia, a T_p - w zakresie nienasycenia, czyli

$$I_{dn} = \frac{1}{2} \beta_n (U_{we} - U_{Tn})^2$$

$$I_{dp} = \beta_p \left[(U_{we} - U_{DD} - U_{Tp})(U_{wy} - U_{DD}) - \frac{1}{2} (U_{wy} - U_{DD})^2 \right]$$

Ponieważ $I_{dn} = I_{dp}$, więc

$$\frac{\beta_n}{2}(U_{we} - U_{Tn})^2 = \beta_p \left[(U_{we} - U_{DD} - U_{Tp})(U_{wy} - U_{DD}) - \frac{1}{2}(U_{wy} - U_{DD})^2 \right]$$

stąd

$$U_{wy} = U_{we} - U_{Tp} + \sqrt{(U_{we} - U_{DD} - U_{Tp})^2 - \frac{\beta_n}{\beta_p}(U_{we} - U_{Tn})^2}$$

Przy wzroście napięcia wejściowego napięcie wyjściowe obniża się i punkt pracy tranzystora T_p wchodzi w obszar nasycenia. Nastąpi to wtedy, gdy $U_{DSp} = U_{GSp} - U_{Tp}$. Stąd

$$U_{wy} - U_{DD} = U_{we} - U_{DD} - U_{Tp}$$

$$U_{wy} = U_{we} - U_{Tp}$$

Podstawiając ten warunek do opisu II części charakterystyki przejściowej otrzymuje się współrzędne punktu granicznego

$$U_{weT} = \frac{U_{DD} + U_{Tp} + \sqrt{\frac{\beta_n}{\beta_p}U_{Tn}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

$$U'_{wy} = U_{weT} - U_{Tp}$$

$$\text{Dla } U_{DD} = 9 \text{ V} \quad U_{weT} = 3,75 \text{ V} \quad U'_{wy} = 4,75 \text{ V}$$

$$U_{DD} = 5 \text{ V} \quad U_{weT} = 2,18 \text{ V} \quad U'_{wy} = 3,18 \text{ V}$$

$$U_{DD} = 3 \text{ V} \quad U_{weT} = 1,39 \text{ V} \quad U'_{wy} = 2,39 \text{ V}$$

III odcinek charakterystyki wynika z pracy obydwu tranzystorów w zakresie nasycenia. Ponieważ uproszczony model tranzystora MOS, umożliwiający wyznaczenie analitycznej postaci wyrażeń opisujących poszczególne odcinki charakterystyki przejściowej, nie uwzględnia konduktancji wyjściowej w zakresie nasycenia, wynikającej ze skracania kanału, więc wzmocnienie w tym zakresie jest nieskończone.

Z bilansu prądów

$$\frac{1}{2}\beta_n(U_{we} - U_{Tn})^2 = \frac{1}{2}\beta_p(U_{we} - U_{DD} - U_{Tp})^2$$

otrzymuje się

$$U_{weT} = \frac{U_{DD} + U_{Tp} + \sqrt{\frac{\beta_n}{\beta_p}} U_{Tn}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

W rzeczywistości wzmocnienie to jest ograniczone i jest rzędu kilkuset zależnie od konduktancji wyjściowej obu tranzystorów.

Obniżenie napięcia wyjściowego powoduje wejście punktu pracy tranzystora T_n w obszar nienasylenia. Następuje to przy $U_{we} = U_{weT}$ oraz $U_{wy}'' = U_{weT} - U_{Tn}$

IV odcinek charakterystyki przejściowej wynika z pracy tranzystora T_n w obszarze nienasylenia oraz T_p w obszarze nasycenia.

$$\beta_n \left[(U_{we} - U_{Tn}) - \frac{1}{2} U_{wy}^2 \right] = \frac{\beta_p}{2} (U_{we} - U_{DD} - U_{Tp})^2$$

stąd

$$U_{wy} = U_{we} - U_{Tn} - \sqrt{(U_{we} - U_{Tn})^2 - \frac{\beta_p}{\beta_n} (U_{we} - U_{DD} - U_{Tp})^2}$$

Gdy napięcie wejściowe przekroczy poziom $U_{DD} + U_{Tp}$, następuje zatkanie tranzystora T_p i napięcie wyjściowe wynosi 0. Tak wyznaczone charakterystyki przejściowe dla różnych napięć zasilania przedstawiono na rys. 7.

Warto zauważyć, że układy CMOS mogą pracować przy różnych napięciach zasilania oraz że duża asymetria w wartościach parametrów β obu tranzystorów (wynikająca z różnic ruchliwości dziur i elektronów) nie powoduje zbyt dużego przesunięcia strefy przejściowej w stosunku do połowy napięcia zasilania. Wynika to z kwadratowej zależności prądu drenu od napięcia bramki tranzystora, co powoduje, że w wyrażeniu na U_{weT} stosunek β_n / β_p występuje pod pierwiastkiem, co wyraźnie redukuje jego wpływ na U_{weT}

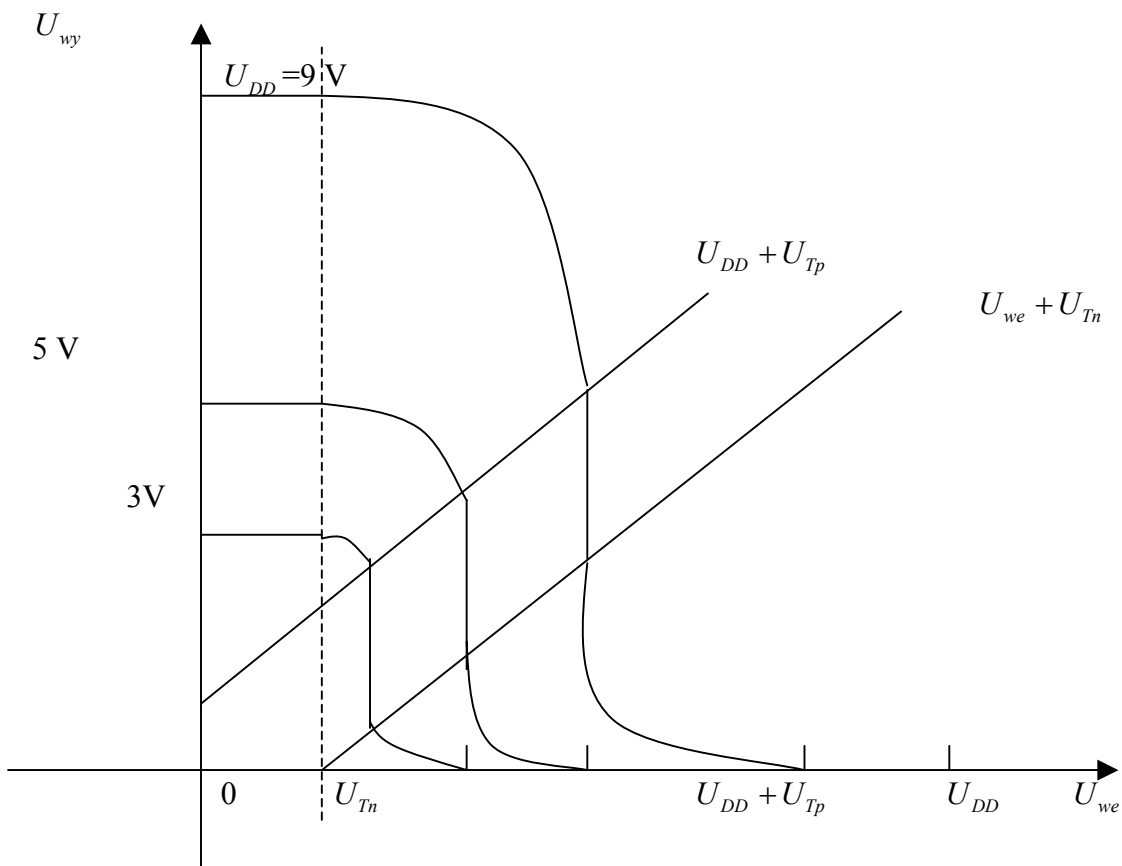
Wyznamy teraz przebiegi napięcia wyjściowego inwertera CMOS przedstawionego na rys. 5 obciążonego identycznym inwerterem i sterowanego skokiem napięcia: a) od 0 V do U_{DD} , b) od U_{DD} do 0 V, dla trzech wartości napięcia zasilania U_{DD} : 9 V, 5 V, 3 V.

Na wstępie należy wyznaczyć pojemność wejściową inwertera obciążającego. Pojemność bramka-źródło tranzystora MOS jest zależna od punktu pracy i zmienia się od $\frac{2}{3} C_g$

dla zakresu nasycenia poprzez wartości pomiędzy $\frac{2}{3} C_g$ a $\frac{1}{2} C_g$ dla zakresu nienasylenia aż do 0 V w obszarze zatkania. Ponadto należy uwzględnić pojemność bramka-dren i pojemność bramka-podłoże. Dla zakresu nienasylenia pojemność bramka-dren zmienia się

w granicach od 0 do $\frac{1}{2}C_g$, zaś w obszarach nasycenia i zatkania jest w pierwszym przybliżeniu pomijalna. Pojemność bramka-podłoże w zakresie przewodzenia jest pomijalna, a w obszarze zatkania jest mniejsza od C_g z powodu występowania warstwy zubożonej pod bramką. Dokładne uwzględnienie wszystkich tych pojemności jest możliwe w analizie komputerowej. Do obliczeń analitycznych wygodnie jest przyjąć uśrednioną wartość pojemności wejściowej. W pierwszym przybliżeniu można przyjąć, że pojemność wejściowa jest równa dwóm pojemnościom wejściowym tranzystora w zakresie nasycenia, czyli

$$C_{we} \cong 2 \frac{2}{3} C_g = 11,2 \cdot 10^{-15} \text{ F}$$



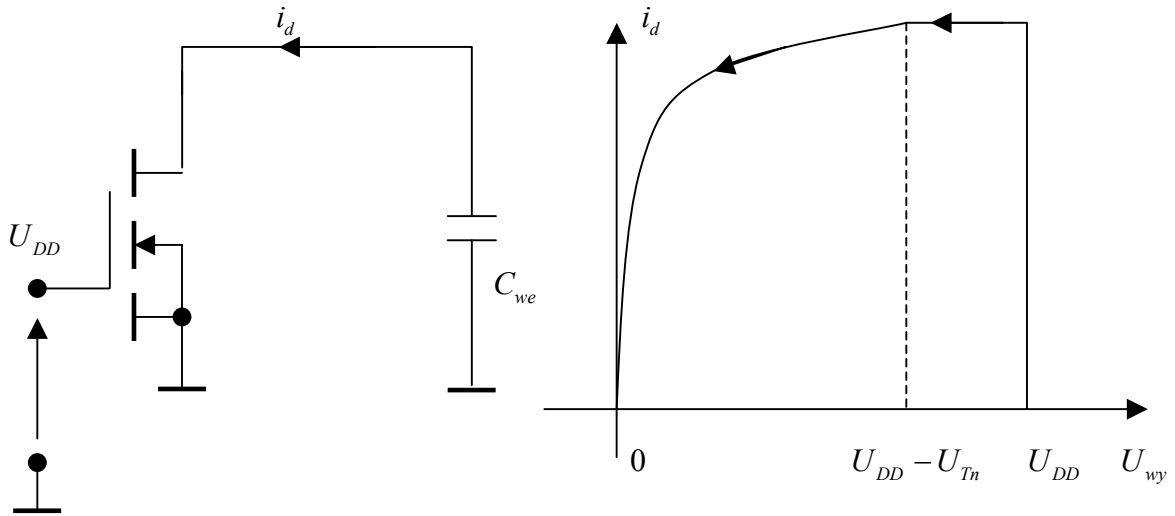
Rys. 7. Charakterystyki przejściowe inwertera CMOS dla różnych napięć zasilania

a) odpowiedź inwertera CMOS na skok napięcia wejściowego od 0 V do U_{DD} jest określona w głównej mierze przeładowywaniem pojemności wejściowej inwertera obciążającego przez włączony tranzystor z kanałem n (tranzystor T_p zatyka się).

Na rys. 8 przedstawiono schemat zastępczy układu po komutacji oraz trajektorię punktu pracy tranzystora T_n .

W pierwszej fazie po komutacji tranzystor T_n pracuje w zakresie nasycenia i przewodzi stały w przybliżeniu prąd drenu

$$i_d = \frac{1}{2} \beta_n (u_{we} - U_{Tn})^2 = \frac{1}{2} \beta_n (U_{DD} - U_{Tn})^2$$



Rys. 8. Schemat zastępczy układu inwertera CMOS po przełączeniu (po skoku napięcia na wejściu) oraz trajektoria punktu pracy tranzystora T_n

Rozładowywanie pojemności wejściowej stałym prądem przebiega według zależności

$$u_{wy}(t) = U_{DD} - \frac{i_d}{C_{we}} t = U_{DD} - \frac{\beta_n}{2C_{we}} (U_{DD} - U_{Tn})^2 t$$

Tranzystor T_n wejdzie w zakres nienasycenia w momencie, gdy napięcie wyjściowe osiągnie wartość

$$u_{wy}(t_1) = u_{we} - U_{Tn} = U_{DD} - U_{Tn} \quad \text{czyli, gdy}$$

$$\frac{\beta_n}{2C_{we}} (U_{DD} - U_{Tn})^2 t_1 = U_{Tn}$$

stąd

$$t_1 = \frac{2C_{we} U_{Tn}}{\beta_n (U_{DD} - U_{Tn})^2}$$

Wartości t_1 w zależności od U_{DD} wynoszą

$U_{DD1} = 9 \text{ V}$	$t_1 = 35 \text{ ps}$
$U_{DD2} = 5 \text{ V}$	$t_1 = 140 \text{ ps}$
$U_{DD3} = 3 \text{ V}$	$t_1 = 560 \text{ ps}$

Dla $t > t_1$ tranzystor T_n pracuje w zakresie nienasycenia

$$i_d = \beta_n \left[(u_{we} - U_{Tn}) u_{wy} - \frac{1}{2} u_{wy}^2 \right] = \beta_n \left[(U_{DD} - U_{Tn}) u_{wy} - \frac{1}{2} u_{wy}^2 \right]$$

stąd

$$C_{we} \frac{du_{wy}}{dt} = -\beta_n \left[(U_{DD} - U_{Tn}) u_{wy} - \frac{1}{2} u_{wy}^2 \right]$$

Po rozwiązaniu powyższego równania różniczkowego otrzymuje się

$$u_{wy}(t) = 2 \frac{U_{DD} - U_{Tn}}{1 + \exp\left(\beta_n \frac{U_{DD} - U_{Tn}}{C_{we}} t + K\right)}$$

Stałą K wyznacza się z warunku ciągłości napięcia wyjściowego w chwili t_1

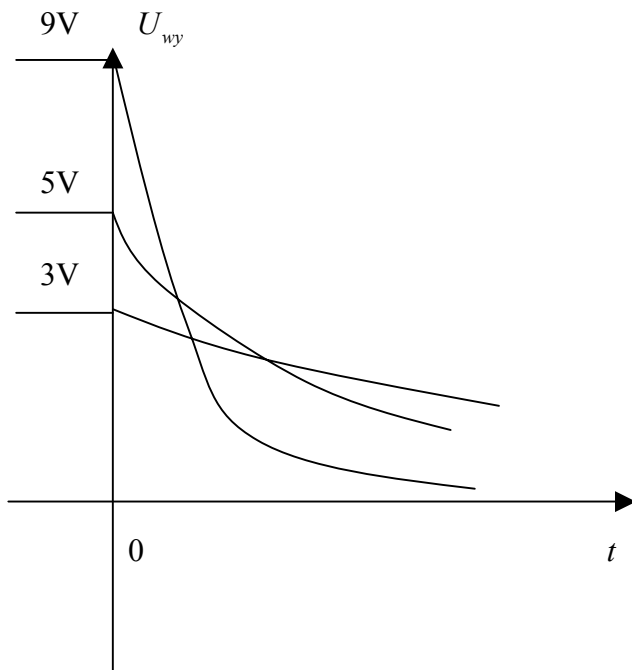
$$u_{wy}(t_1) = U_{DD} - U_{Tn}$$

stąd

$$K = - \frac{2U_{Tn}}{U_{DD} - U_{Tn}}$$

oraz

$$u_{wy}(t) = 2 \frac{U_{DD} - U_{Tn}}{1 + \exp\left(\beta_n \frac{U_{DD} - U_{Tn}}{C_{we}} t - \frac{2U_{Tn}}{U_{DD} - U_{Tn}}\right)}$$



Rys. 9. Przebieg napięcia podczas włączania inwertera CMOS dla różnych napięć zasilania (narastające zbocze przebiegu wejściowego)

Napięcie wyjściowe spadnie do wartości $0,1 U_{DD}$ po czasie

$$t_2 = \frac{\frac{2U_{Tn}}{U_{DD} - U_{Tn}} + \ln \left[\frac{20(U_{DD} - U_{Tn})}{U_{DD}} - 1 \right]}{\frac{\beta_n (U_{DD} - U_{Tn})}{C_{we}}}$$

Wartości tego czasu wynoszą odpowiednio

$$U_{DD1} = 9 \text{ V} \quad t_2 = 0,43 \text{ ns}$$

$$U_{DD2} = 5 \text{ V} \quad t_2 = 0,9 \text{ ns}$$

$$U_{DD3} = 3 \text{ V} \quad t_2 = 1,97 \text{ ns}$$

Przebiegi napięć podczas włączania inwertera CMOS dla różnych napięć zasilania przedstawiono na rys. 9.

b) W analogiczny sposób wyznacza się przebieg napięcia wyjściowego przy wyłączaniu inwertera CMOS. Zostaje wówczas nagle włączony tranzystor T_p i wyłączony tranzystor T_n . Pojemność wejściowa C_{we} inwertera obciążającego jest wówczas ładowana prądem płynącym przez T_p .

W pierwszej fazie T_p jest nasycony. Prąd ładowania pojemności wejściowej wynosi

$$i_{dp} = \frac{1}{2} \beta_p (-U_{DD} - U_{Tp})^2$$

Przebieg napięcia wyjściowego jest wtedy liniowy

$$u_{wy}(t) = \frac{\beta_p (U_{DD} + U_{Tp})^2}{2C_{we}} t$$

Faza ta trwa do momentu wejścia punktu pracy tranzystora T_p w obszar nasycenia, czyli do momentu t_3 , gdy

$$U_{DSp} = u_{wy}(t_3) - U_{DD} = U_{GSp} - U_{Tp} = -U_{DD} - U_{Tp} = -U_{DD} - U_{Tp}$$

czyli

$$u_{wy}(t_3) = -U_{Tp} = 1 \text{ V}$$

Stąd

$$t_3 = -\frac{2C_{we}U_{Tp}}{\beta_p (U_{DD} - U_{Tp})^2}$$

Wartości t_3 wynoszą odpowiednio:

$$U_{DD1} = 9 \text{ V} \quad t_3 = 83 \text{ ps}$$

$$U_{DD2} = 5 \text{ V} \quad t_3 = 333 \text{ ps}$$

$$U_{DD3} = 3 \text{ V}$$

$$t_3 = 1333 \text{ ps}$$

Od momentu t_3 tranzystor T_p pracuje w zakresie nienasycenia

$$i_{dp} = \beta_p \left[(U_{DD} + U_{Tp})(U_{DD} - u_{wy}) - \frac{1}{2}(U_{DD} - u_{wy})^2 \right]$$

Napięcie wyjściowe zmienia się według zależności

$$u_{wy}(t) = U_{DD} - 2 \frac{U_{DD} + U_{Tp}}{1 + \exp\left(\beta_p \frac{U_{DD} + U_{Tp}}{C_{we}} t + \frac{2U_{Tp}}{U_{DD} + U_{Tp}}\right)}$$

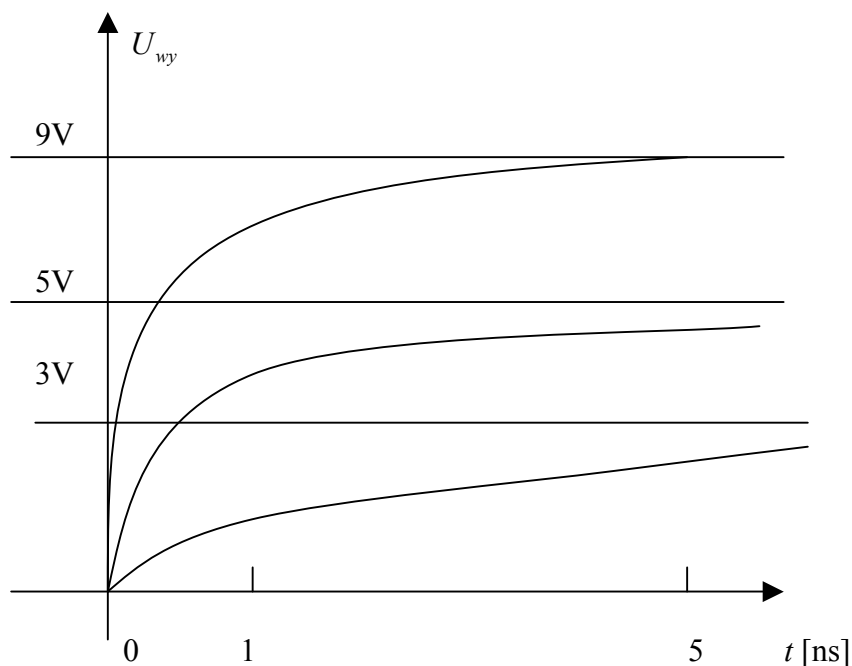
Napięcie wyjściowe osiąga wartość $0,9 U_{DD}$ po czasie t_4

$$U_{DD1} = 9 \text{ V} \quad t_4 = 1,02 \text{ ns}$$

$$U_{DD2} = 5 \text{ V} \quad t_4 = 2,14 \text{ ns}$$

$$U_{DD3} = 3 \text{ V} \quad t_4 = 4,68 \text{ ns}$$

Przebiegi napięcia wyjściowego dla różnych napięć zasilania przedstawiono na rys. 10.



Rys. 10 Przebieg napięcia podczas wyłączania inwertera CMOS dla różnych napięć zasilania (opadające zbocze sygnału wejściowego)