

## 12.3 Architektura IA-32

Architektura IA-32, czyli architektura mikroprocesora Pentium IV, pokazana jest na rys. 2. Mikroprocesor Pentium IV jest 32-bitowy, więc wszystkie podstawowe rejestry procesora EAX, EBX, ECX, EDX, ESP, EBP, EDI, ESI są 32-bitowe. Rejestry segmentowe są jak we wcześniejszych architekturach 16-bitowe. Do pewnych 16- i 8-bitowych fragmentów rejestrów EAX, EBX, ECX, EDX, ESP, EBP, EDI, ESI można odwoływać się w sposób niezależny przez nazwę, tak jak pokazane to jest na rys. 1

	31	16	15	0	
EAX			AH	AL	AX (16 b)
EBX			BH	BL	BX (16 b)
ECX			CH	CL	CX (16 b)
EDX			DH	DL	DX (16 b)
EBP			BP		
ESP			SP		
ESI			SI		
EDI			DI		

Rys. 1. Rejestry uniwersalne Pentium IV

Pamięć operacyjna jak we wszystkich mikroprocesorach rodziny x86 ma organizację bajtową. Maksymalna pojemność pamięci operacyjnej to 64 GB. Przestrzeń adresowa jest więc równa  $2^{34}$ .

Rejestr znaczników EFLAGS jest 32-bitowy. Również licznik rozkazów jest 32-bitowy. Może więc bezpośrednio zaadresować 4GB pamięci.

Pentium IV zawiera koprocesor numeryczny, czyli inaczej jednostkę FPU (od ang. *floating point unit*). Do dyspozycji programisty pozostaje w koprocesorze 8 rejestrów 80-bitowych zorganizowanych w stos sprzętowy. Koprocesor może operować danymi stałoprzecinkowymi, zmiennoprzecinkowymi i specjalnym formatem zapisu BCD. Lista instrukcji koprocesora zawiera oprócz standardowych instrukcji arytmetycznych również instrukcje obliczania funkcji trygonometrycznych

### Rejestry podstawowe

EAX
EBX
ECX
ESI
EDI
EBP
ESP

CS
DS
SS
ES
FS
GS

Rejestry segmentowe 16 b

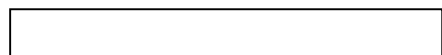
### Pamięć operacyjna

0  
1



Rejestry uniwersalne  
8 rejestrów 32-bitowych

EFLAGS Rejestr znaczników 32 b



8 rejestrów 80-bitowych, Rejestry danych  
zmiennoprzecinkowych

### Rejestry koprocessora–jednostki FPU

Rejestr sterowania 16b  
(Control Register)

Rejestr stanu 16 b  
(Status Register)

Rejestr znaczników 16 b  
(Tag Register)

Rejestr rozkazów  
FPU 11 bitów

Rejestr licznika rozkazów FPU 48 b

Rejestr wskaźnika danych FPU 48 b

### Rejestry MMX

8 rejestrów 64-bitowych MMX  
Rejestry MMX

### Rejestry SSE i SSE2

8 rejestrów 128-bitowych  
Rejestry XMM

Rejestr MXCSR 32 b

Rys.2. Architektura IA-32