



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

WYDZIAŁ INFORMATYKI, ELEKTRONIKI I TELEKOMUNIKACJI
KATEDRA ELEKTRONIKI

SAMODZIELNY ANALIZATOR STANÓW LOGICZNYCH Z WYJŚCIEM VGA

AUTORZY:

Filip Świątek, Piotr Jaszczur

KIERUNEK STUDIÓW:

Elektronika i Telekomunikacja

Kraków 2020

Spis treści

1. Część sprzętowa	3
2. Część programowa.....	8
2.1. Układ próbkujący	8
2.2. Pamięć RAM	9
2.3. Preskaler	9
2.4. Kontroler sygnałów synchronizacji obrazu	9
2.5. Generator obrazu	10
2.6. Podsumowanie	10

1. Część sprzętowa

Część sprzętowa projektu obejmuje zaprojektowanie oraz zmontowanie PCB - nakładki na płytkę Maximator. Wykorzystany układ FPGA jest zgodny z logiką 2,5 V, dlatego niezbędny był układ kondycjonowania dla wejść, aby zapewnić bezproblemową pracę podczas testowania układów zgodnych z logiką 3,3 V. Dodatkowym celem było zapewnienie interfejsu do sterowania pracą urządzenia.

Wykorzystano pięć przycisków, które służą do:

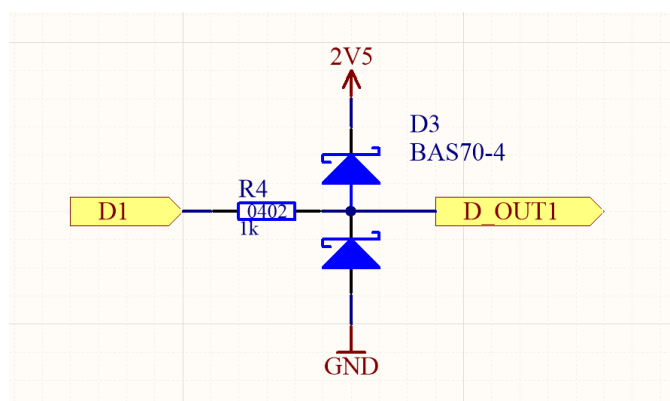
- CH+; CH- - zmiana wybranego kanału
- FASTER; SLOWER - zmiana częstotliwości próbkowania
- TRIG_SEL - zmiana sposobu
- RESET - sprzętowy reset Maximator'a

Dodatkowo znajduje się dioda *TRIG_STAT* sygnalizująca wyzwolenie zapisu.

Kondycjonowanie sygnału zostało zrealizowane za pomocą diod transil. Wymagały one osobnego zasilania napięciem 2.5 V, dlatego na płytce został umieszczony stabilizator. Dodatkowo szeregowo do wejścia został umieszczony rezystor o wartości $1\text{ k}\Omega$. Ma on za zadanie ograniczać maksymalny prąd, który popłynie podczas włączenia diody.

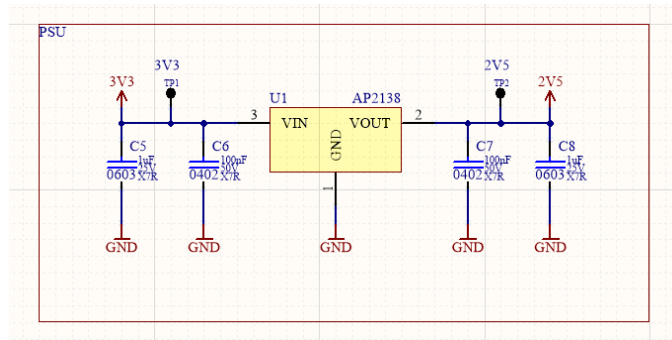
Poniżej przedstawiono obliczenia prądu płynącego przez diodę (z pominięciem napięcia na niej) dla napięcia wejściowego równego 3,3 V:

$$I = \frac{3,3\text{ V} - 2,5\text{ V}}{1\text{ k}\Omega} = 0,8\text{ mA} \quad (1.1)$$



Rysunek 1.1: Schemat układu kondycjonowania wejść

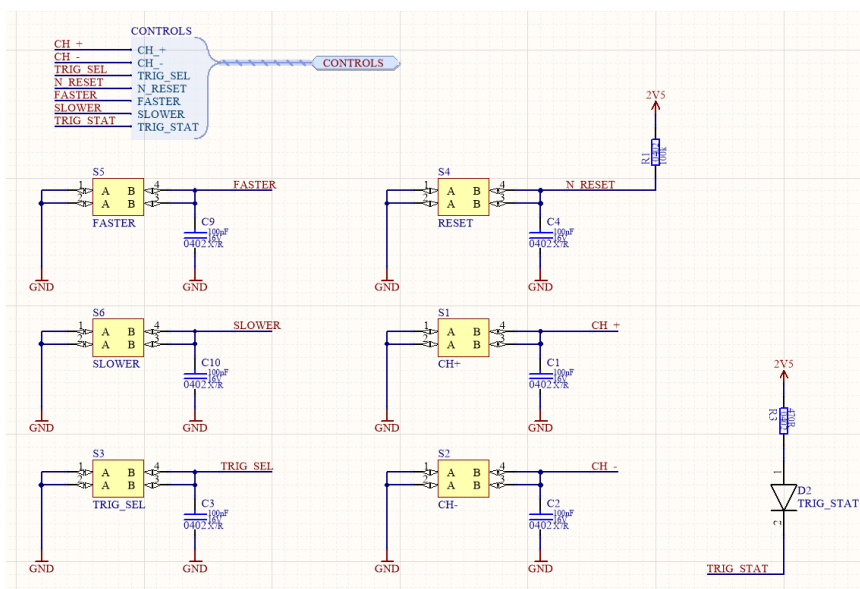
Jako źródło zasilania diod zastosowano liniowy stabilizator napięcia. Jako źródło wykorzystuje się napięcie 3,3 V dostarczane przez układ *Maximator*. Dodano kondensatory filtrujące w celu wygładzenia napięcia wyjściowego.



Rysunek 1.2: Schemat stabilizatora napięcia

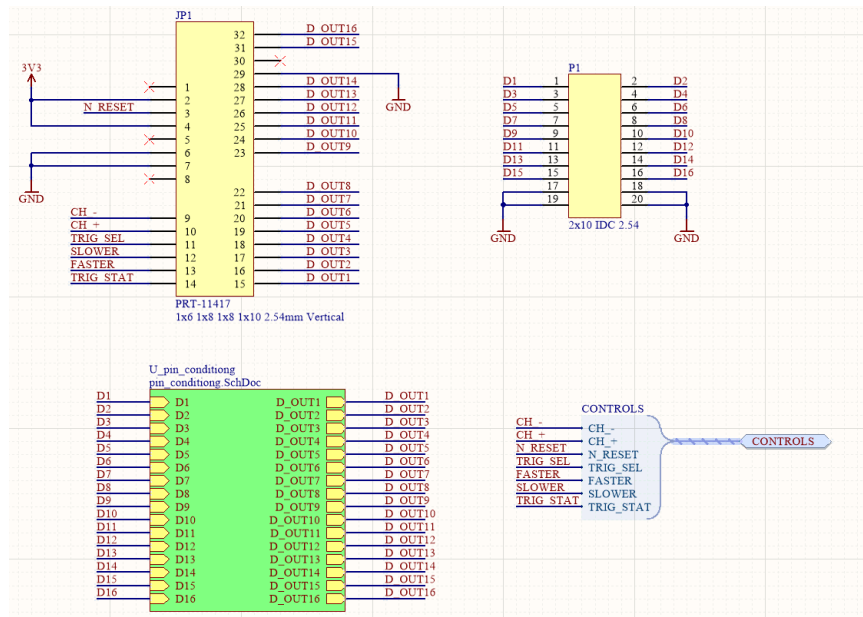
Poniżej zestawiono pozostałą część schematu ideowego urządzenia.

Przy układach peryferyjnych zastosowano wygładzanie drgań styków za pomocą kondensatorów o pojemności 100 nF.

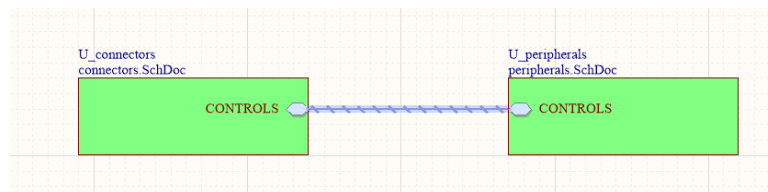


Rysunek 1.3: Schemat układów peryferyjnych

Schemat połączenia gniazd:



Rysunek 1.4: Schemat połączeń

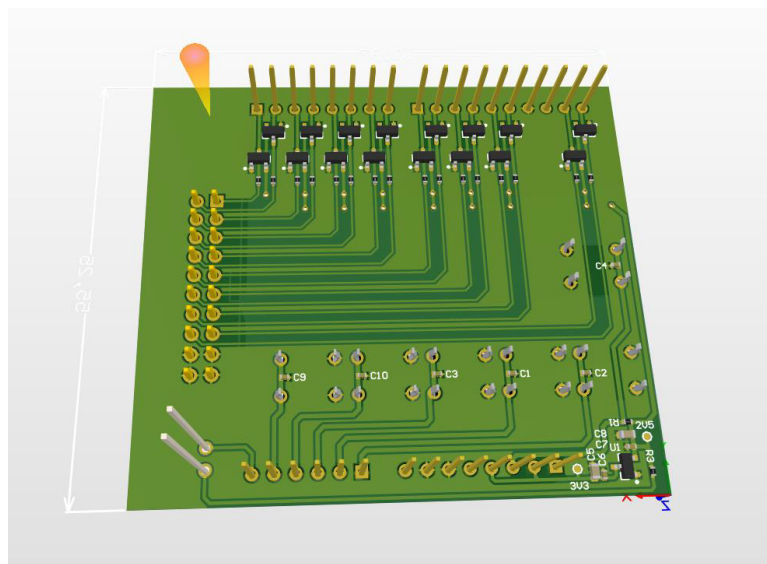


Rysunek 1.5: Schemat połączenia bloków projektowych

Wizualizacja 3D płytki:



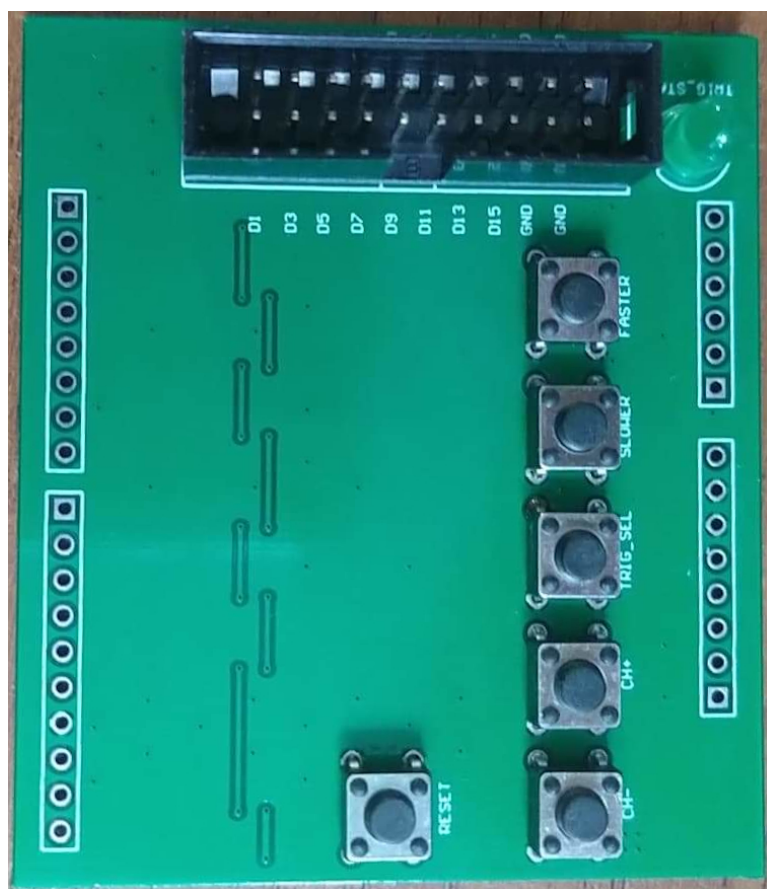
Rysunek 1.6: Widok PCB na warstwę górną



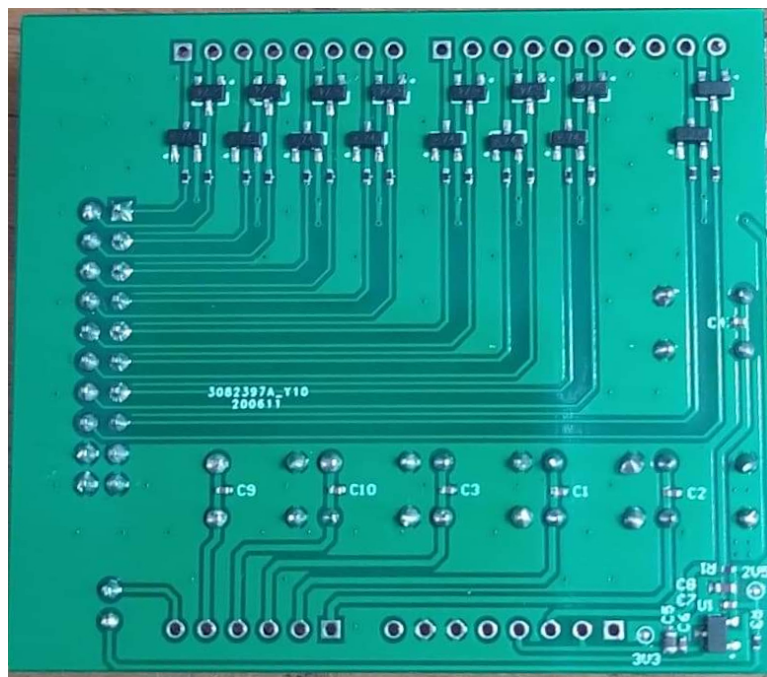
Rysunek 1.7: Widok PCB na warstwę dolną

Projekt PCB uwzględniał zachowanie odległości pomiędzy ścieżkami w celu zredukowania zakłóceń podczas transmisji szybkich sygnałów (redukcja wpływu efektu odległościowego - ang. *proximity effect*).

Zdjęcia płytki po zmontowaniu:



Rysunek 1.8: Widok płytki na warstwę górną



Rysunek 1.9: Widok płytki na warstwę dolną

Po sprawdzeniu multimetrem wszystkie ścieżki zachowują ciągłość, a także nie występują między nimi żadne zwarcia. Napięcie wyjściowe stabilizatora wynosi około 2,5 V. Po zadaniu 3,3 V na wejście analizatora skutkuje sygnałem nieprzekraczającym 2,5 V po ograniczeniu przez diody transil.

2. Część programowa

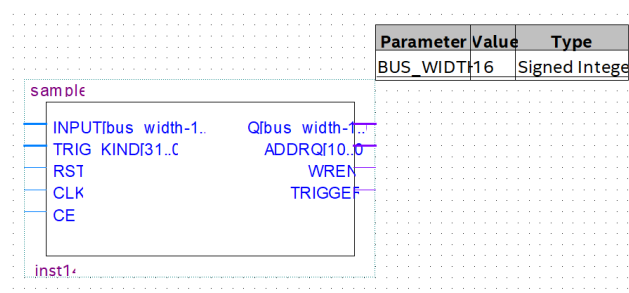
Ta część projektu odpowiada za analizę nadchodzących z wejść sygnałów i podejmowanie decyzji o wyzwoleniu zapisu na podstawie konfiguracji ustawionej przez użytkownika.

2.1. Układ próbkujący

Pierwszym elementem, który należało wykonać był układ próbkujący. To on odpowiedzialny jest za wyzwolenie zapisu próbek do pamięci i jego kontrolę. Z każdym narastającym zboczem zegara, kiedy sygnał *CE* jest wysoki, następuje sprawdzanie, czy sygnał wejściowy się zmienił w określony sposób. Rodzaje śledzonych zmian zależą od wejścia *TRIG_KIND*. Wejście to dzieli się na 16 2-bitowych wektorów, których wartości przekładają się na zdarzenie wyzwalające zapis danych. Dla każdego z 16 wejść są to kolejno:

- "00- brak wzoru wyzwalającego
- "01- wyzwolenie zboczem narastającym
- "10- wyzwolenie zboczem opadającym
- "11- wyzwolenie zarówno zboczem narastającym jak i opadającym

Początkowo, jak i po resecie, wyjście *WREN* jest w stanie wysokim, aby móc natychmiastowo zapisać pierwszą próbkę tuż po wyzwoleniu. Stan sygnału *WREN* jest sterowany tak, aby zapisywać wartości od pierwszej próbki aż do ostatniej. Sygnał *Q* odświeża się po uzyskaniu nowej próbki i zmianie adresu zapisu (sygnał *ADDRQ*) na odpowiedni. Po zresetowaniu, układ przełącza się w tryb nasłuchiwanie sygnału wejściowego w oczekiwaniu na wzór wyzwalający. Schemat blokowy modułu przedstawiono na rysunku 2.1



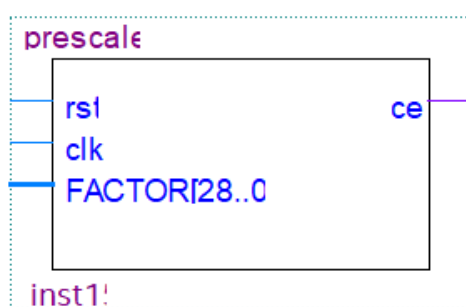
Rysunek 2.1: Blok układu próbkującego

2.2. Pamięć RAM

Pamięć RAM jest zaimplementowanym przez producenta układu FPGA modulem dwuportowej pamięci BRAM. Latencja operacji odczytu to jeden cykl zegarowy, gdyż zrezygnowano z przerzutników na wyjściu pamięci.

2.3. Preskaler

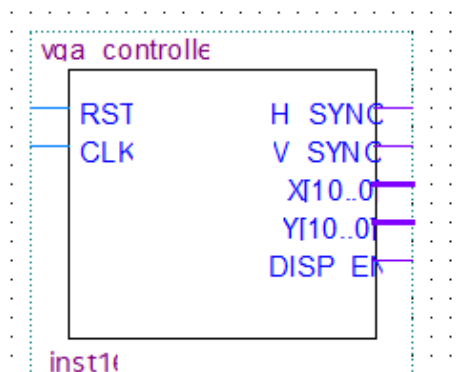
Układ ten w odróżnieniu od pozostałych, zmienia stan sygnału wejściowego na opadającym zboczu zegara. Przekłada się to na wysoce ułatwioną analizę poprawności pracy modułów. Jest to preskaler, który steruje wyjściem *CE* w taki sposób, aby miało wysoki stan po doliczeniu do liczby, która znajduje się na jego wejściu o nazwie *PRESCALING_FACTOR* lub od parametru podanego podczas jego deklaracji. W tym projekcie preskaler ustawiany parametrem mógłby być składowym elementem układu debouncera, jednak zdecydowano o jego braku ze względu na sprzętowy debouncing. Jedna instancja tego modułu w wersji nastawnej pełni rolę dzielnika częstotliwości próbkowania. Schemat blokowy modułu znajduje się na rysunku 2.2.



Rysunek 2.2: Blok preskalera

2.4. Kontroler sygnałów synchronizacji obrazu

Moduł kontrolera sygnałów sygnalizacji obrazu jest elementem wskazującym współrzędne piksela aktualnie rysowanego na ekranie (*X* oraz *Y*) oraz steruje sygnałami synchronizacji pionowej i poziomej. (*V_SYNC* i *H_SYNC*) Moduł posiada również wyjście sygnału *DISP_EN* służące do łatwego określenia tego, czy obecnie rysowany jest piksel widocznej, czy ukrytej części obrazu. (ang. *porch*) Blok modułu pokazano na rysunku 2.3



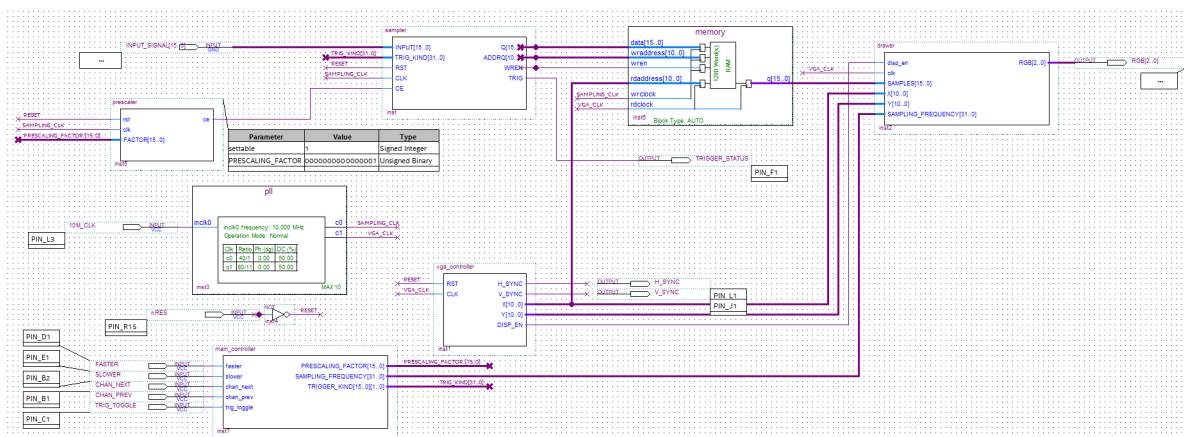
Rysunek 2.3: Blok kontrolera sygnałów synchronizacji obrazu

2.5. Generator obrazu

Za ten blok odpowiedzialna była pani Magda, jednak nie został on ukończony. Nie mamy dostępu do postępów pracy nad tą częścią.

2.6. Podsumowanie

Symulacje wszystkich ukończonych modułów odbyły się z sukcesem, dodatkowo przetestowano ich współgranie, obecnie bez modułu rysującego obraz. Warstwa *top* projektu została pokazana na rysunku 2.4.

Rysunek 2.4: Schemat blokowy warstwy *top*