

Elementos básicos

- Procesador
- Memoria principal
- Módulos de E/S
- Interconexión de sistemas

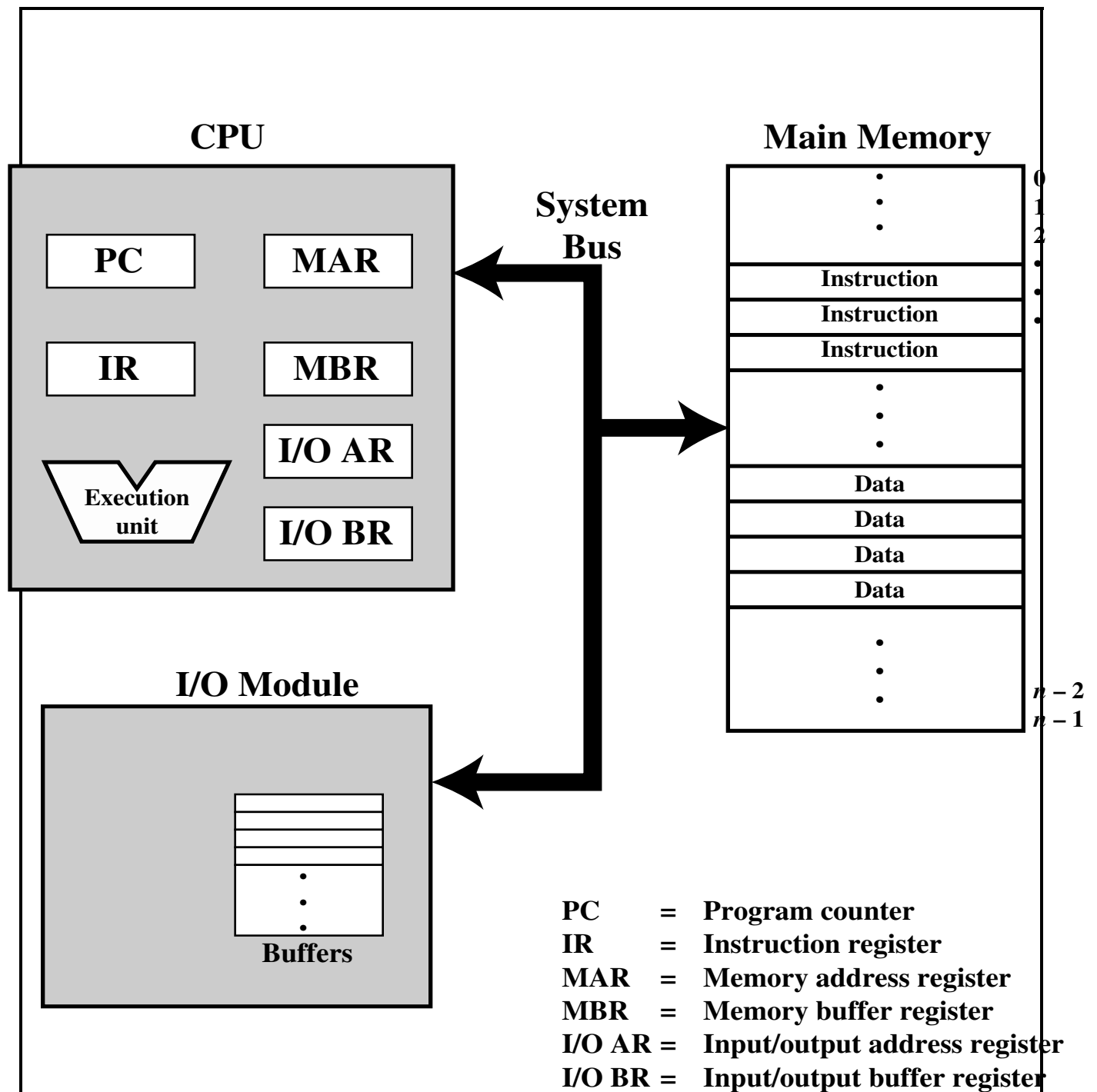


Figure 1.1 Computer Components: Top-Level View

Registros del procesador

- Registros visibles de usuario
 - Registros de datos
 - Registros de dirección
 - Registro índice
 - Puntero de segmento
 - Puntero de pila
- Registros de control y de estado
 - Contador de programa
 - Registro de instrucciones
 - Códigos de condición

Lectura y ejecución de instrucciones

Acciones de las instrucciones

- Procesador memoria
- Procesador E/S
- Tratamiento de datos
- Control

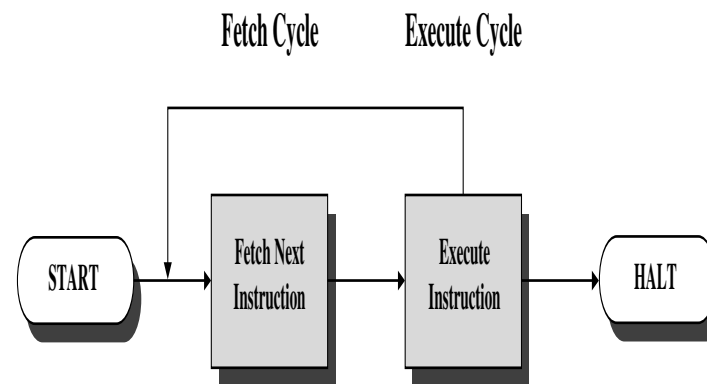
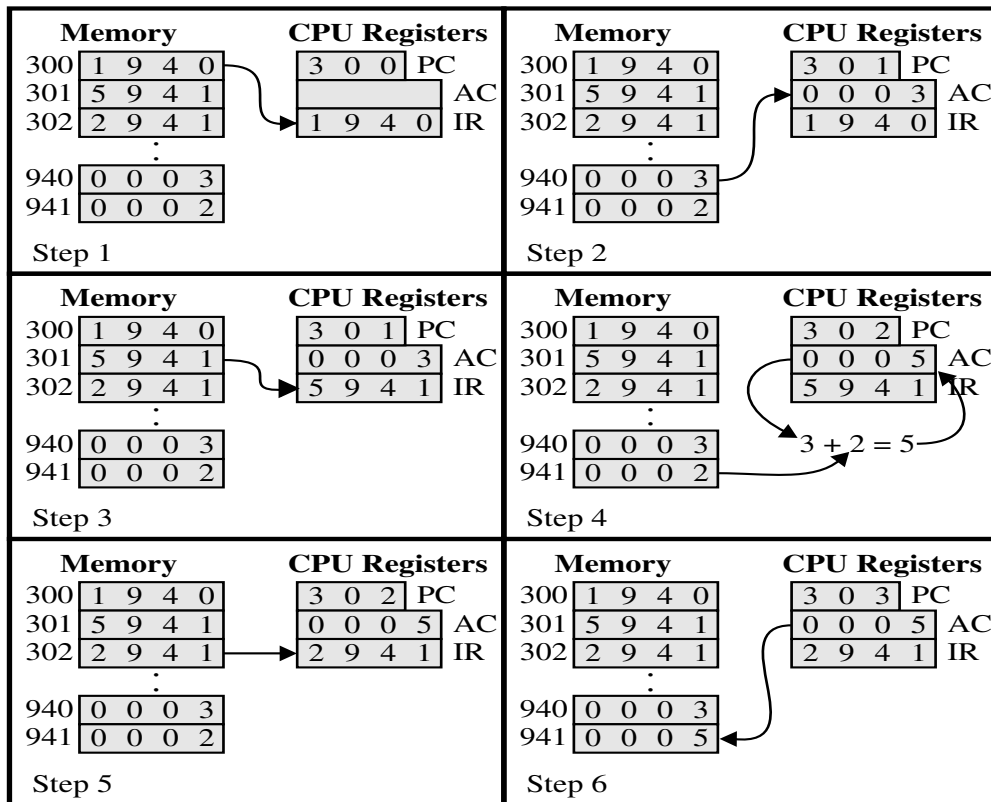


Figure 1.2 Basic Instruction Cycle



**Figure 1.4 Example of Program Execution
(contents of memory and registers in hexadecimal)**

Interrupciones

Todos los computadores proporcionan un mecanismo mediante el cual otros módulos (E/S, memoria) pueden interrumpir la ejecución normal del procesador.

Una forma de mejorar la eficiencia del procesador

Programa de E/S

- Una secuencia de instrucciones. Preparación de las instrucciones de E/S.
- Las operaciones concretas de E/S.
- Una secuencia de instrucciones para completar la operación.

Las interrupciones y el ciclo de instrucciones

Con las interrupciones, el procesador se puede dedicar a la ejecución de otras instrucciones mientras que la operación de E/S están en proceso

- Rutina de tratamiento de interrupción (**interrupt handler**)
- Para dar cabida a las interrupciones se añade un ciclo de interrupción.

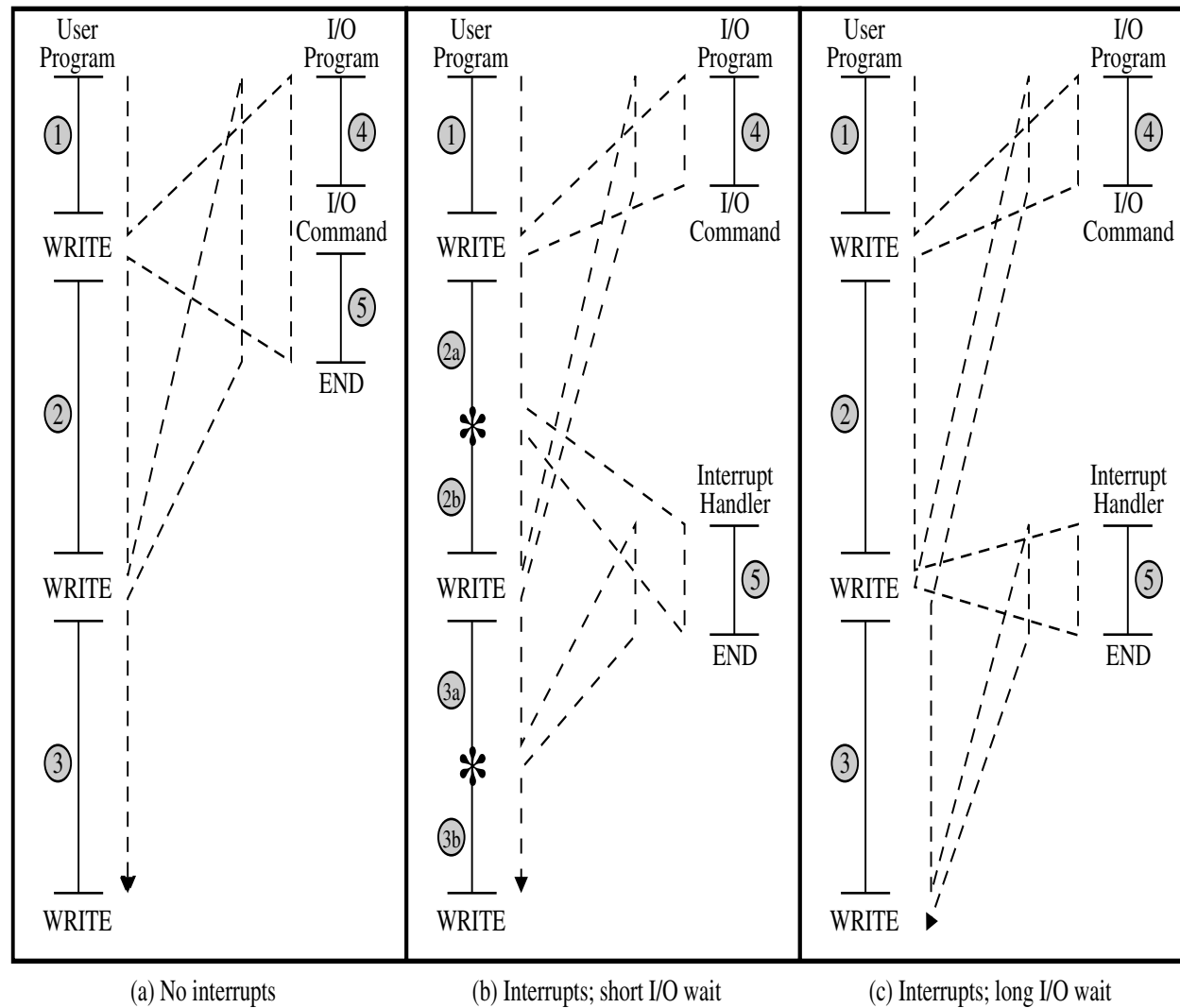


Figure 1.5 Program Flow of Control Without and With Interrupts

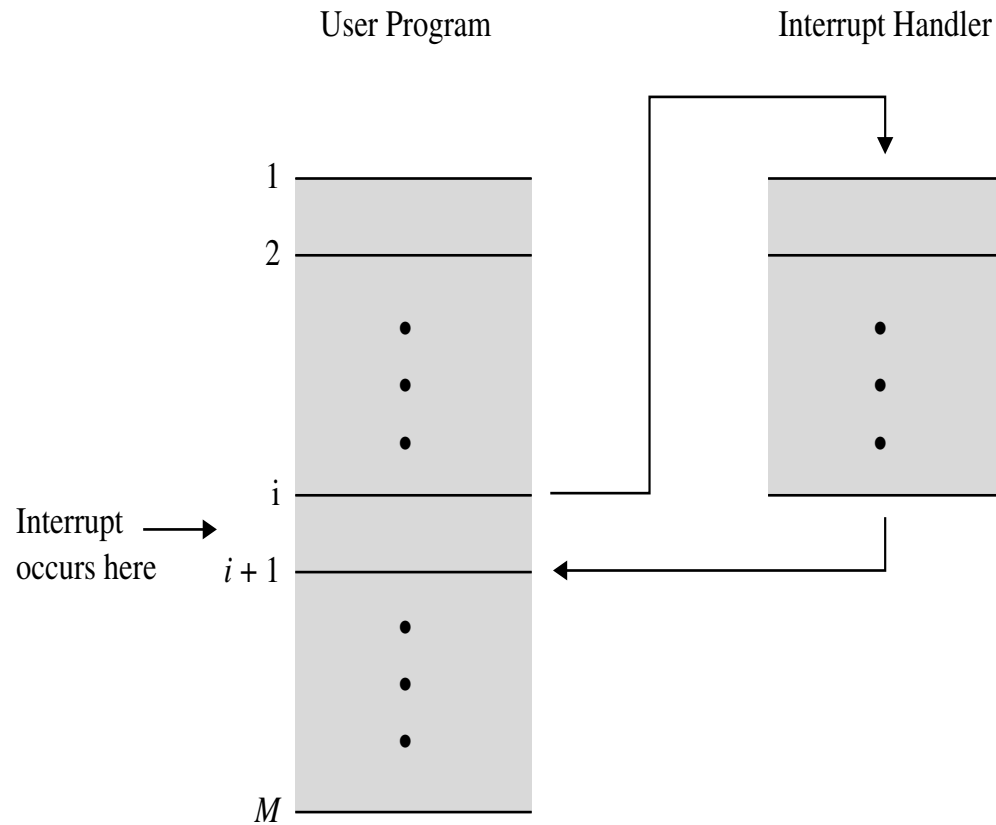


Figure 1.6 Transfer of Control via Interrupts

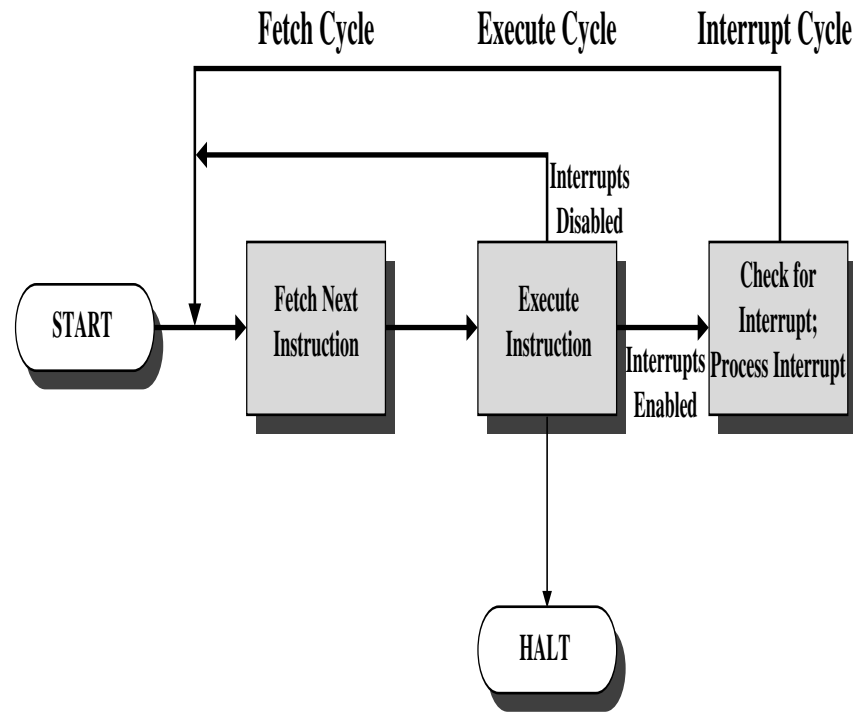


Figure 1.7 Instruction Cycle with Interrupts

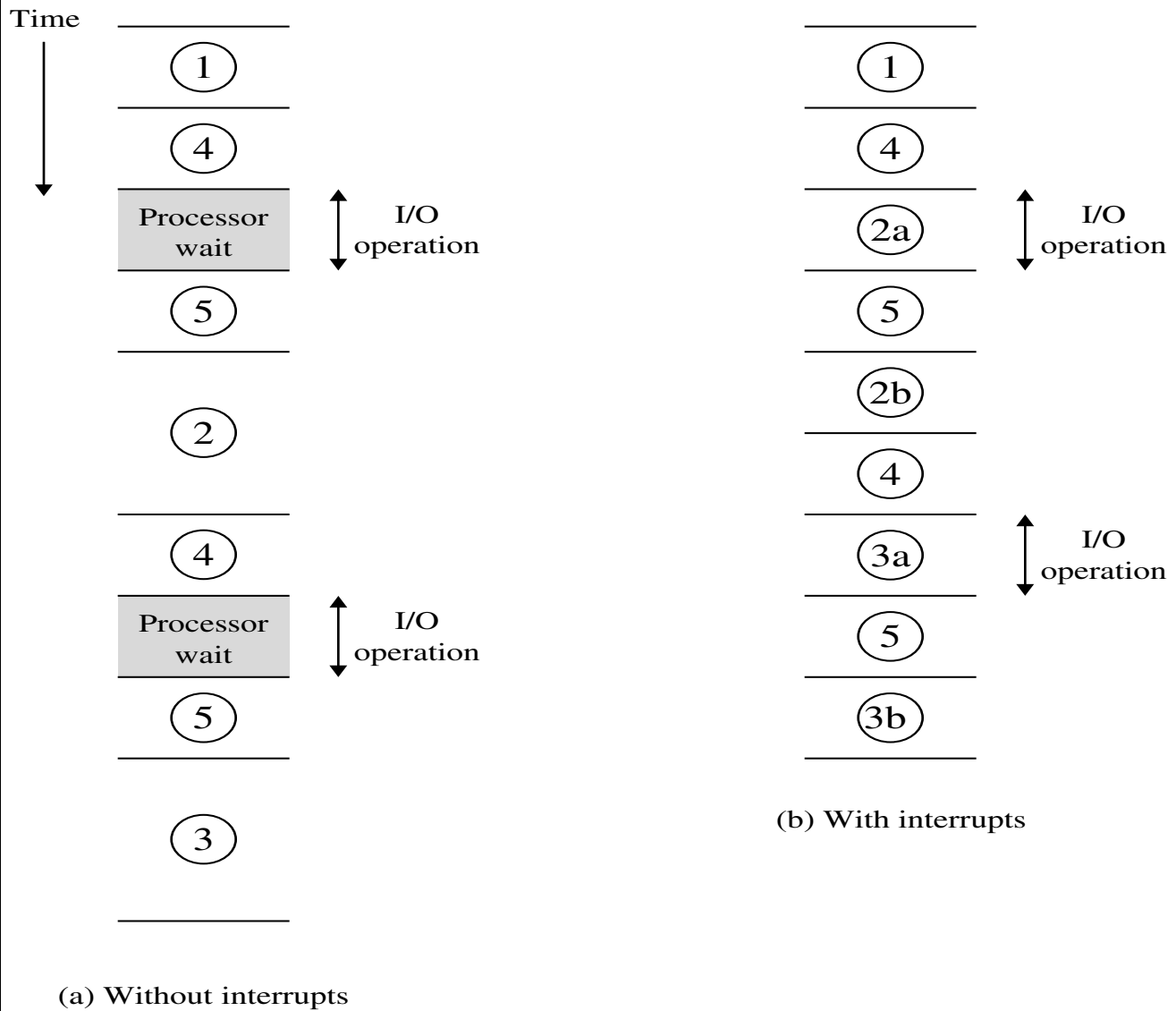


Figure 1.8 Program Timing: Short I/O Wait

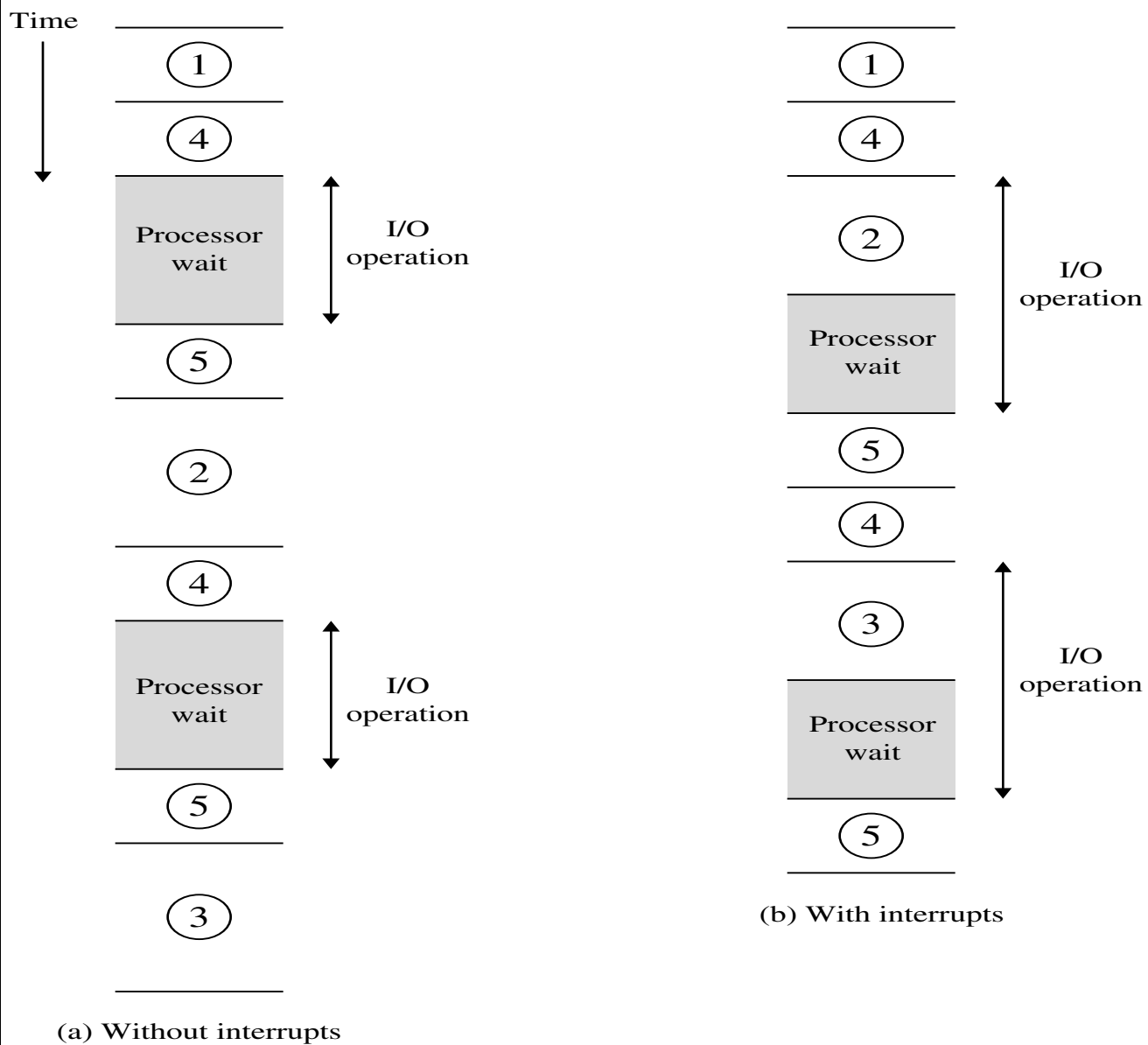


Figure 1.9 Program Timing: Long I/O Wait

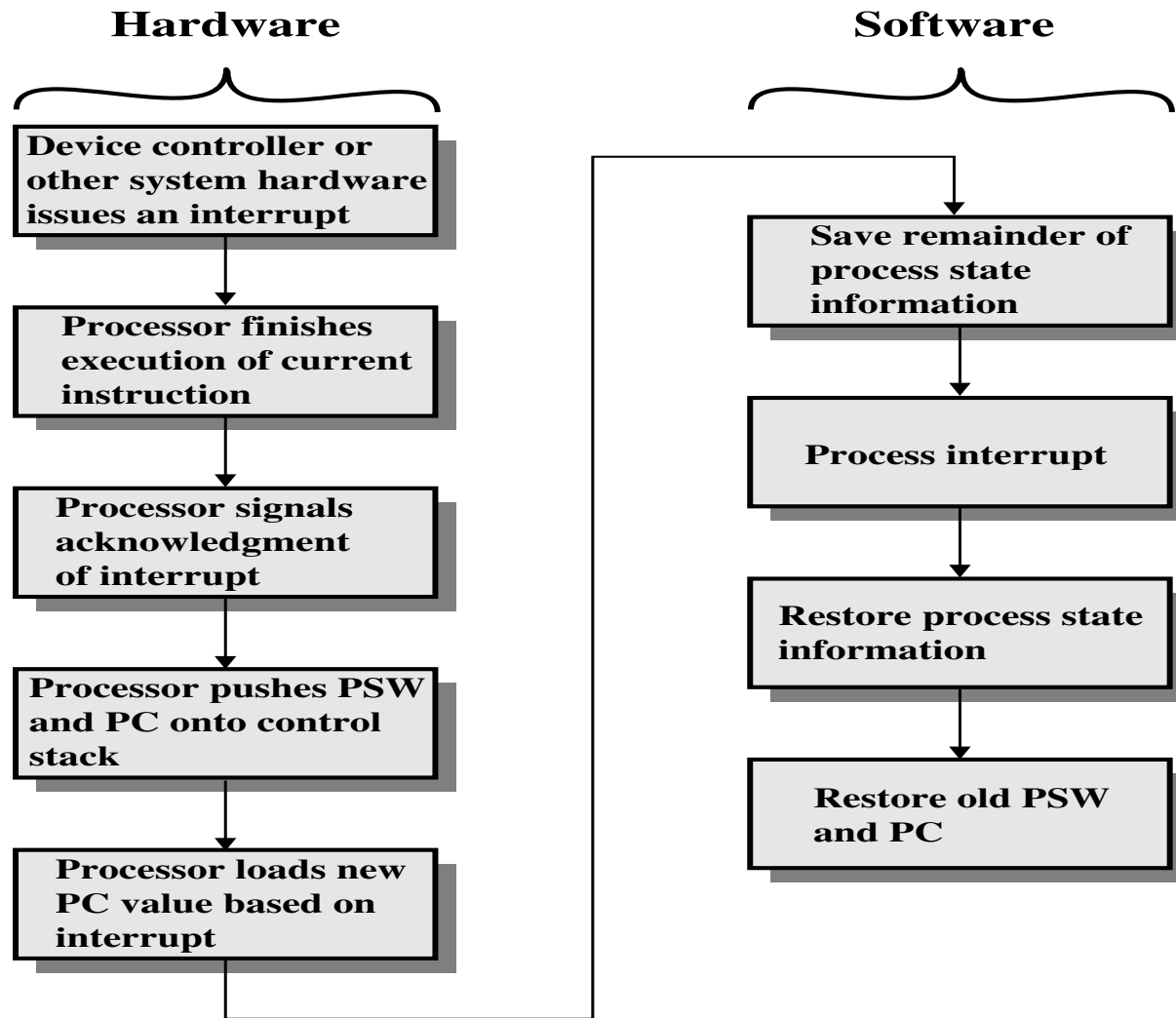


Figure 1.10 Simple Interrupt Processing

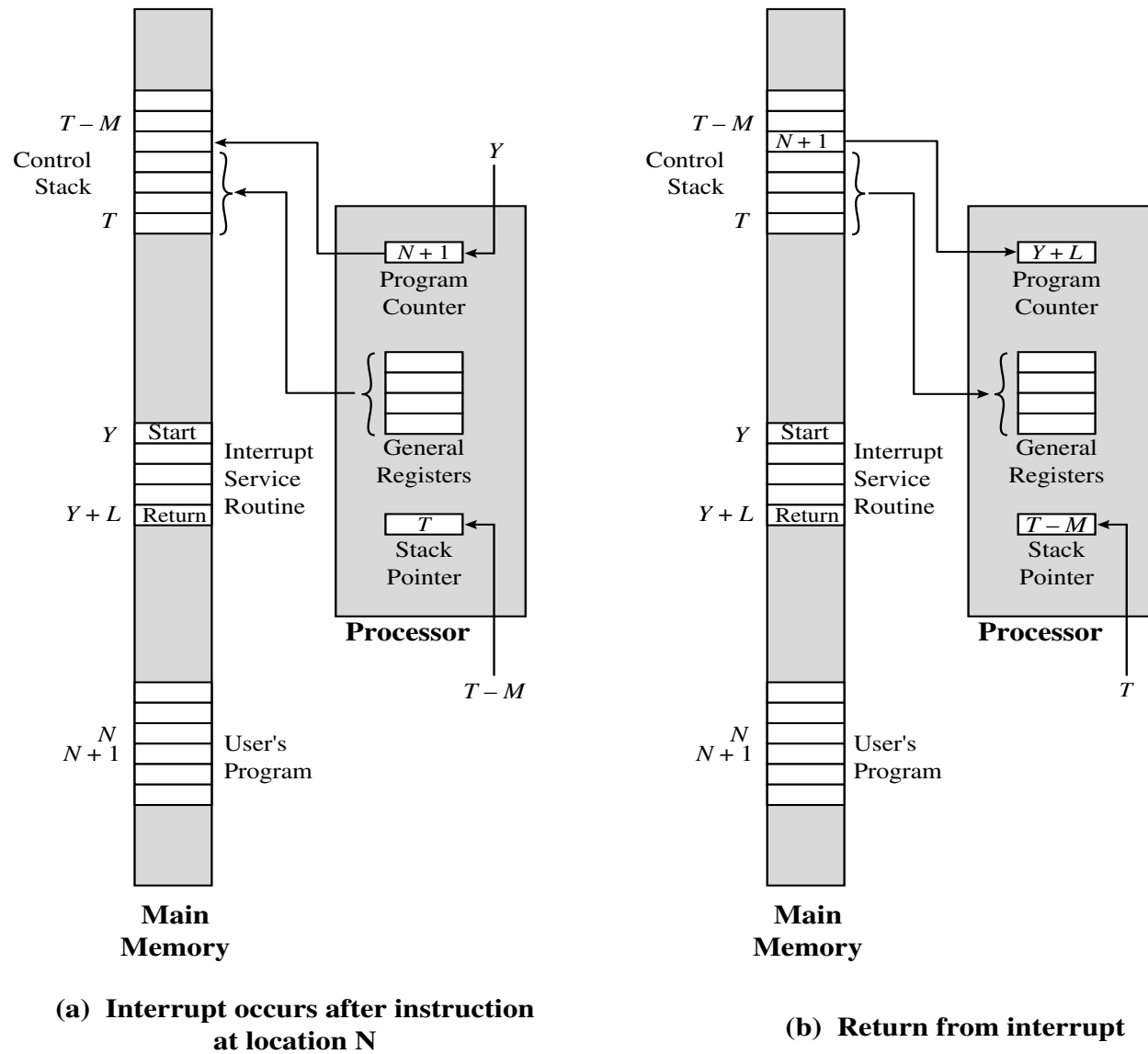
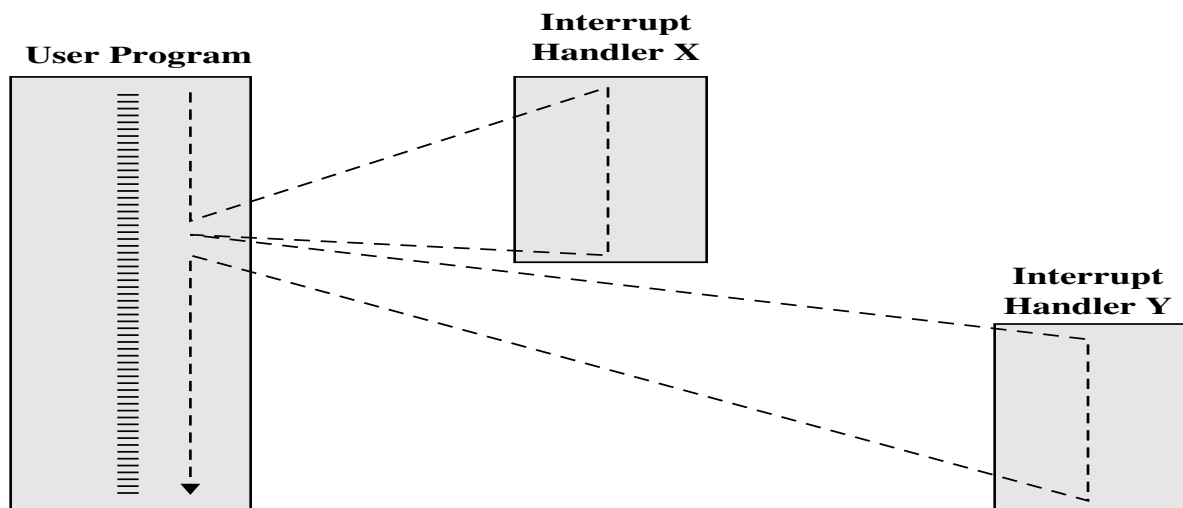


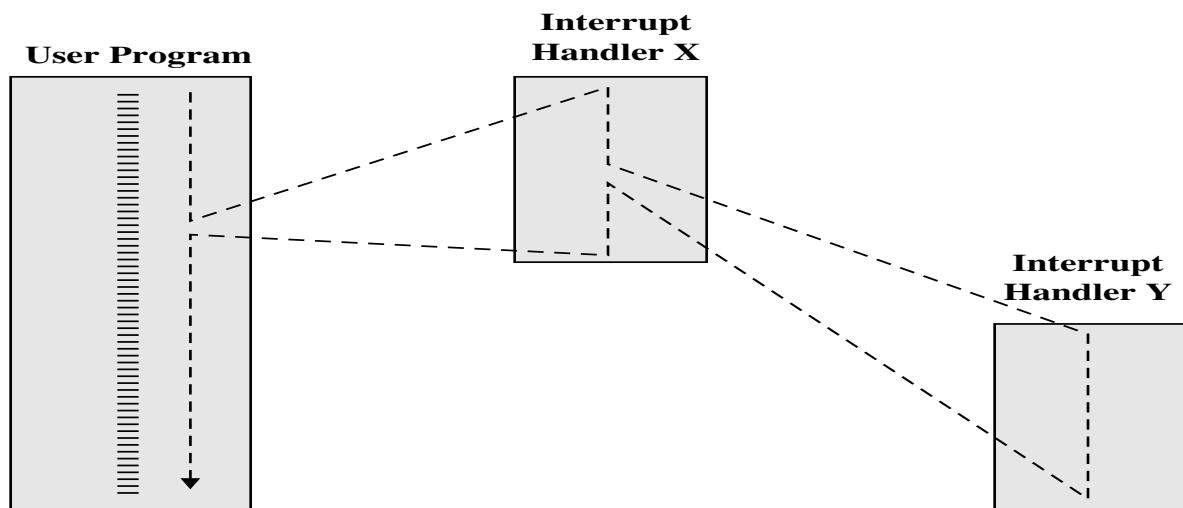
Figure 1.11 Changes in Memory and Registers for an Interrupt

Interrupciones múltiples

- Inhabilitar interrupciones
- Definir prioridades



(a) Sequential interrupt processing



(b) Nested interrupt processing

Figure 1.12 Transfer of Control with Multiple Interrupts

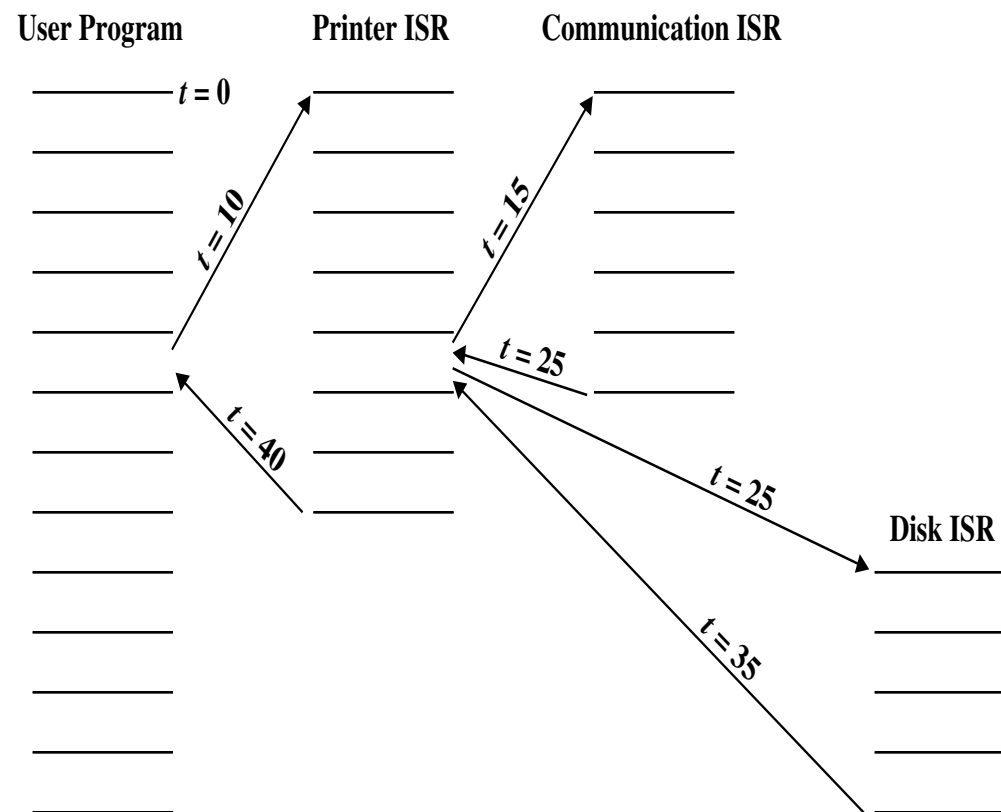


Figure 1.13 Example Time Sequence of Multiple Interrupts [TANE90]

Jerarquía de memoria

Limitaciones

- ¿Qué cantidad?
- ¿Qué velocidad?
- ¿Qué costo?

Principio

“Solo utilizar tanta memoria costosa como sea necesario y proporcionar al mismo tiempo memoria barata no volátil”

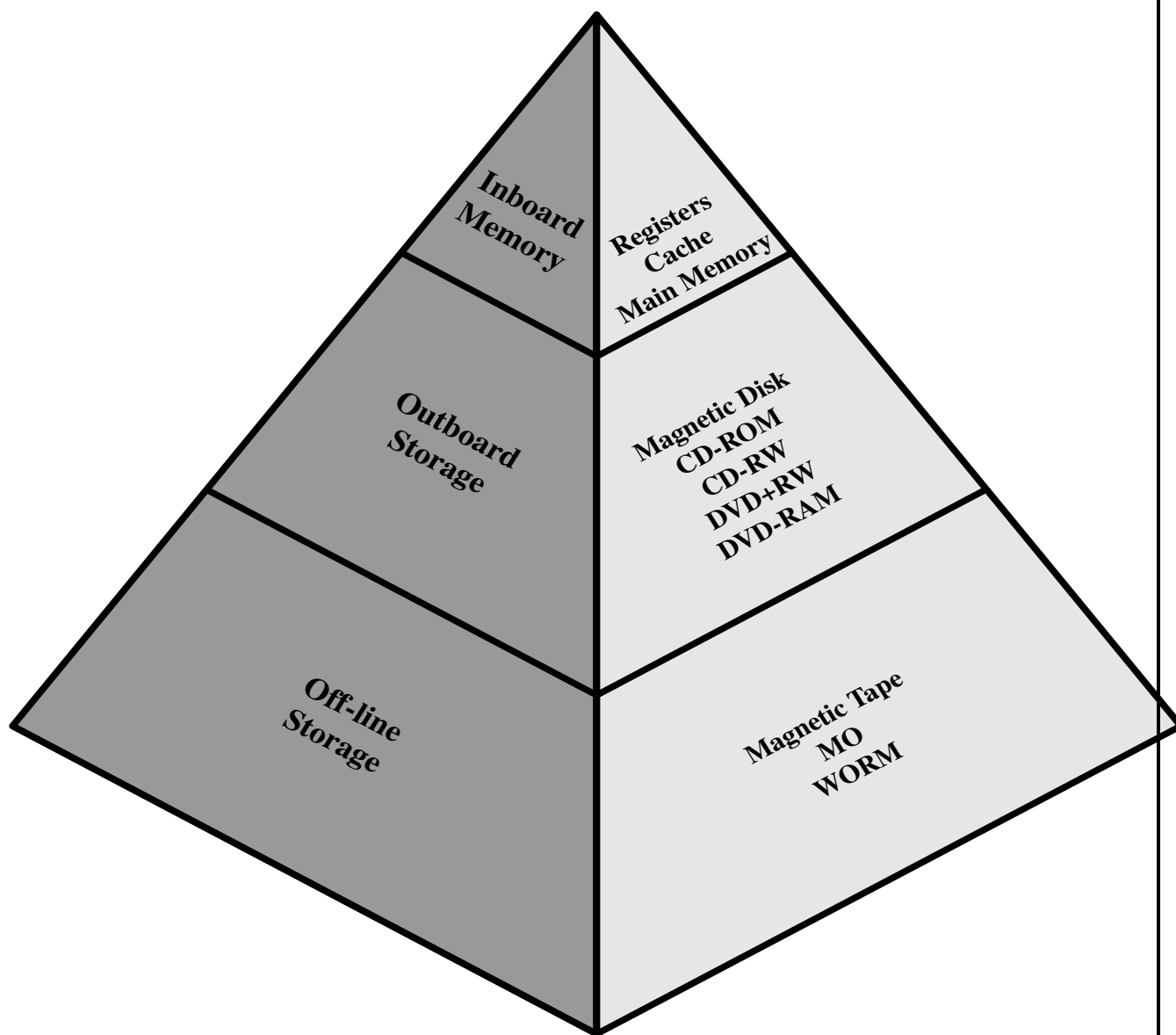


Figure 1.14 The Memory Hierarchy

Proximidad referencial (Cercanía de referencias)

Espacial: dada dos referencias $re(j)$ y $re(i)$ próximas en el tiempo (es decir: $i - j$ sea pequeño), existe una alta probabilidad de que su distancia ($d(re(j), re(i))$) sea muy pequeña.

Temporal: un programa en ejecución tiende a referenciar direcciones empleadas en un pasado próximo. Esto es, existe una probabilidad muy alta de que la próxima referencia $re(j + 1)$ esté entre las n referencias anteriores $re(j - n + 1), re(j - n + 2), \dots, re(j - 2), (j - 1), re(j)$.

Próximidad espacial

- Los programas son fundamentalmente secuenciales, a excepción de las bifurcaciones, por lo que su lectura genera referencias consecutivas.
- Adicionalmente, la mayoría de los bucles son muy pequeños, de unas cuantas instrucciones máquina, por lo que su ejecución genera referencias con distancias muy cortas.
- Las estructuras de datos que se recorren de forma secuencial o con referencias muy próximas son muy frecuentes (Vectores, listas, pilas, matrices, etc).

Proximidad temporal

- Los bucles producen proximidad temporal, además de proximidad espacial.
- El uso de datos o parámetros de forma repetitiva produce proximidad temporal.
- Las llamada repetidas a subrutinas también son muy frecuentes y producen proximidad temporal.

Cache

- Surge como un mecanismo que ayude al desequilibrio entre la la velocidad del procesador y la velocidad de la memoria principal.
- La memoria cache es una memoria con velocidades cercanas a la velocidad de los registros del procesador.
- **Diseño de la cache**
 - Tamaño de la cache.
 - Tamaño del bloque.
 - Función de traducción (mapping).
 - Algoritmo de reemplazo.
 - Política de escritura

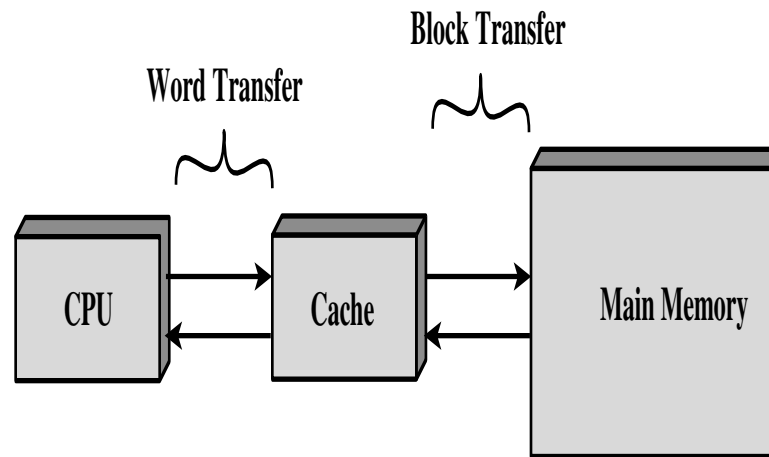
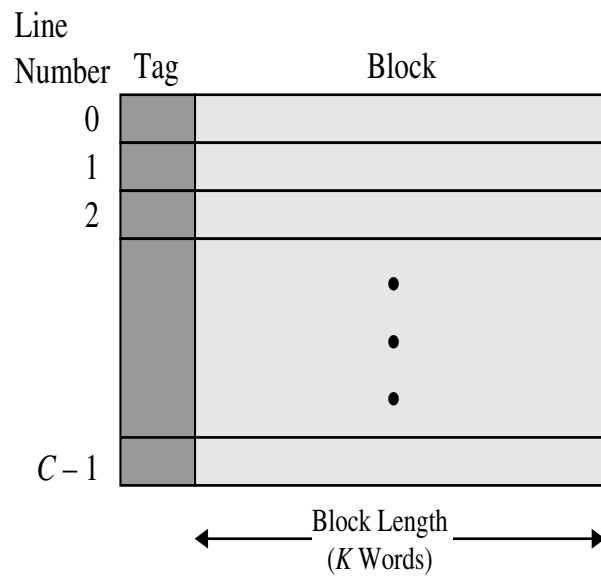
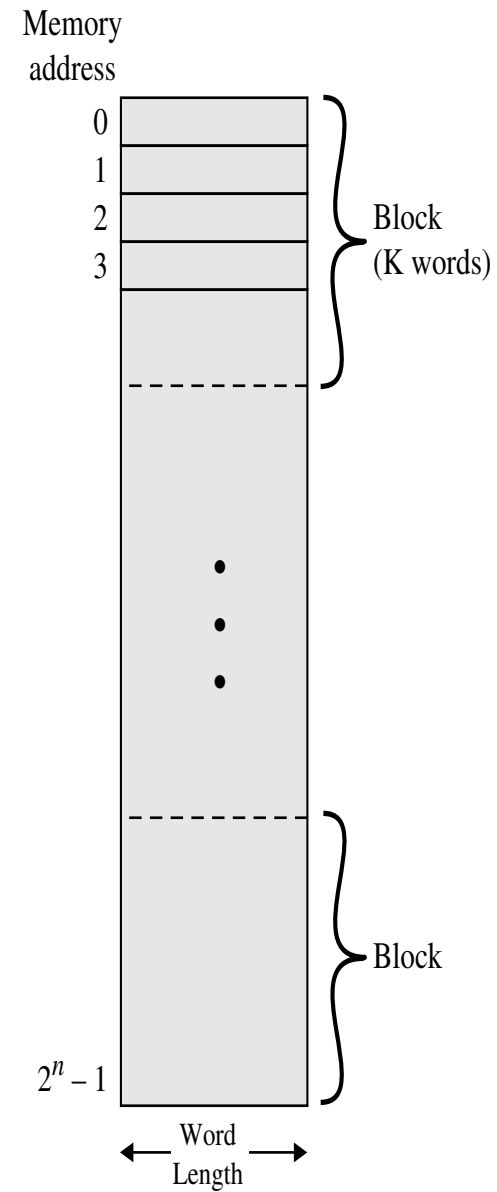


Figure 1.16 Cache and Main Memory



(a) Cache



(b) Main memory

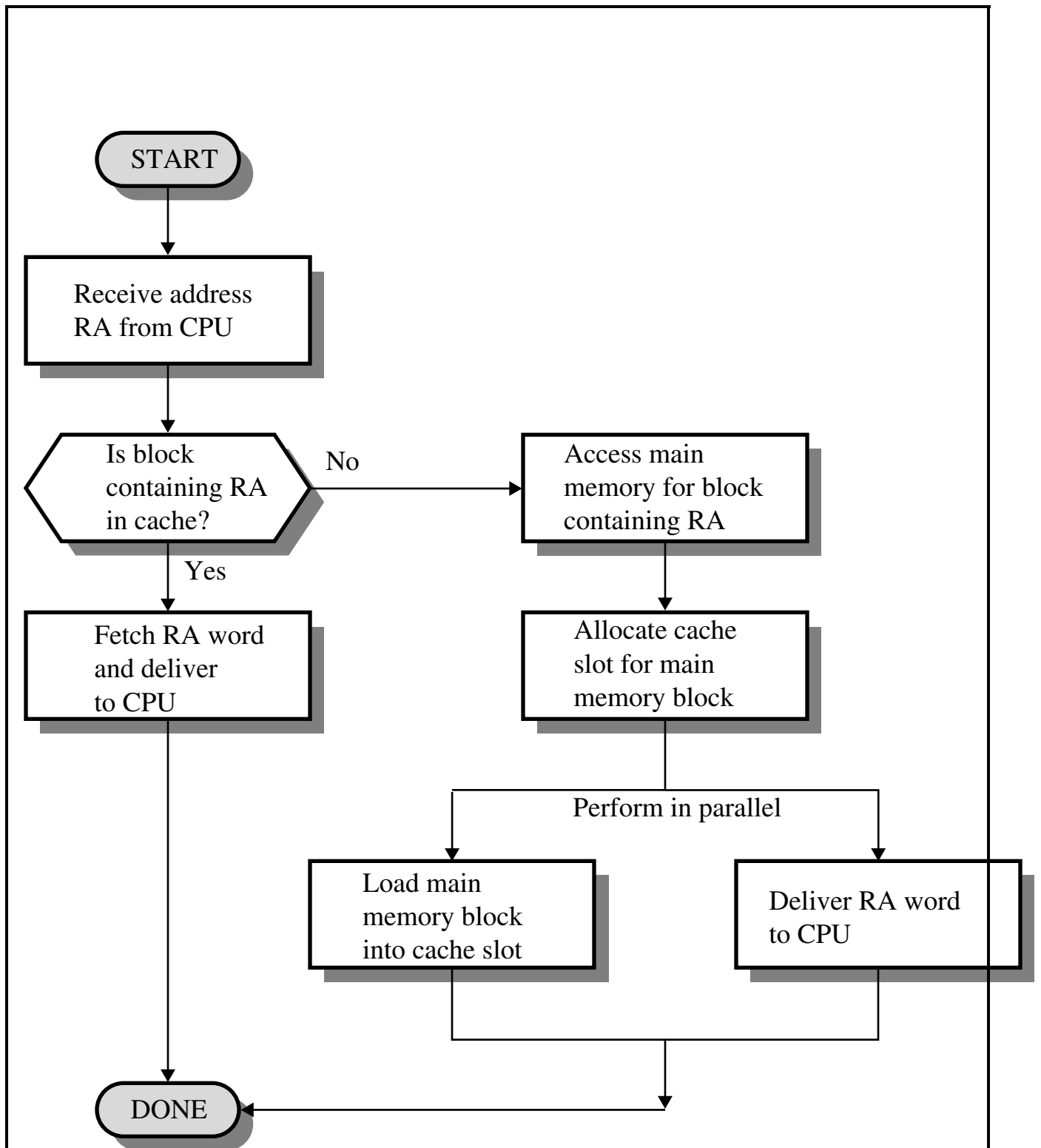


Figure 1.18 Cache Read Operation

Técnicas de comunicación de Entrada/Salida

Para las operaciones de E/S son posibles las tres técnicas siguientes:

- E/S programada.
- E/S dirigida por interrupciones.
- Acceso Directo a Memoria (DMA).

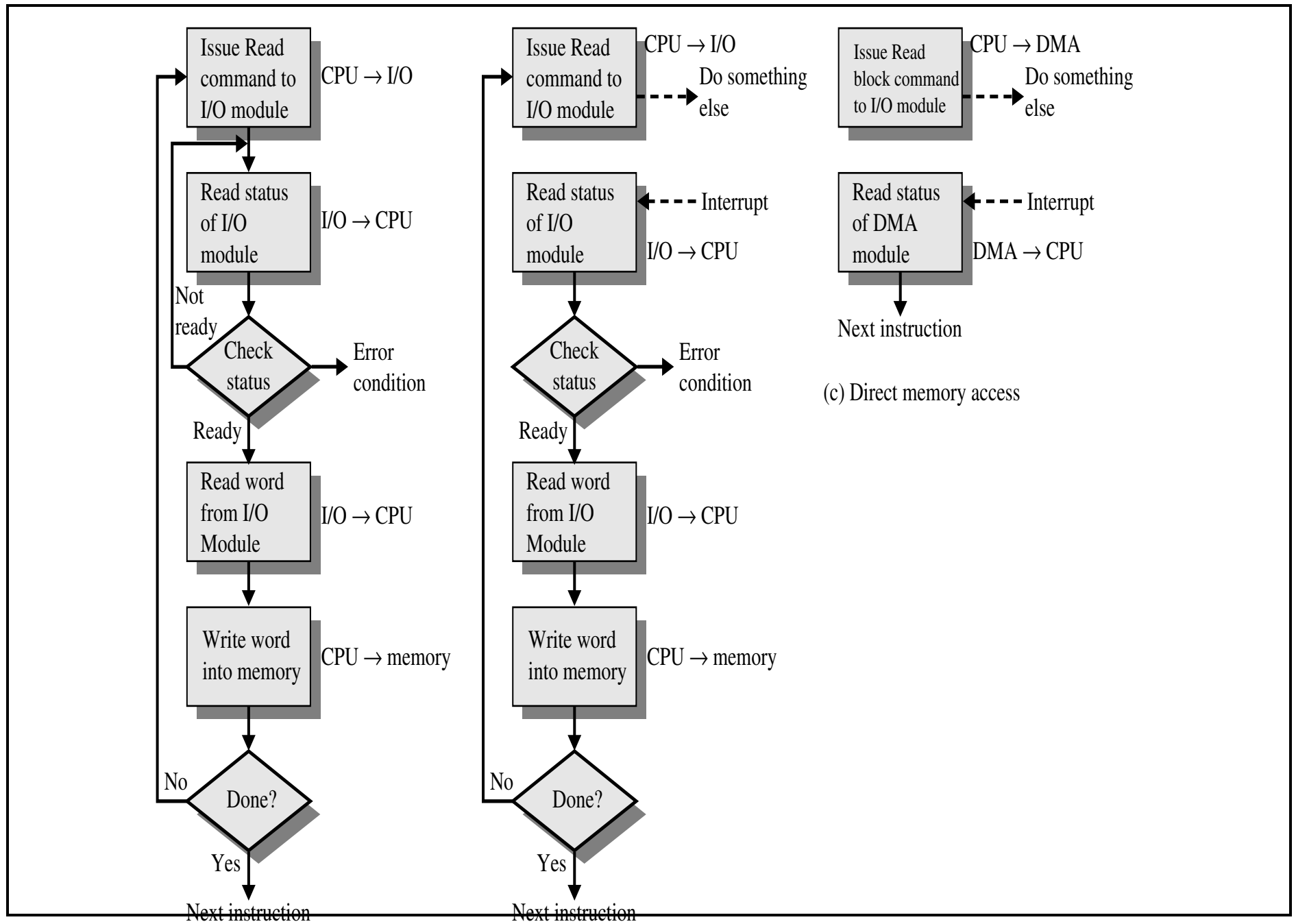
Entrada/Salida programada

Categoría de las instrucciones de Entrada/Salida

Control: empleadas para activar un dispositivo externo y decirle qué debe hacer. Por ejemplo, una unidad de cinta magnética puede ser instruida para rebobinar o avanzar el registro.

Estado: empleadas para comprobar varias condiciones de estado asociadas con un módulo de E/S y sus periféricos.

Transferencia: empleadas para leer o escribir los datos entre los registros del procesador y los dispositivos externos.



Problemas de E/S programada y por interrupciones

1. La velocidad de transferencia de E/S está limitada por la velocidad con la que el procesador puede comprobar y dar servicio a un dispositivo.
2. El procesador participa en la gestión de la transferencia de E/S; debe ejecutarse una serie de instrucciones en cada transferencia

Protección por Hardware

- Operación de modo-dual.
- Protección de Entrada/Salida.
- Protección de Memoria.
- Protección de CPU.

Operación de modo-dual

- Compartir recursos del sistema requiere que el sistema operativo asegure que un programa incorrecto no pueda causar que otros programas se ejecuten incorrectamente.
- Se requiere un mecanismo que diferencia entre al menos dos modos de operación.
 1. *Modo Usuario* - Ejecución hecha a favor del usuario.
 2. *Modo Monitor o Modo kernel o modo sistema* - Ejecución hecha a favor del sistema operativo.
- *bit de modo* se adiciona al hardware del computador para indicar el modo actual: monitor (0) o usuario (1).
- Cuando una interrupción o falla ocurre el hardware conmuta a modo monitor.
- Las instrucciones privilegiadas solo puede ser utilizadas en modo monitor.

Protección de Entrada/Salida

- Todas las instrucciones de Entrada/Salida son instrucciones privilegiadas.
- Se debe asegurar que un programa de usuario nunca podría ganar el control del computador en modo monitor.

Protección de la memoria

- Se debe suministrar protección de la memoria al menos para el vector de interrupciones y para las rutinas de servicio de interrupciones.
- Para tener protección de memoria, se adicionan dos registros que determinan el rango de las direcciones legales que un programa puede acceder.

Registro base: Mantiene la dirección válida más pequeña de la memoria.

Registro limite: Contiene el tamaño del rango

- La memoria fuera del rango definido es protegida.

Protección de la CPU

- *Cronómetro* - interrumpe al computador después de un período de control específico para asegurar que el sistema operativo mantiene el control.
 - El *cronómetro* es decrementado cada tick del reloj.
 - Cuando el cronómetro alcanza el valor de 0, una interrupción ocurre.
- El *cronómetro* es comunmente utilizado para implementar tiempo compartido.