

第2章 组合逻辑电路

学习要求：

2.1 熟悉逻辑电路设计文档标准

2.2 掌握组合逻辑电路分析

掌握组合逻辑电路设计 的一般方法

2.3 熟悉组合逻辑电路中的竞争与险象

2.4 熟练掌握常用MSI组合逻辑器件及其应用

2.1 逻辑电路的描述

用**结构化的思想**完成一个复杂系统的分析和设计过程：

- (1) 整个复杂系统划分成若干子系统；
- (2) 每个子系统划分成较为简单、较为规范的电路单元；
- (3) 自顶向下地规划设计 (*Top-down Modular Design*)，从下而上地进行分析 (*Bottom-up Process*)；
- (4) 建立一套标准化的逻辑电路描述文档。

作为**规范化的技术“语言”**，逻辑电路设计文档标准在对数字系统的分析、设计和技术交流中都很重要。

一个电路系统的文档至少应包括如下五个方面：**框图、电路图、时间图、逻辑电路描述和电路说明**。

第二章 组合逻辑电路

阅读

1. 框图

- 方框、圆框和带箭头连线

2. 电路图

- 图面布局与总线、门的标准符号
- 信号与信号的有效级、引端的有效级、有效级的变换

3. 时间图

- 传输延迟时间、转换延迟时间

4. 逻辑电路的描述方法

- 逻辑表达式、卡诺图、真值表、状态图和状态表等

5. 电路说明

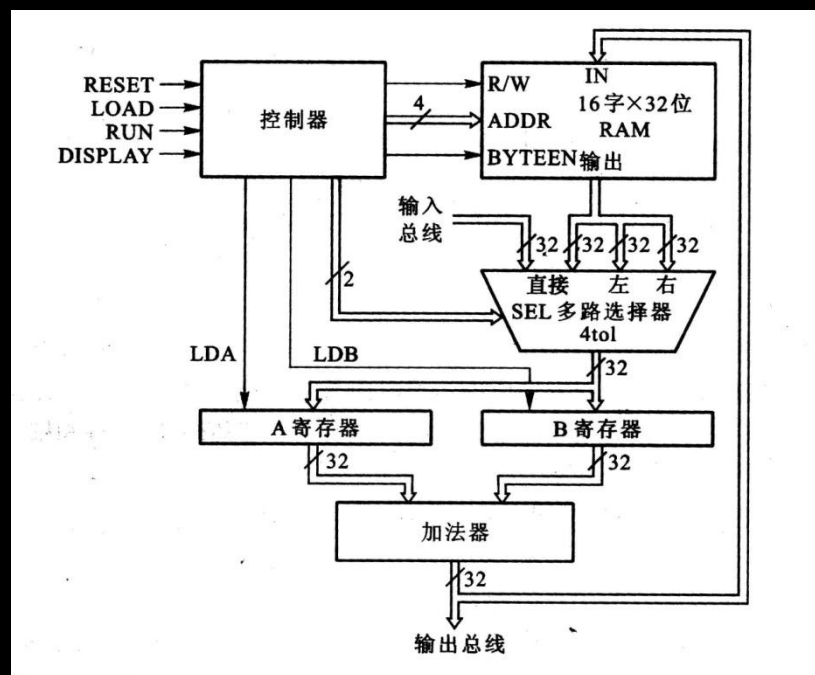
第二章 组合逻辑电路

2.1.1. 框图 (*Block Diagram*)

- ①用方框、圆框等粗略表示系统的输入、输出和功能模块（或称子系统）；
- ②用带箭头连线表示模块之间主要信息通路及其流向和控制信号。

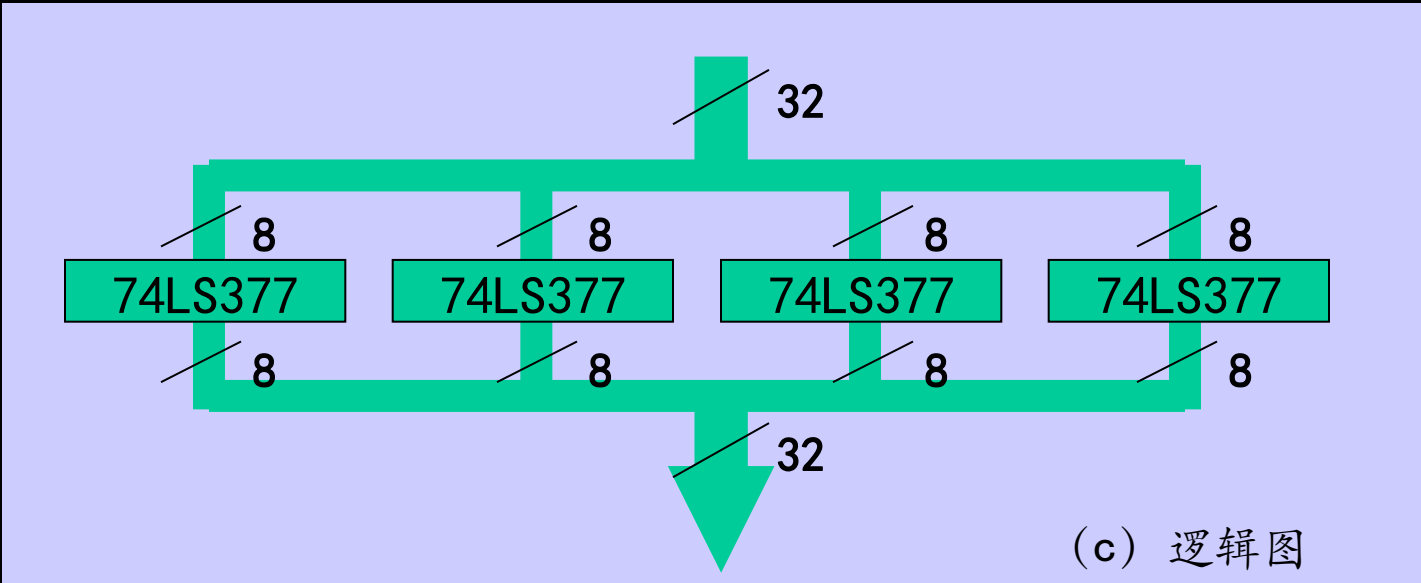
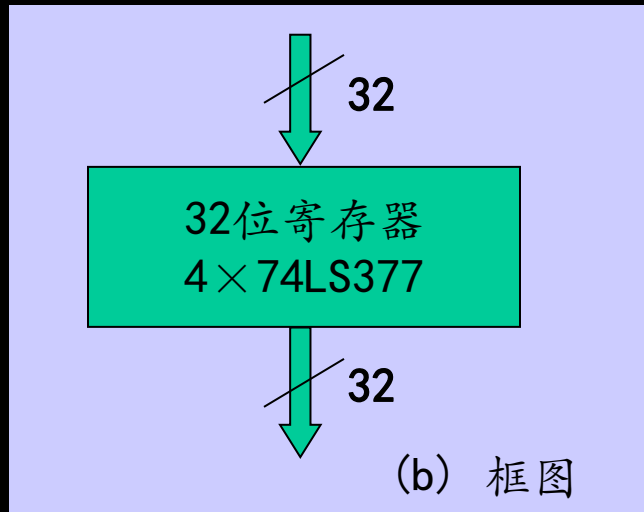
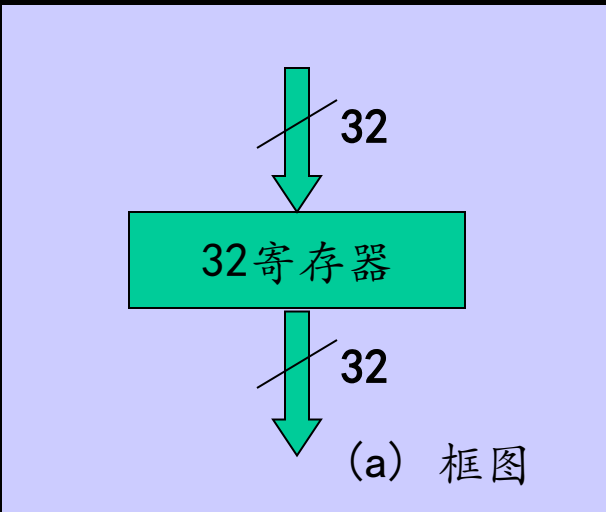
系统总框图：表示了一个完整的系统模块。

子系统框图：将一个大系统划分成几个子系统，通过这几个子系统的说明构成整个系统的总框图。即由子系统构成其框图。

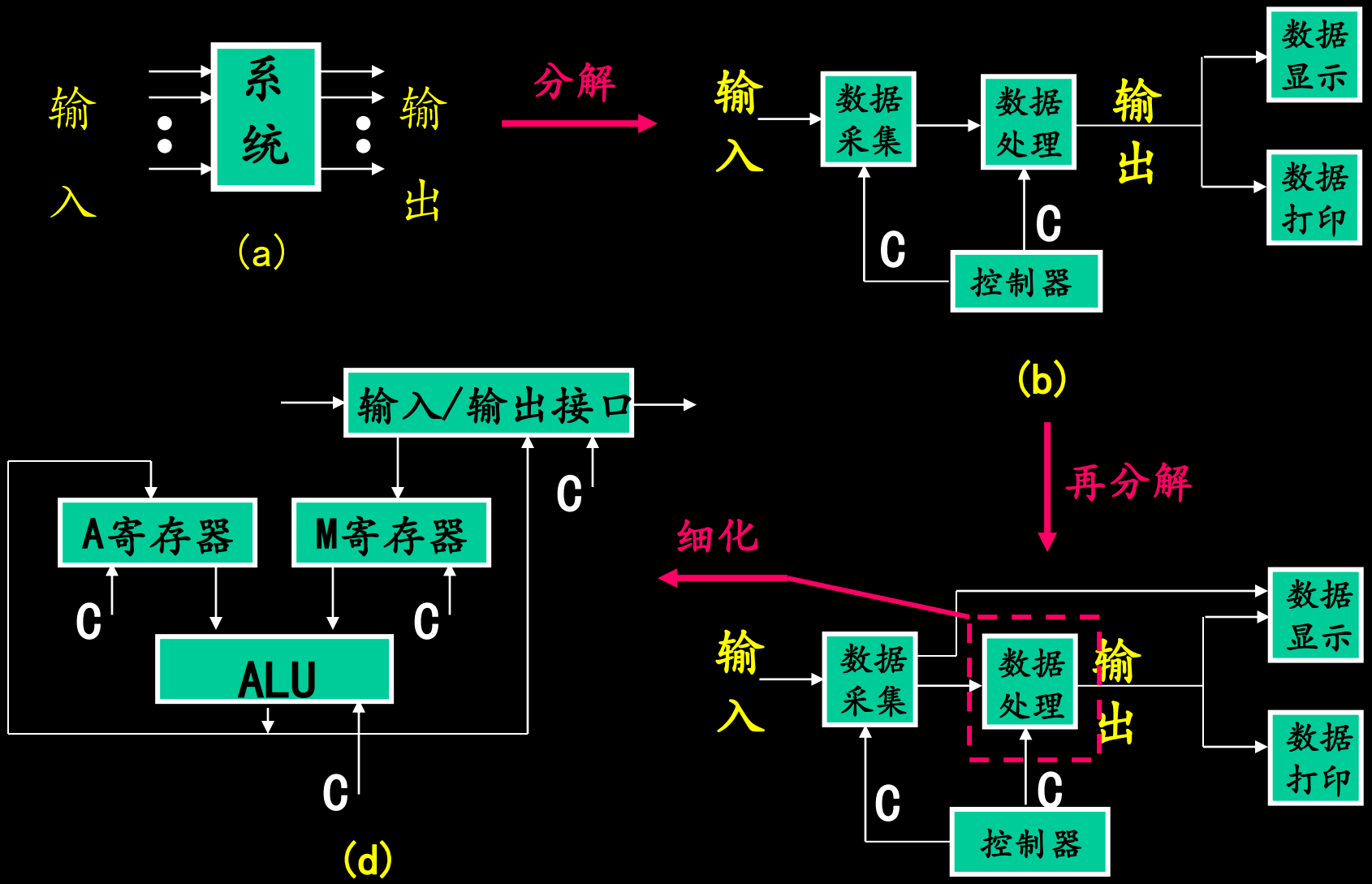


32位寄存器框图

阅读



第二章 组合逻辑电路
例 一个智能仪表的方框图。
阅读

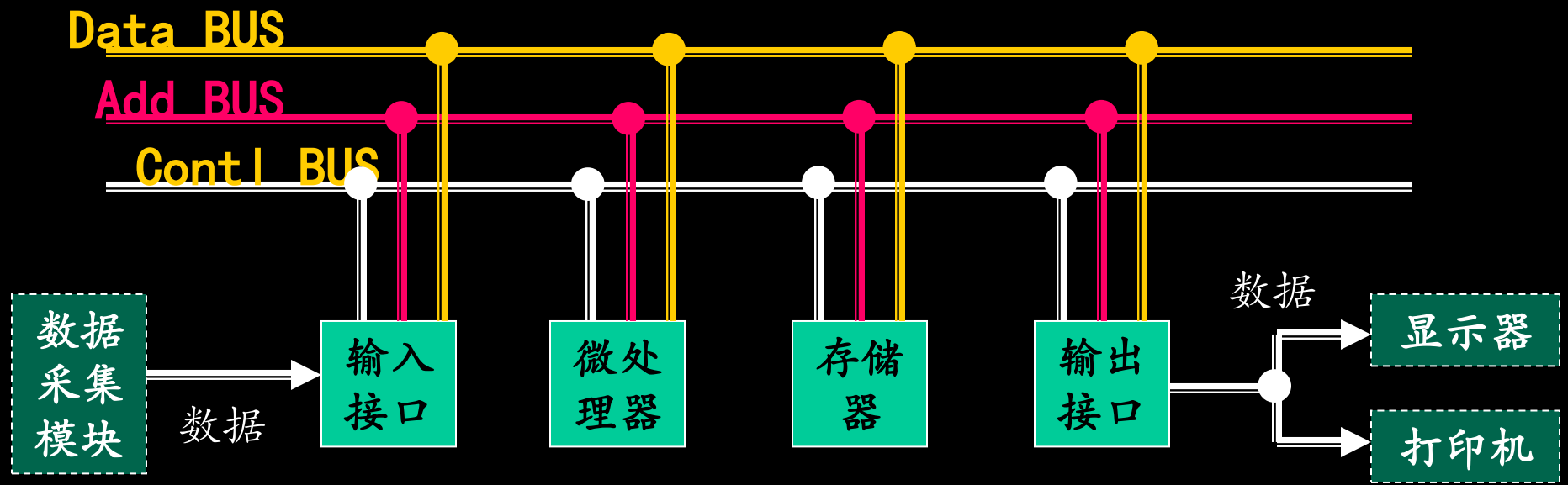


第二章 组合逻辑电路

阅读

上例设计的这种结构框图，其任何一处的功能修改和扩充均涉及全局，而且总控制器的设计将十分复杂。

若采用总线结构，则该智能仪表的方框图如下：



第二章 组合逻辑电路

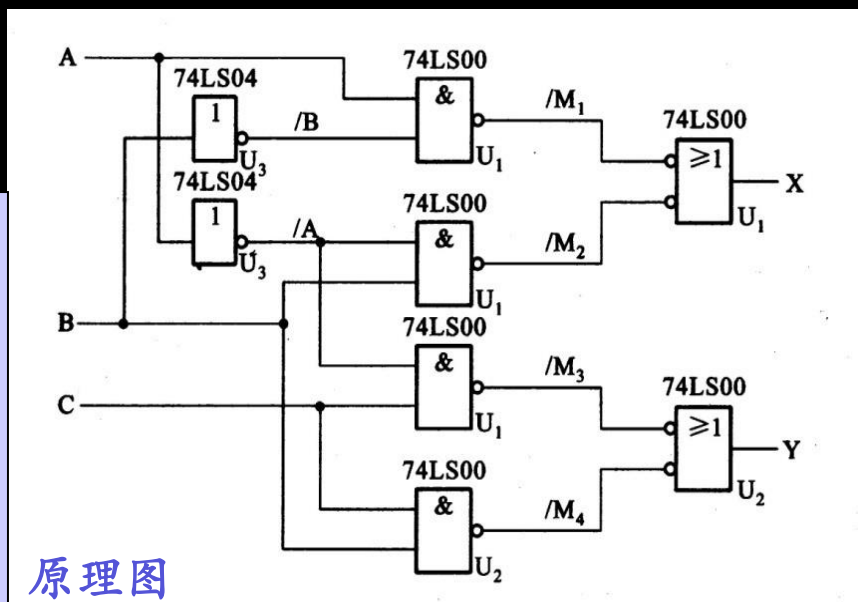
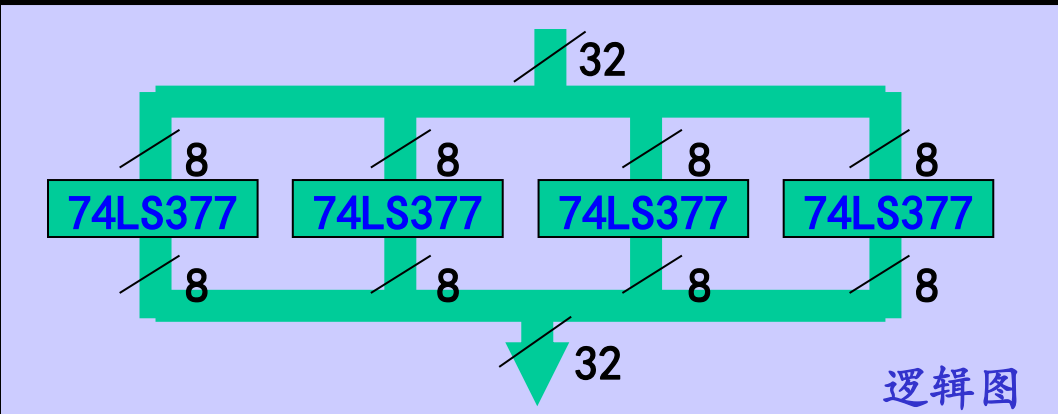
2.1.2 电路图：在本书之后的内容中将见到很多逻辑图。

电路图是系统电路的图示化说明，包括原理图和逻辑图。

逻辑图 (Logic Diagram) 说明电路输入输出之间的逻辑关系。用各种图形符号表示门和触发器等逻辑器件，用连线将其按逻辑关系连接。

原理图 (Schematic Diagram) 更注重描述原理过程所需要使用的标注。详细标明器件类型、端脚之间的连接、信号名等条件细节，再次细化逻辑电路图。

本书电路图主要指逻辑电路图。



第二章 组合逻辑电路

1. 图面布局

在逻辑图及原理图中，规定：

- **信息流**：默认从左至右，或者从上到下，若不能保证则使用箭头提示信息流方向，有单向和双向之分。



- **逻辑器件**：输入端画在左边，输出端画在右边。
- **图中应注明**所用集成电路的**型号**、连线的**引端号**、电路在整个逻辑图中的**编号**以及输入、输出**信号名**等。
- **需要分页画出的逻辑图**要合理地划分出每页的模块，既要完整又要使页与页之间的连线尽可能地少，并清楚地标注出它们之间的连接关系。
- **信息线的交叉点**：手工作图时用圆点表示，CAD作图时用T型。参见下图所示。

2. 总线的表示法及其命名:

• 总线的表示法:



(b) 单线表示总线

Two empty coordinate planes are provided for graphing. Each plane has a horizontal x-axis and a vertical y-axis intersecting at the origin.

A blank coordinate plane with a horizontal x-axis and a vertical y-axis intersecting at the origin. The axes are represented by thin black lines.

(b) 连接

不允许

(c) 连接

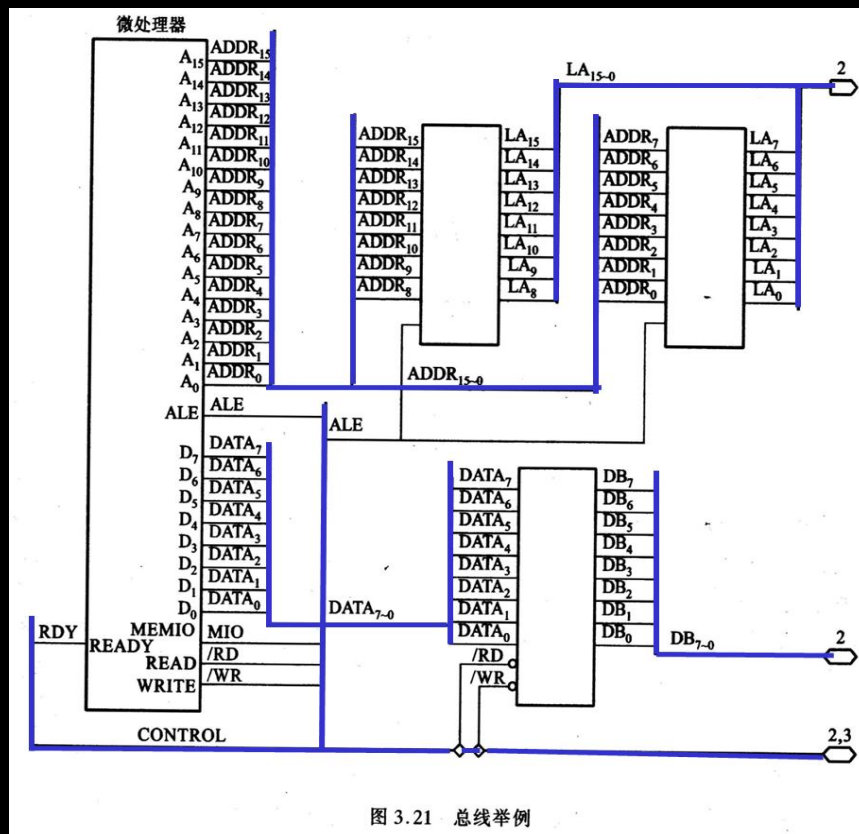


图 3.21 总线举例

第二章 组合逻辑电路

阅读

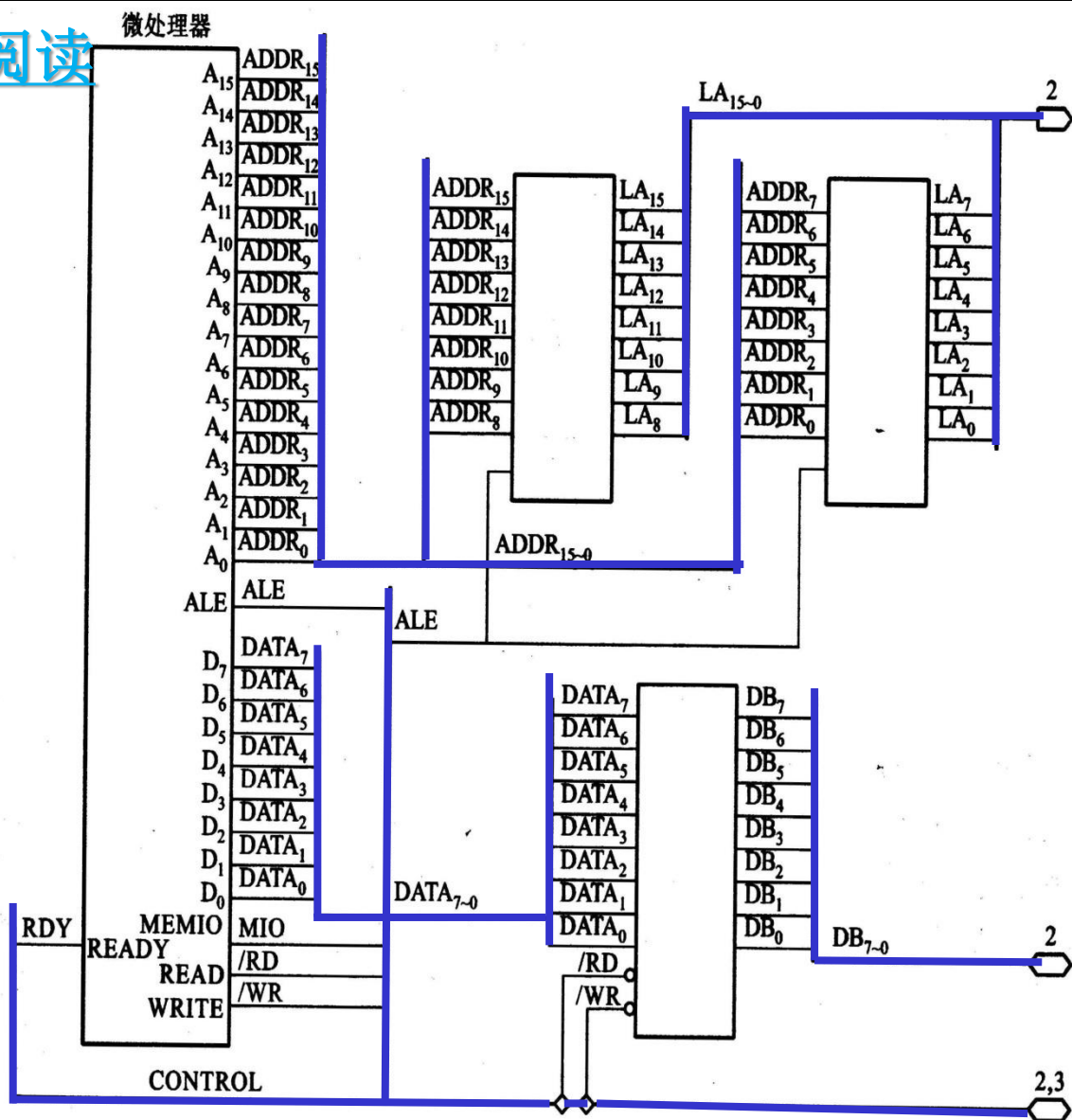


图 3.21 总线举例

- 一个地址总线
 $ADDR[15\sim 0]$, 包含16根地址线 $ADDR_{15}\sim ADDR_0$
- 一个数据总线
 $DATA[7\sim 0]$, 包含8根数据总线 $DATA_7\sim DATA_0$
- 一个控制总线
 $CONTROL$ (包含5根控制信号线: ALE 、 MIO 、 $/RD$ 、 $/WR$ 、 RDY)

3. 逻辑门的符号标准 (*Gate Symbols Standards*)

➤ 逻辑门的符号标准:

- **长方形符号**: 中国国标、IEC (国际电工委员会) 标准、IEEE (电气和电子工程师协会) 标准
- **变形符号**: IEEE标准

常用门的符号表示参见下下页图所示。

➤ 门的等效符号:

对上述常用门中输入信号进行有效级变换(变反), 并按照**DeMorgan定律**得到的门的**等效符号**。

实际上, 等效变换即为**小圆圈** (表示反相器) 在门的符号上的**出现和移动**。

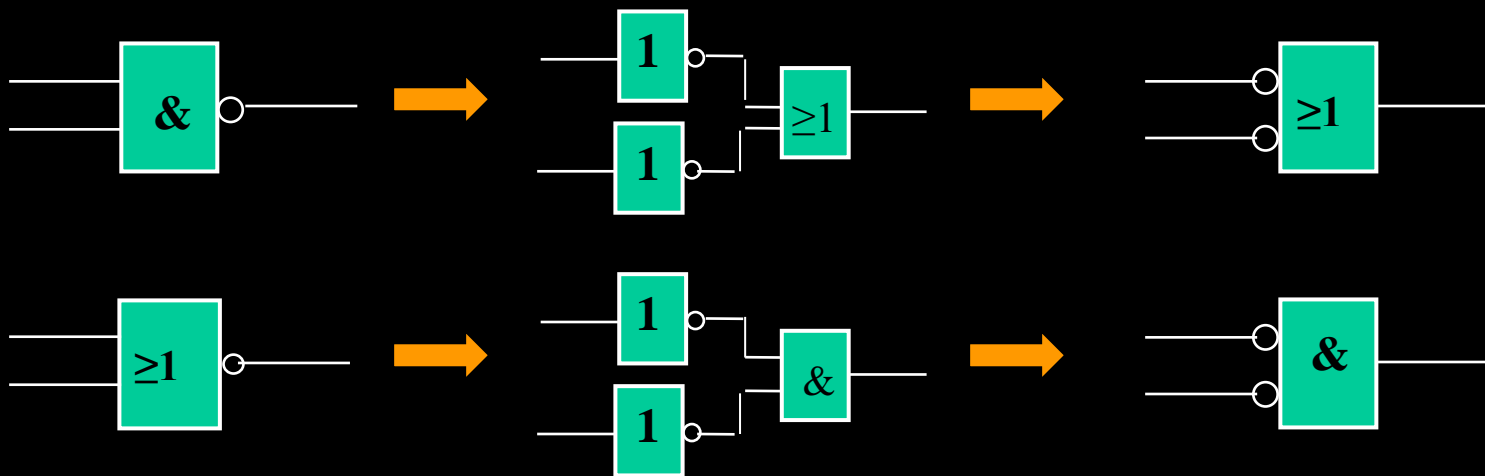

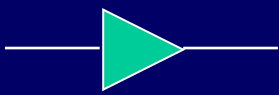
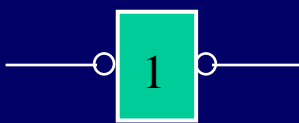
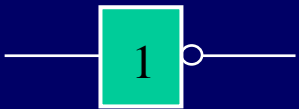
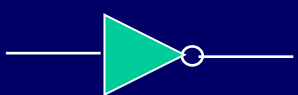
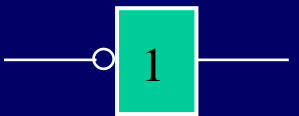
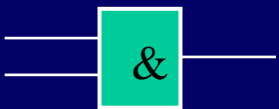

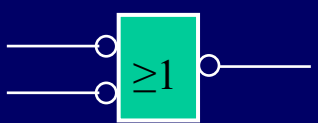
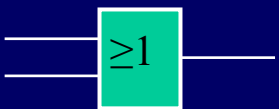
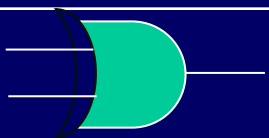
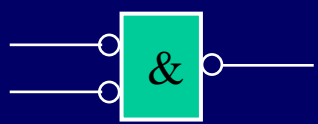

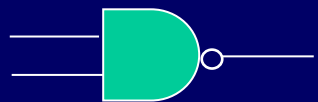
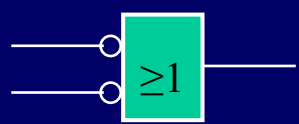
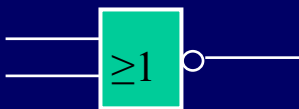
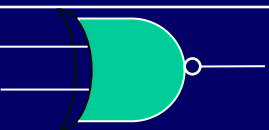
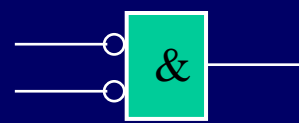
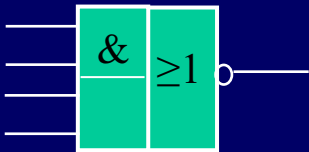
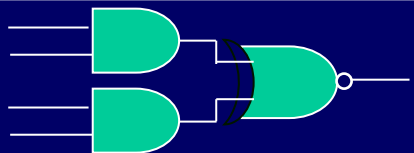
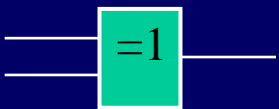
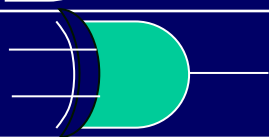


图2.8 常用逻辑门的三种表示形式

电路名称	原符号	变形符号	等效符号
跟随器			
非 门			
与 门			
或 门			
与非门			
或非门			
与或非门			
异或门			

4. 信号名及其有效级

➤ 信号命名:

为了电路分析, 对电路的各输入、输出信号进行规范化命名, 即取名最好源自信号的名称或者是它的缩写。如:

数据信号Data_i (D_i);

地址信号Addr_i (A_i);

控制信号Cont_i (C_i)、Reset、Set、...;

检测信号Ready、Error、...、

等待信号Wait、...;

片选信号CS; 使能信号EN; ...。

➤ 信号的有效级 (*Active levels for Signals*)

① 控制信号、测试信号等：

此类信号都有一个与之对应的有效级。

当信号处在其有效级时，逻辑电路才能正确地执行其功能。

② 在正逻辑规定中，高电平与逻辑“1”等效；
低电平与逻辑“0”等效。

③ 有效级分高有效或低有效。

高有效：信号为高电平或为逻辑“1”时为有效；

低有效：信号为低电平或为逻辑“0”时为有效。

④ 信号有效级的约定（即表示法）：

用一些符号作为信号名的前缀或后缀，这些符号反映了信号的有效性，如下表所示。

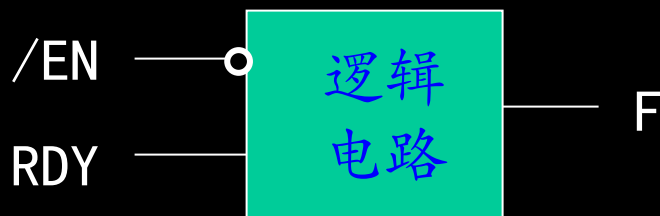
低电平有效	高电平有效
ACK—	ACK+
ERROR.L	ERROR.H
ACS(L)	ACS(H)
CS*	CS
/EN	EN
RESET#	RESET

本书采用表中“EN(高有效)、/EN(低有效)”的这一组表示法。

第二章 组合逻辑电路

⑤ 信号名不能采用反变量符号，不能采用表达式。

如下图中，RDY（准备好）为测试信号，
/EN（使能）为控制信号，
当RDY为高电平、/EN为低电平时，则该电路工作。



不能使用 $\overline{\text{EN}}$ 。

5. 引端的有效级及其变换(*Active levels for pins*)

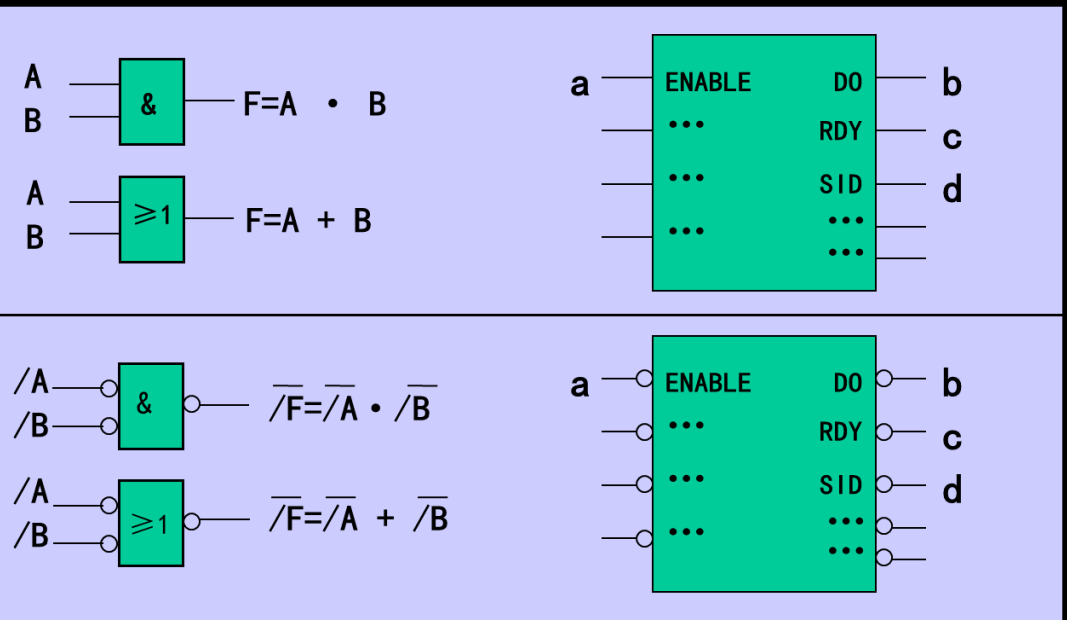
- 引端的有效级： 是指电路的输入、输出上的物理量（逻辑电平）与电路的内部逻辑状态的对应关系。
- 对应关系： 指选用器件的引端的有效级与所给信号的有效级相匹配。
- 输入、输出端有效： 是指输入、输出端使其对应的内部逻辑状态为 1 。
- 使能输入端有效： 是指其有效时，该器件才能正常工作。

第二章 组合逻辑电路

1) 引端有效级

在逻辑非符号体制下存在两级对应关系：

- (1) 电路输入输出的外部逻辑状态与内部逻辑状态的对应关系。
- (2) 电路的输入、输出信号的物理量与电路的外部逻辑状态的对应关系，用正逻辑或负逻辑加以约定。



(1) **内部逻辑状态：**认为表示器件的符号框内实现了给定的逻辑功能，称为内部逻辑状态。

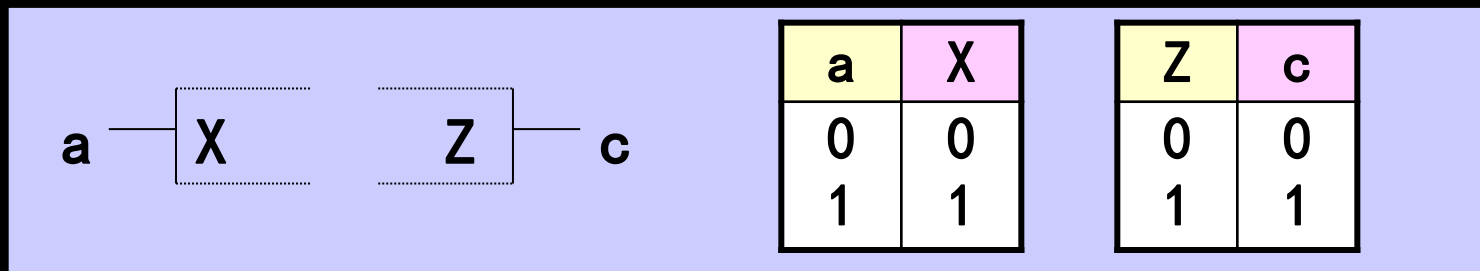
外部逻辑状态：符号框外的引端是这些器件的外部输入输出线，其上将有外部信号的输入及产生的信号输出，这种外部表现的逻辑关系称为外部逻辑状态。

第二章 组合逻辑电路

阅读

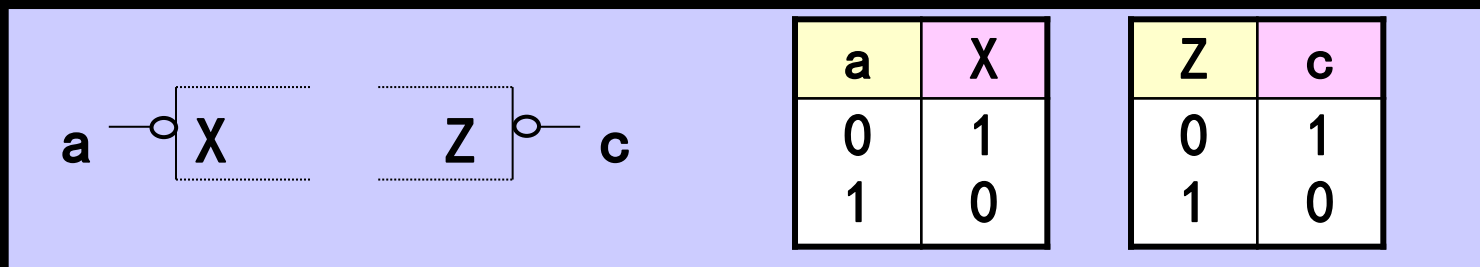
例：所示框图中a、c为外部逻辑状态；X、Z为内部逻辑状态。

- 器件框图上不带逻辑非符号（即小圆圈）的输入a与X、输出c与Z的关系：
若 $Z = f(X)$ ，则 $c = f(a)$



- 器件框图上带逻辑非符号的输入a与X、输出c与Z的关系：

若 $Z = f(X)$ ，则 $\overline{c} = \overline{Z} = \overline{f(X)} = f(\overline{a})$



(2) 电路的输入、输出信号的物理量与电路的外部逻辑状态的对应关系，用正逻辑或负逻辑加以约定。

- 正逻辑约定

逻辑电平对应关系：H（高电平）—— “1”（外部逻辑状态）
L（低电平）—— “0”（外部逻辑状态）

- 负逻辑约定

逻辑电平对应关系：H（高电平）—— “0”（外部逻辑状态）
L（低电平）—— “1”（外部逻辑状态）

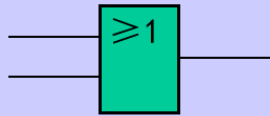
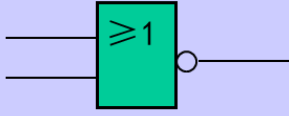
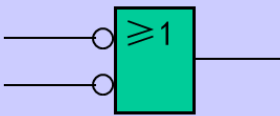
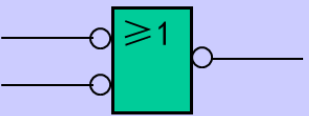
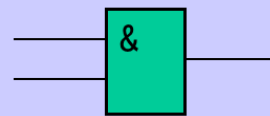
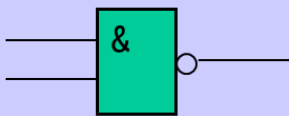
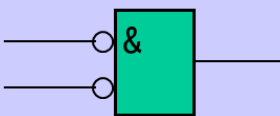
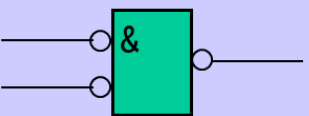
本书采用逻辑非符号体制的正逻辑约定。

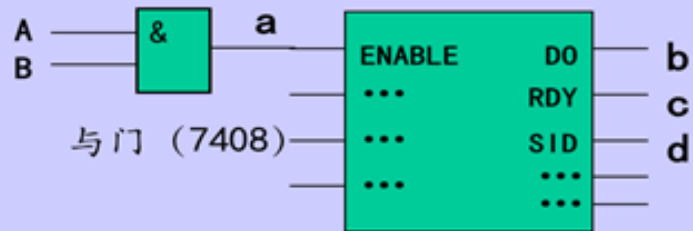
第二章 组合逻辑电路

2) 引端有效级的变换(Bubble-to-bubble Logic design)

- 目的：使逻辑电路的功能一目了然
- 结果：使所选用器件引端的有效级与所给的信号有效级相匹配
- 方法：对器件引端的有效级进行变换。

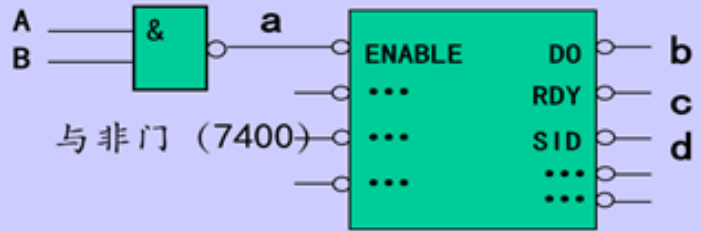
下面两组、每组四种分别表示四个可以完成同一逻辑功能的器件：

四种 “或” 功能	 或门 (7432)	 或非门 (7402)	 与非门 (7400)	 与门 (7408)
四种 “与” 功能	 与门 (7408)	 与非门 (7400)	 或非门 (7402)	 或门 (7432)



与门 (7408)

前一级器件的输出引端 “高有效”
下一级的输入使能信号 “高有效”



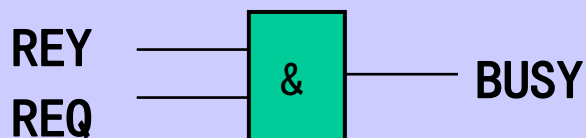
与非门 (7400)

前一级器件的输出引端 “低有效”
下一级的输入使能信号 “低有效”

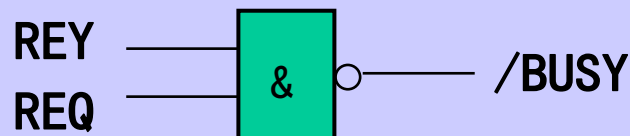
第二章 组合逻辑电路

● 引端有效级的变换，包括：

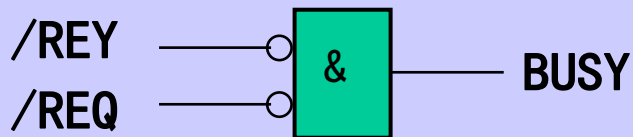
输入引端和输出引端的变换：或为高有效、或为低有效，
例如，下图 $\text{Busy} = \text{REY} \cdot \text{REQ}$ 对应了四种电路。



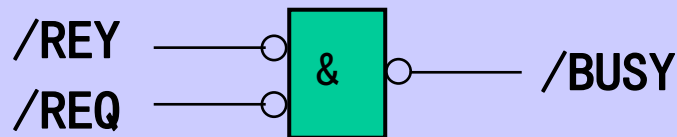
高有效输入、高有效输出



高有效输入、低有效输出



低有效输入、高有效输出



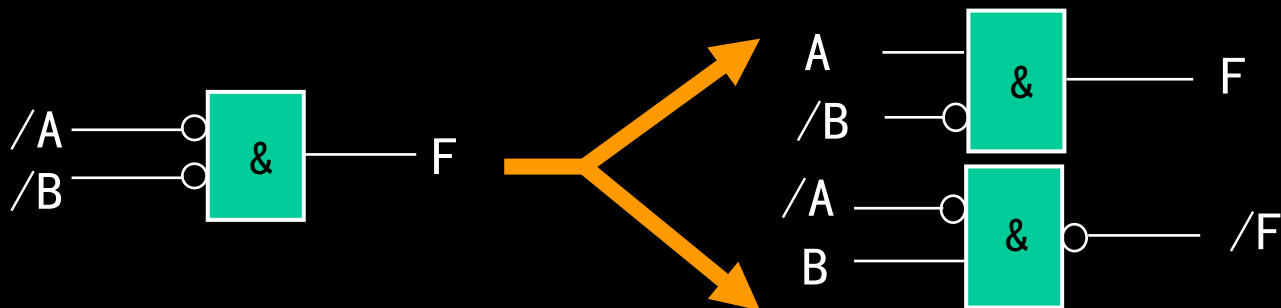
低有效输入、低有效输出

第二章 组合逻辑电路

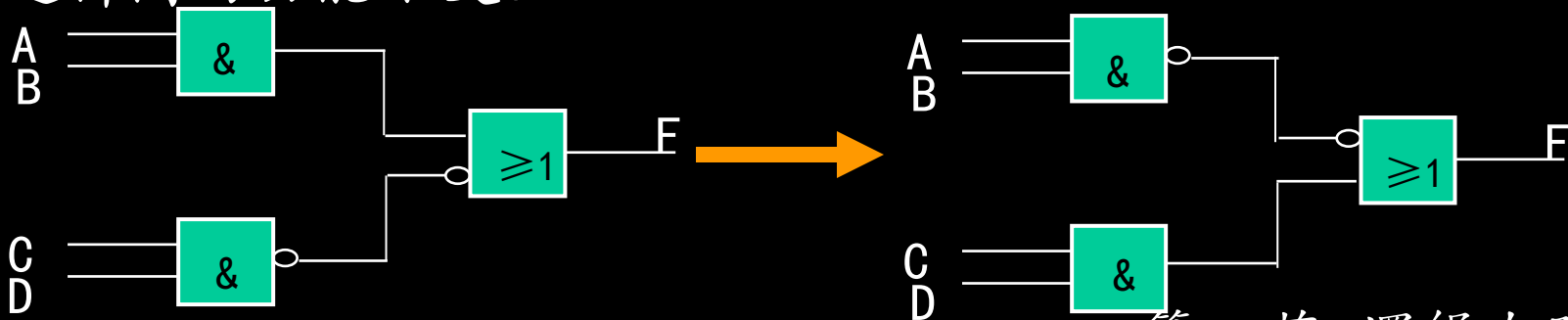
● 引端有效级的变换规则

在保持输入与输出逻辑功能不变的条件下，依如下变换规则对逻辑图进行任意变换。

规则1：任何输入或输出端加上或删除逻辑非符号（即小圆圈），且其对应的信号有效级变反，则逻辑图的功能不变。

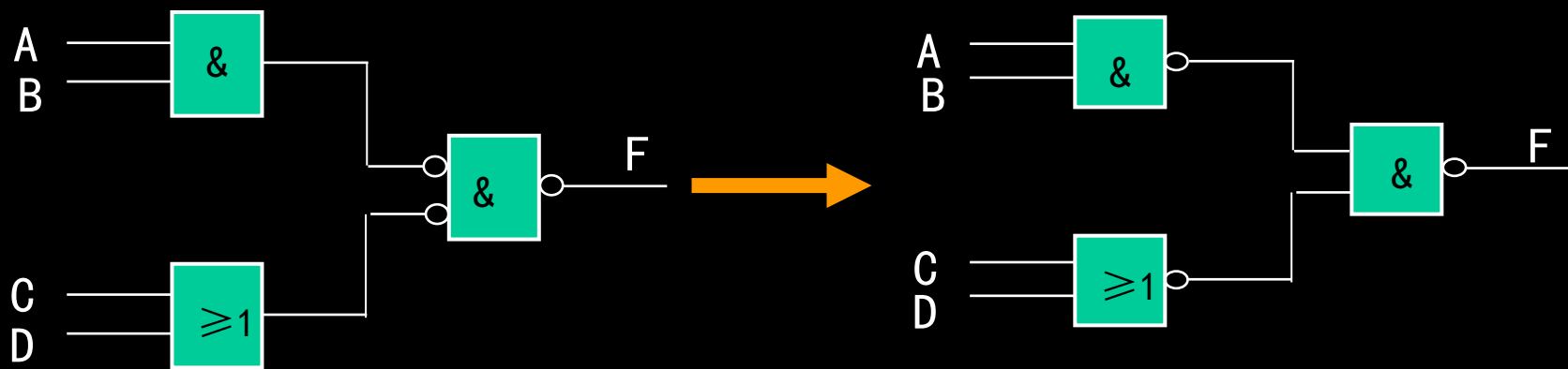


规则2：逻辑图内部连线的两端，同时加上或删除逻辑非符号，则逻辑图的功能不变。

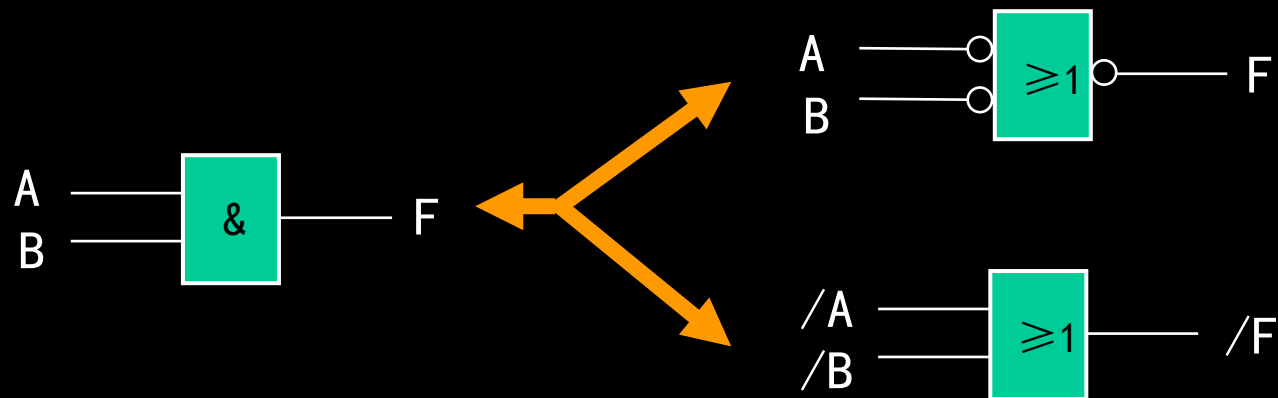


第二章 组合逻辑电路

规则3： 单个逻辑非符号在内部连线两端移动时逻辑图的功能不变。



规则4： 若一个门的输入输出端同时加上或删除逻辑非符号，或输入、输出信号有效级同时取反，且门的符号“与”、“或”互变时，则得到的新的逻辑图的功能不变。



变换的最终目标:

变换后的结果应满足下列规定

- (1) 器件的**输出信号有效级**应与**对应输出引端的有效级一致**。即输出端有逻辑非符号，输出信号为低有效，否则为高有效。

如前面四个变换规则所示:

若与门的输出端无逻辑非符号，则F为高有效;

与门的输出端有逻辑非符号，则/F为低有效。

第二章 组合逻辑电路

(2) 若**输入信号有效级与其对应的输入端有效级一致**时，
阅读 当该信号有效时，则器件内部逻辑功能有效。

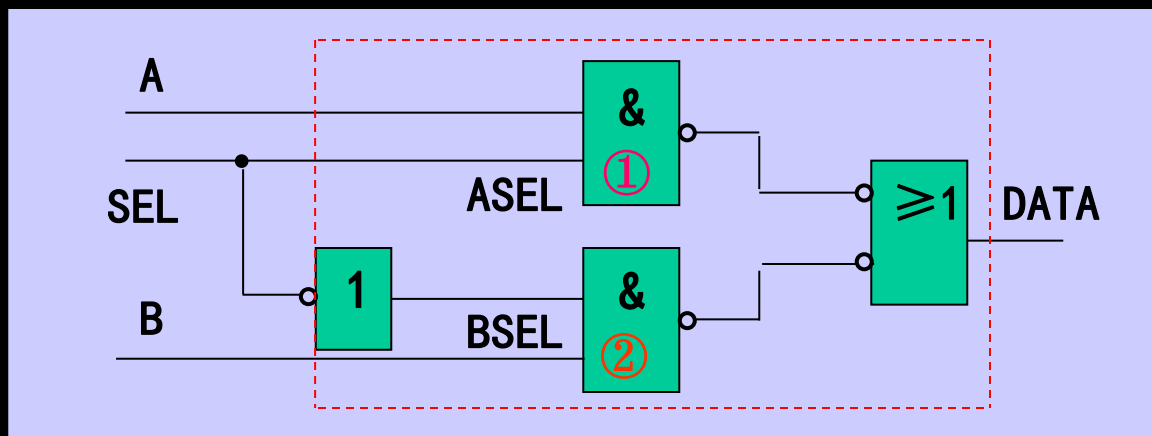
即输入端有逻辑非符号，输入信号为低有效；输入端无逻辑非符号，输入信号为高有效。如：下图所示：

选择输入信号**SEL**连接到与非门①的输入端(无逻辑非符号)，则选择A时的SEL是高有效；

SEL还连接到非门②的输入端(有逻辑非符号)，则选择B时的SEL是低有效。

则输出数据信号**DATA**如下：

$$DATA = \begin{cases} A & \text{当 } SEL = 1 \\ B & \text{当 } SEL = 0 \end{cases}$$

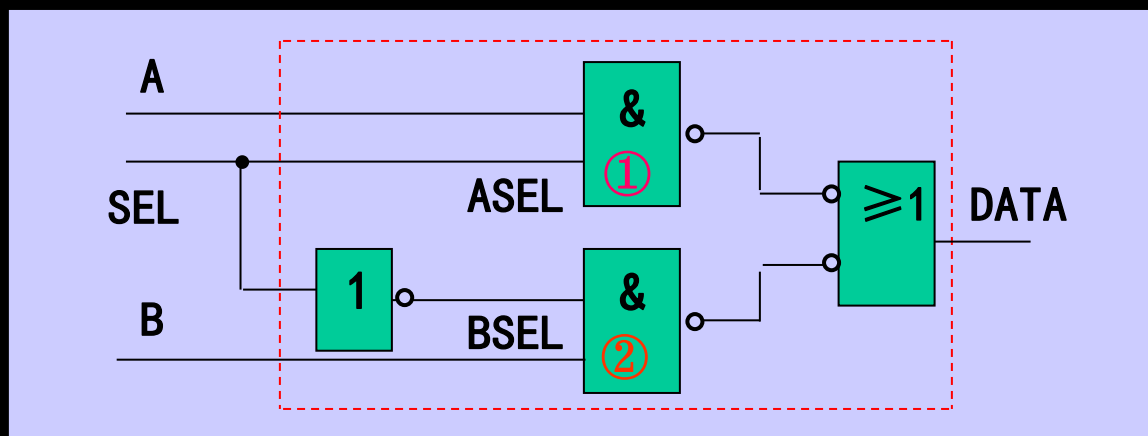


第二章 组合逻辑电路

阅读

(3) 若输入信号有效级与其对应的输入端有效级不一致时，则当该信号无效时，则器件内部逻辑功能才有效。这是应尽量避免出现的情况。

例 下图中选择信号SEL的有效性不明确。



2.1.3 时间图 (*Timing Diagram*):

- 是任何数字系统设计文档中的一个重要部分。时间图是分析、设计和调试电路的重要辅助手段，是数字系统中的重要文档之一。
- **时间图**是描述数字电路中信号随时间（逻辑）变化的一种图形。**反映逻辑信号之间对应的时间关系，特别是要能反映出关键信号之间因果关系。**时间图可用来说明系统内信号之间的时间关系，同时，它又用于定义外部信号的时间要求。
- 有信号传输转换时间（ t_{TLH} 和 t_{THL} ）、信号传输延迟时间（ t_{PLH} 和 t_{PHL} ）。

第二章 组合逻辑电路

- 时间图中**最重要的**是信号变化之间的**时间延迟特性**。
延迟时间是指**相关的两个变化中心之间的时间间隔**。每种延迟通常给出一个范围值。一般 $t_{PHL} \neq t_{PLH}$
(最小、典型、最大)

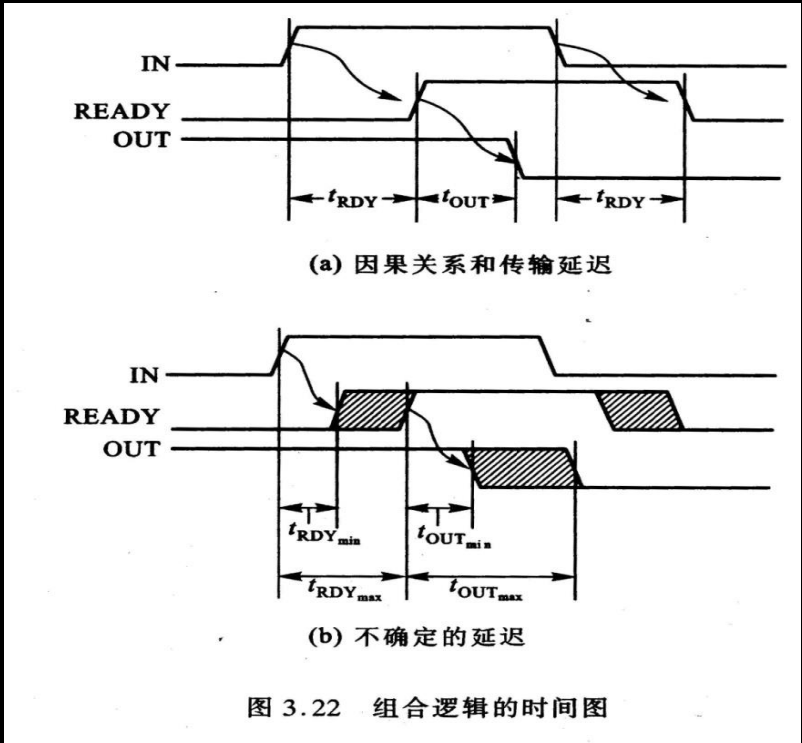


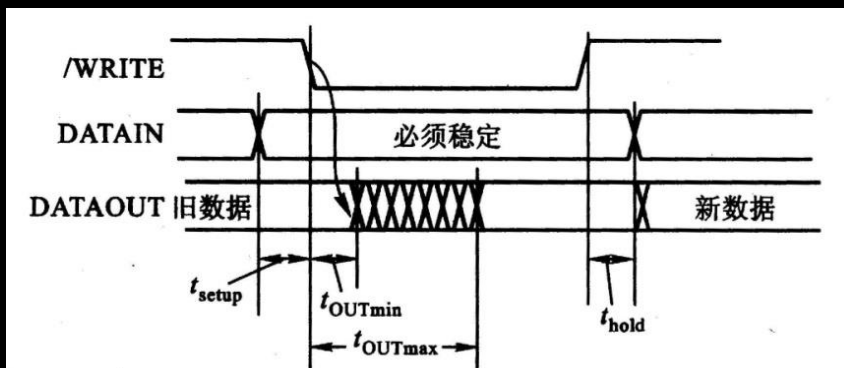
图 3.22 组合逻辑的时间图

$$OUT = \overline{IN} \cdot READY$$

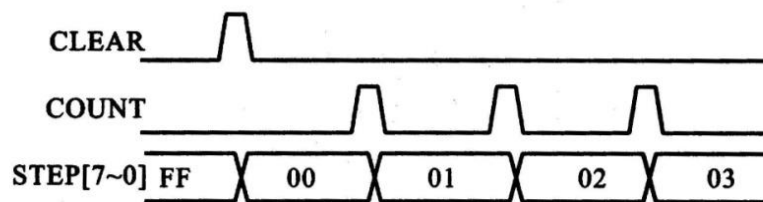
IN	READY	OUT
0	0	1
1	0	1
1	1	0
0	1	1

第二章 组合逻辑电路

- 总线上的所有信号具有相同的延迟，并不需要表示其中任一位信号在瞬时的具体逻辑值，仅需标注这一组信号发生转换的时间，尤其重要的是标注发生转换相对于系统中控制信号发生转换时的相对时间差。
- 在数字系统中，信号的相对时间关系是非常重要的，达到精确的时间配合才能实现预定的逻辑功能。



(a) 具有总线信号的时间图



(b) 8 位数据总线上数据序列图

图 3.23 信号时间图及数据总线上的信号值

/WRITE : 输入控制信号

DATAIN : 输入数据信号

DATAOUT: 输出数据

建立时间 t_{setup}

保持时间 t_{hold}

CLEAR : 清零信号 (输入)

COUNT : 计数信号

STEP[7~0] : 8位数据

第一节 逻辑电路文档

4. 结构化逻辑描述 (*Structured Logic Description*):

说明结构化逻辑器件的内部功能，如PLA、存储器芯片或者某些具有专门功能的中、大规模器件；

用逻辑等式、状态表(图)、功能表或程序表等形式说明。(在以后的分析和设计中再介绍)

5. 电路说明 (*Circuit Description*):

用文字简明叙述电路的使用方法；

解释内部的工作方法；

列出设计和操作中所有可能的潜在缺陷，以及在使用不当时隐含的问题。

(在以后的分析和设计中再介绍)