

第三章 时序逻辑电路

学习要求：

3.1 时序逻辑电路

- 熟悉时序电路的一般形式、分类和描述方法
- 掌握时序电路双稳态元件的内部结构、逻辑符号、次态真值表和次态方程

3.2 熟练掌握同步时序逻辑电路的分析和设计方法

3.3 掌握脉冲异步时序逻辑电路的分析和设计方法*

3.4 熟练掌握常用时序中规模集成电路MSI和555定时电路的应用

3.1 时序逻辑电路基础

1. 时序电路概述

- 逻辑电路的特性、时序电路状态
- 时序电路的一般结构
- 时序电路的分类
- 时序电路的描述方法

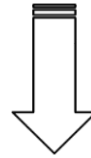
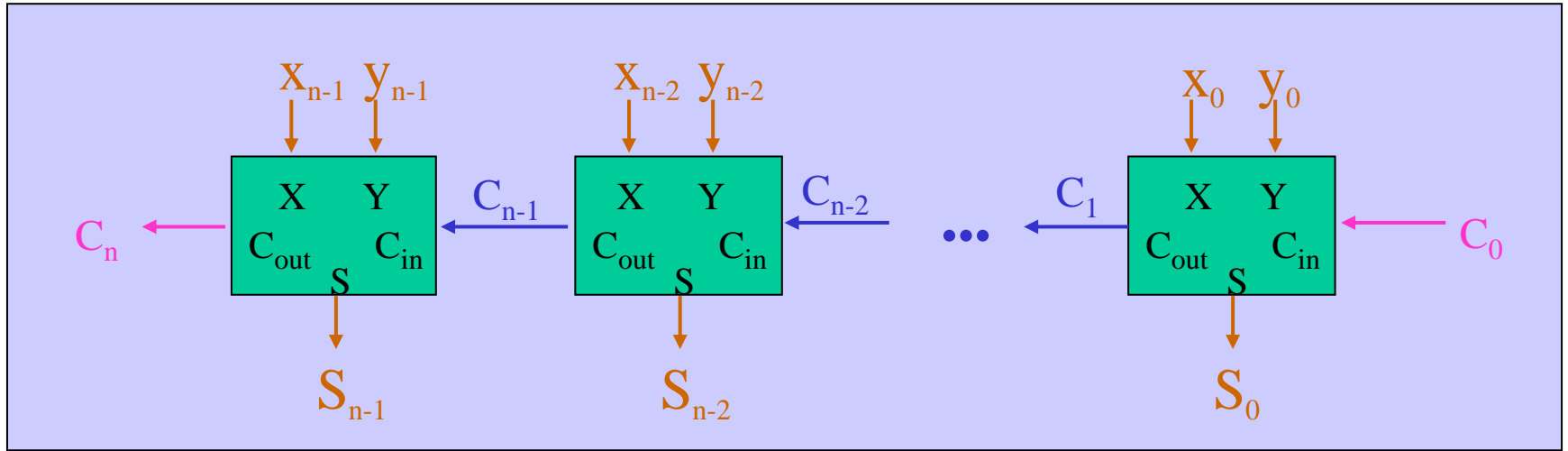
2. 双稳态元件

- 锁存器：SR锁存器、/S/R锁存器、D锁存器
- 触发器：D触发器、SR触发器、JK触发器、T触发器

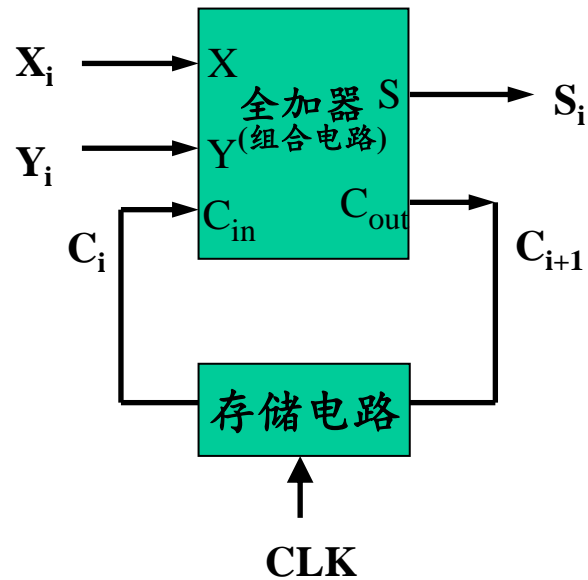
3.1.1 时序电路概述

- 逻辑电路的特性:是接收输入信号且产生与输入信号有确定关系的正确且稳定的输出信号。
- 数字逻辑电路可分为两大类: 组合逻辑电路; 时序逻辑电路。
 - 组合逻辑电路: 它的输出仅由当前输入决定。同样的输入得到相同的输出。
 - 时序逻辑电路: 输出不仅取决于当前输入, 而且也取决于过去的输入序列。即过去输入序列不同, 则在同一当前输入的情况下, 输出也可能不同。

举例:并行加法器



举例:串行加法器



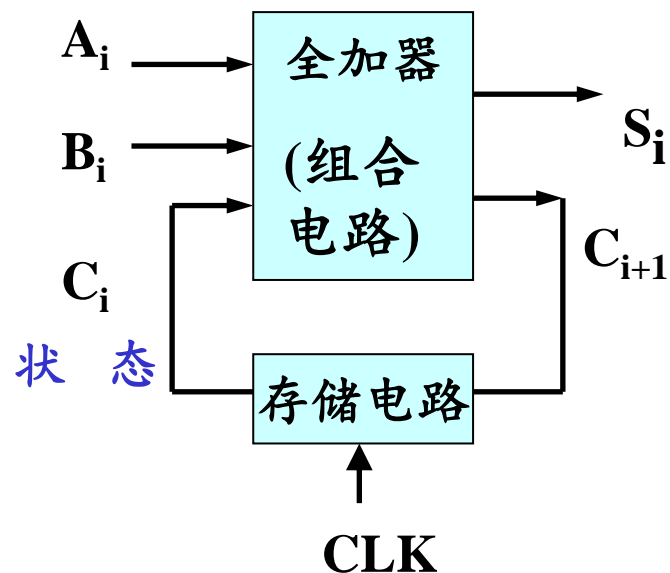
关于状态：

- 在时序电路中，确定电路的输出不仅要知道电路现在的输入，还要知道电路过去的输入序列。

- 必须将所有的与过去输入信息有关的电路状况抽象为某种形式，称为电路的状态。

- 电路的状态是以二进制的形式表示。每一个数称为一个状态变量。一个状态变量定义两种状态。

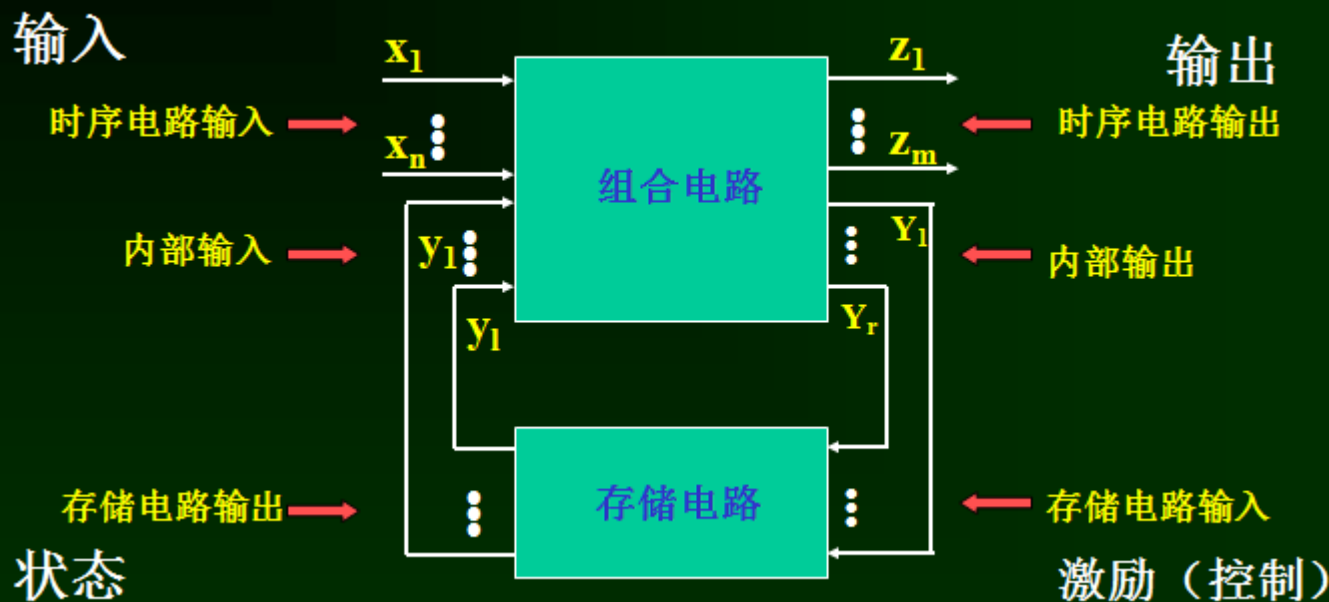
- 时序电路的状态是状态变量的集合，它在任何时刻的值都包含所有的对确定电路将来行为所必需的过去信息。



	④	③	②	①	①	i
	1*	1	1	0	0	C_i
	1	0	1	1	0	A_i
+	0	1	1	1	0	B_i
<hr/>						
	1	0	0	1	0	S_i

对当前位 A_4 而言， C_4 包含过去所有的输入的有关信息。

一般形式 时序电路的



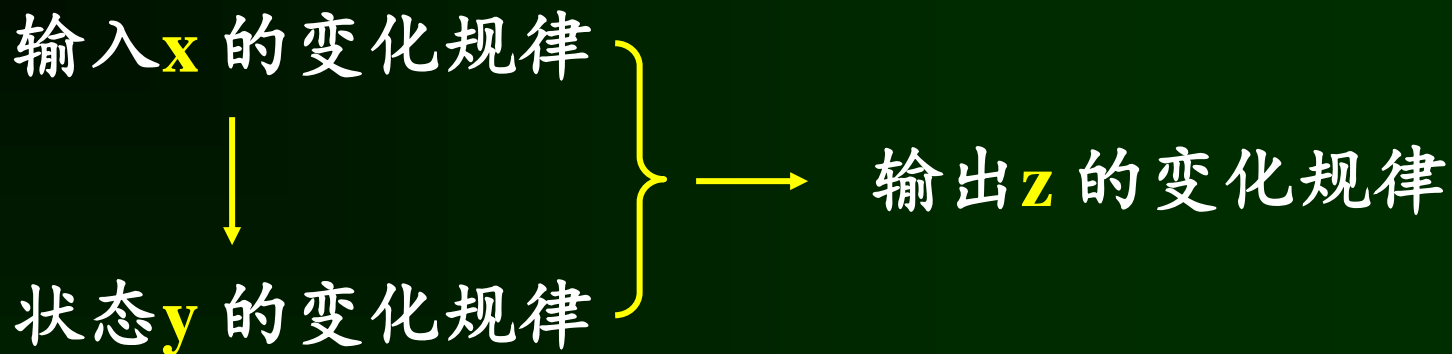
1. 外部输入 x_1, x_2, \dots, x_n 是整个时序电路的输入；
2. 内部输入（即电路的内部状态） y_1, y_2, \dots, y_l 是存储电路的输出，其取值反映了时序电路的过去状态；
3. 外部输出 z_1, z_2, \dots, z_m 是整个时序电路的输出；
4. 内部输出 Y_1, Y_2, \dots, Y_r 是存储电路的输入，他们将决定下一时刻存储电路的新状态，因而也将决定时序电路的新状态。当内部输出 Y_1, Y_2, \dots, Y_r 的新的取值输入存储电路取代原状态 y_1, y_2, \dots, y_l 时，时序电路就由现在状态转入下一状态。

输出函数 $z_i = f_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_l) \quad i = 1, 2, \dots, m;$

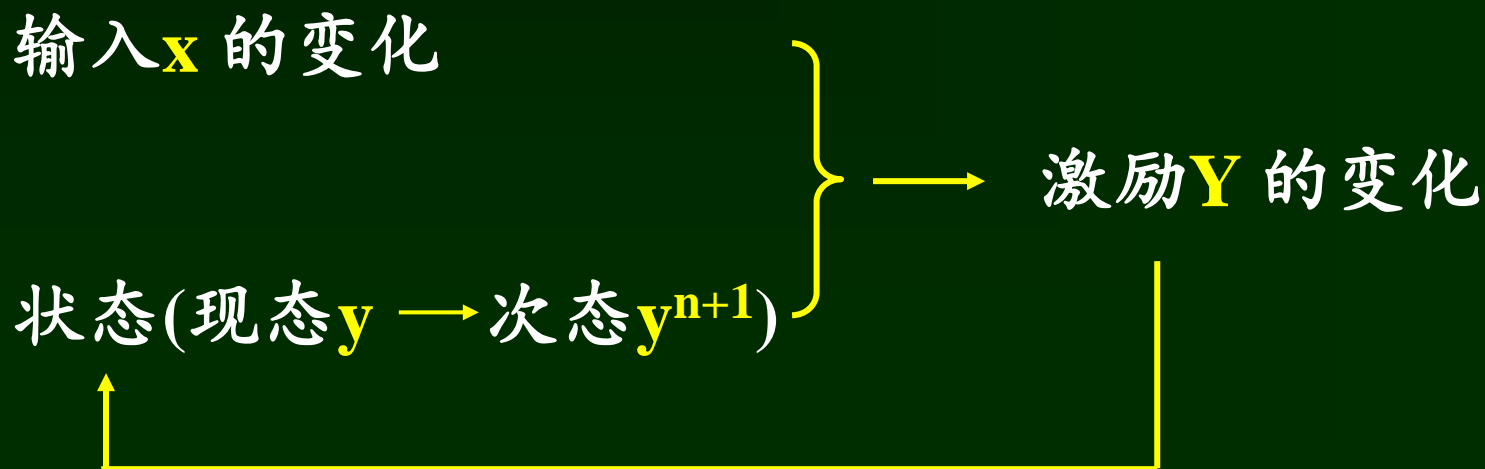
激励（控制）函数 $Y_i = g_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_l) \quad i = 1, 2, \dots, r;$

时序电路的变化规律

输入-输出
变化规律:



输入-状态
变化规律:



时序电路的变化规律

状态变化的描述：对存储电路而言

现态——某一时刻输入变化前的电路状态；

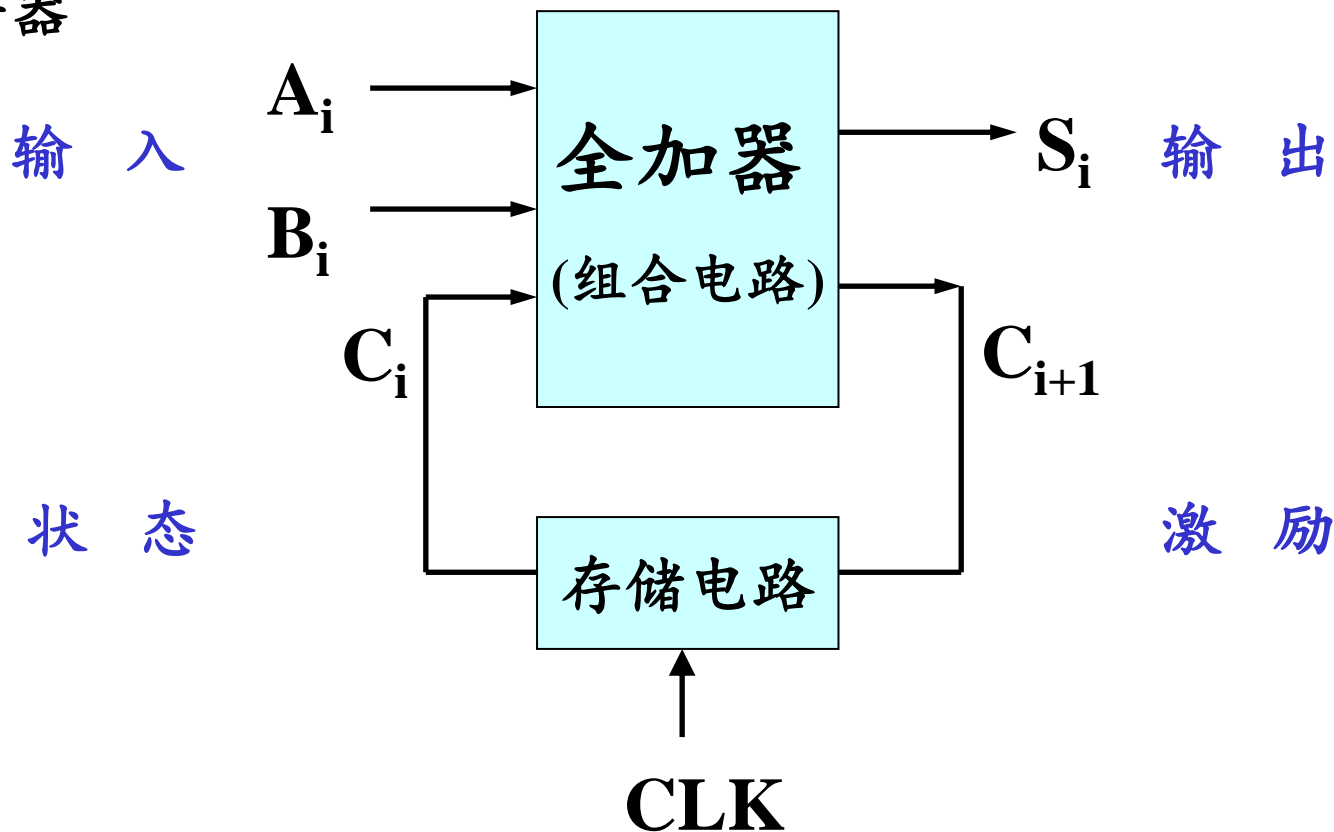
次态——当输入变化后的电路状态(即电路将要进入的状态)；

现态和次态是相对一次状态变化而言的。

例如，一个秒表从 0 秒开始，每次增加 1 秒，则有：



举例: 串行加法器



C_i 是存储电路的输出状态，称为状态变量：现态 C_i^n 、次态 C_i^{n+1} 。

输出 S_i 是输入 A_i 、 B_i 和当前状态 C_i 的函数： $S_i = A_i \oplus B_i \oplus C_i$ 。

激励 C_{i+1} 由输入和当前时刻的状态 C_i 共同决定： $C_{i+1} = A_i B_i + A_i C_i + B_i C_i$

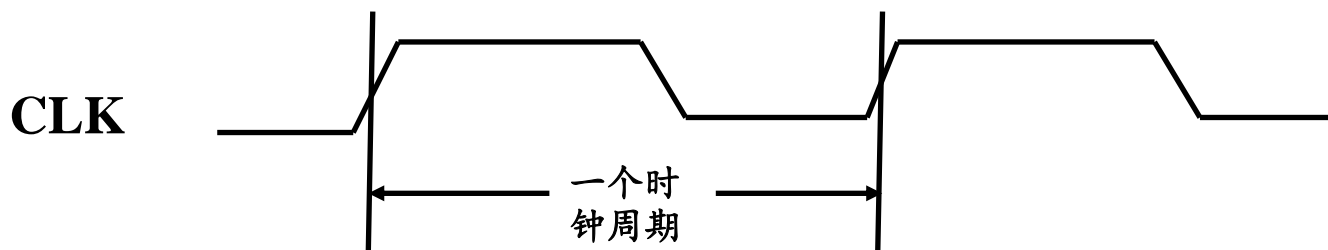
(下一时刻的)状态 C_i 由激励 C_{i+1} 决定： $C_i^{n+1} = C_{i+1}$

1. 时序电路的分类

1) 按照引起状态发生变化的原因可分为：

同步时序电路：其状态的改变受同一个时钟脉冲的控制，且与时钟脉冲同步。即电路在**统一时钟控制CLK**（或**CP**）下，同步改变状态。

异步时序电路：无统一的时钟脉冲使整个系统的工作同步，输入直接引起状态改变。

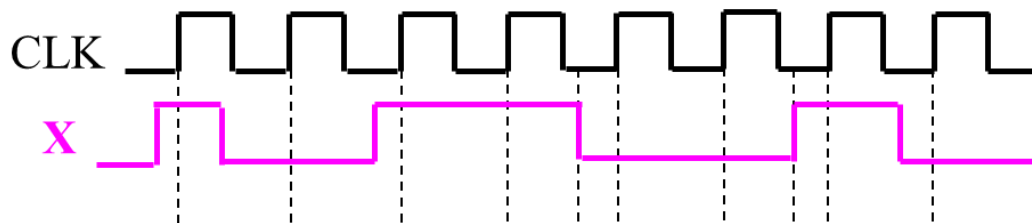


2) 按输入信号x的特性可分为：脉冲输入和电平输入。

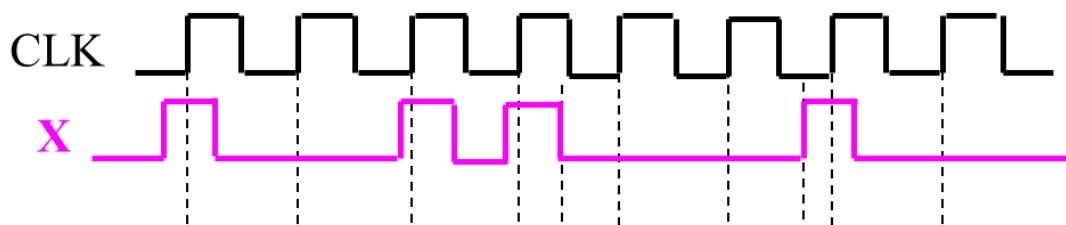
电路中信号是脉冲还是电平是相对的。

在同步时序电路中，输入信号 x 相对时钟脉冲 CP 的变化速度而言：如果输入信号 x 在两个时钟脉冲之间信号完成 $0 \rightarrow 1 \rightarrow 0$ (或 $1 \rightarrow 0 \rightarrow 1$) 两次变化则为脉冲输入，否则为电平输入。

在异步时序电路中，输入信号 x 按照电路研究的目的区分：如果研究的是输入信号 x 完成 $0 \rightarrow 1 \rightarrow 0$ (或 $1 \rightarrow 0 \rightarrow 1$) 两次变化对电路的影响，则为脉冲输入，否则，如果研究的是输入信号完成 $0 \rightarrow 1$ (或 $1 \rightarrow 0$) 一次变化对电路的影响则为电平输入。

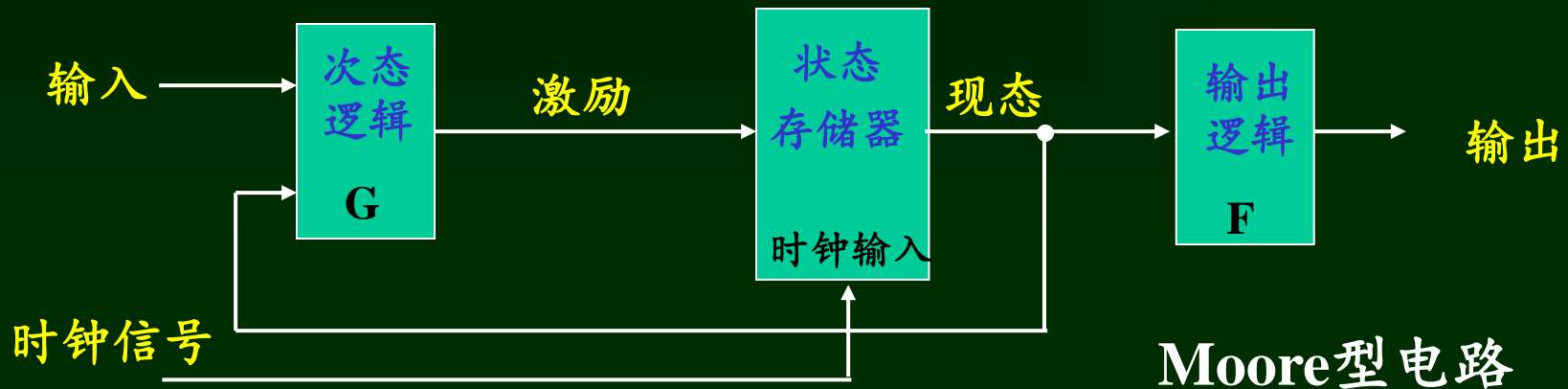
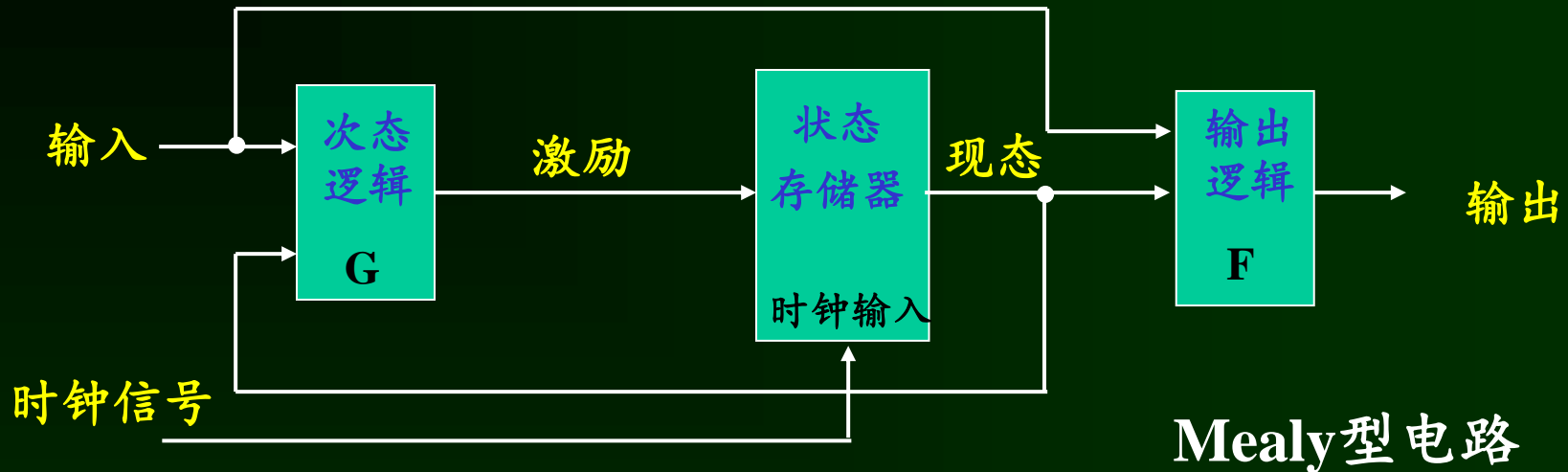


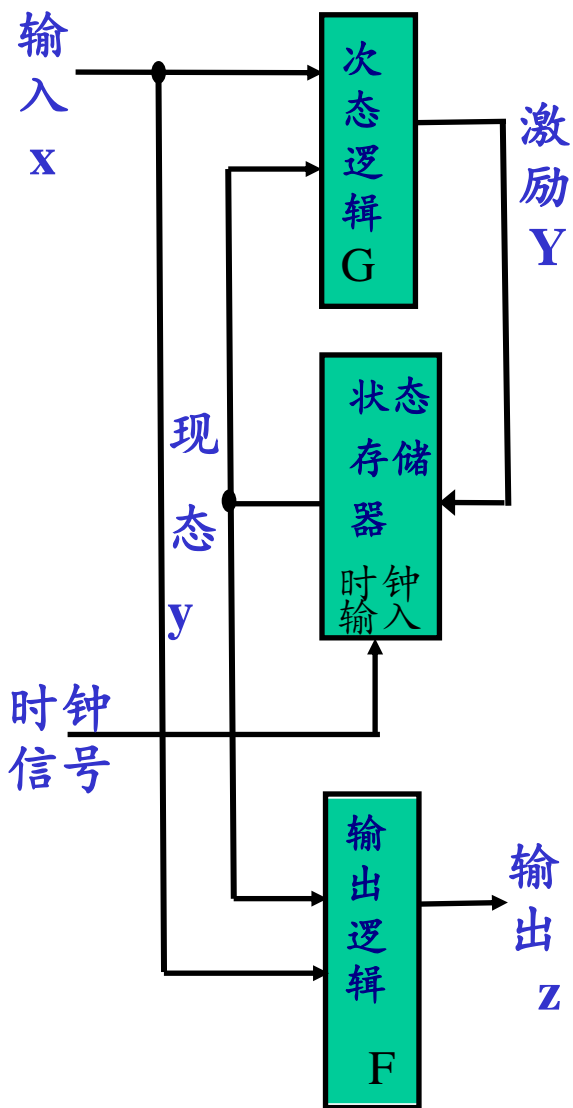
(a) 同步时序电路电平输入的典型时间图



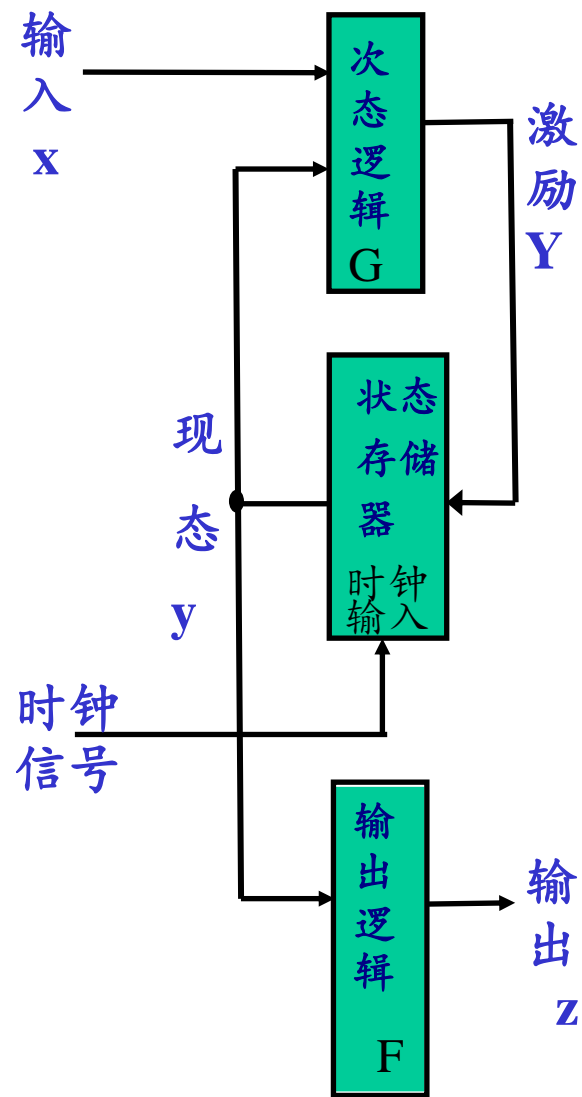
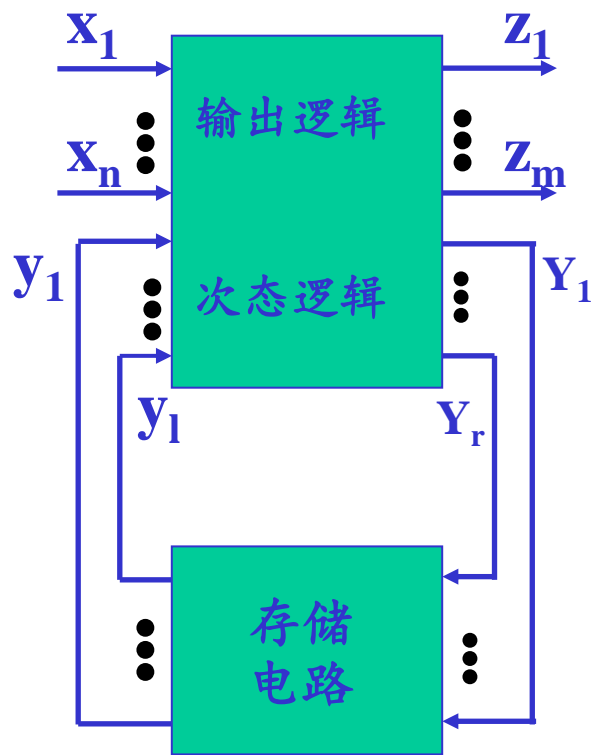
(b) 同步时序电路脉冲输入的典型时间图

(3) 按输出特性可分为：**Mealy型**和**Moore型**。





Mealy型电路



Moore型电路

2. 时序电路的描述方法

(1) 次态方程 *Characteristic Equation*

$$\left. \begin{array}{l} \text{次态 } y^{n+1} = Q_a(\text{激励 } Y) \\ \text{激励 } Y = G(\text{输入 } x, \text{现态 } y) \end{array} \right\} \text{次态 } y^{n+1} = Q(\text{输入 } x, \text{现态 } y)$$

(2) 功能表

(3) 次态真值表

将输入 x 及现态 y 列在真值表左边，次态 y^{n+1} 列在右边。

(4) 次态卡诺图

次态方程用卡诺图的形式表示出来，即次态卡诺图。

(5) 状态表 *State-table*

Mealy 型状态表

$y \backslash x$	0	1
y_0	$y_1/0$	$y_3/\mathbf{1}$
y_1	$y_2/0$	$y_0/0$
y_2	$y_3/0$	$y_1/0$
y_3	$y_0/\mathbf{1}$	$y_2/0$

y^{n+1}/z (次态/输出)

Moore 型状态表

$y \backslash x$	0	1	z
y_0	y_1	y_3	0
y_1	y_2	y_0	0
y_2	y_3	y_1	0
y_3	y_0	y_2	$\mathbf{1}$

y^{n+1} (次态)

无外部输出的状态表

$y \backslash x$	0	1
y_0	y_1	y_3
y_1	y_2	y_0
y_2	y_3	y_1
y_3	y_0	y_2

y^{n+1} (次态)

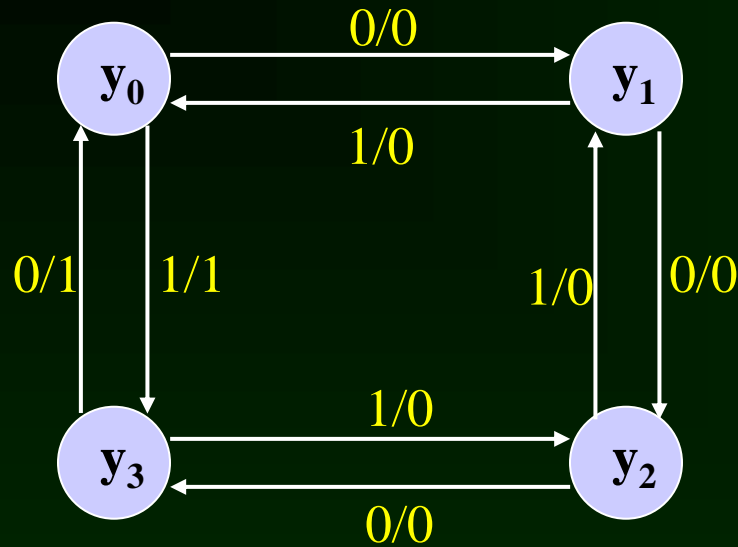
Mealy 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输入 $x \rightarrow$ 输出 $z \rightarrow$ 次态 y^{n+1}

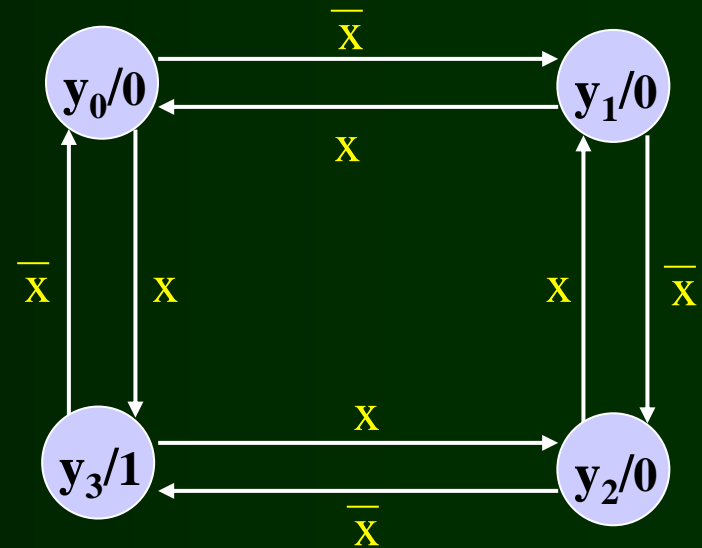
Moore 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输出 $z \rightarrow$ 输入 $x \rightarrow$ 次态 y^{n+1}

(6) 状态图 *State-diagrams*



(a) Mealy 型状态图



(b) Moore 型状态图

Mealy 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输入 $x \rightarrow$ 输出 $z \rightarrow$ 次态 y^{n+1}

Moore 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输出 $z \rightarrow$ 输入 $x \rightarrow$ 次态 y^{n+1}

3.1.2 时序电路的双稳态元件 *Bistable Element*

➤ 双稳态元件是构成存储电路的基本模块，通常指锁存器或触发器。

➤ 双稳态元件的特点是：

(1) 有两个稳定状态，分别表示存储数码 0 或 1。

(2) 在触发信号作用下，它可从一个稳态翻转到另一个稳态。

➤ 每个双稳态元件有两个互反的输出端 Q 和 \bar{Q} ，

分别被称为：1 态 ($Q = 1, \bar{Q} = 0$)

0 态 ($Q = 0, \bar{Q} = 1$)

触发器或锁存器翻转前的状态称为现态 $Q^n(Q)$ ，翻转后的状态称为次态 Q^{n+1} 。

➤ 锁存器 *Latches* 和触发器 *Flip-flops* 的区别：

(1) 锁存器对激励信号立刻响应；

(2) 触发器只在时钟信号出现时响应激励信号。

锁存器包括：

不带使能控制的锁存器(输入电平直接影响输出)；

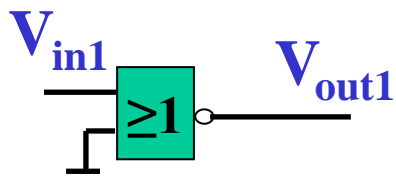
带使能控制的锁存器(仅当使能输入有效时，其输入才直接影响输出)。

触发器包括：

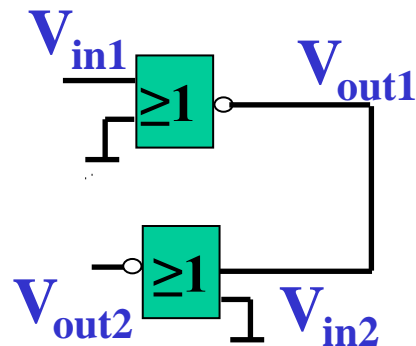
主从结构的脉冲触发器；

维持阻塞结构的边沿触发器。

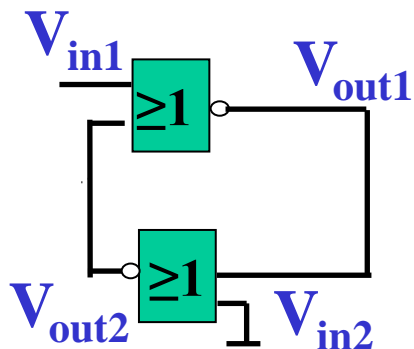
1. S-R 锁存器 (*Set-Reset Latche*)



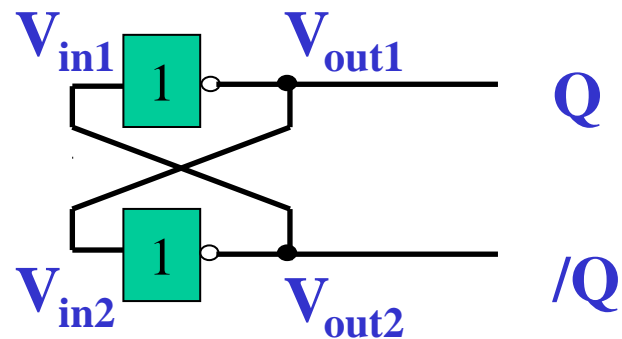
(a)



(b)



(c)



(d)

右图(a)中，电路有两个稳态：

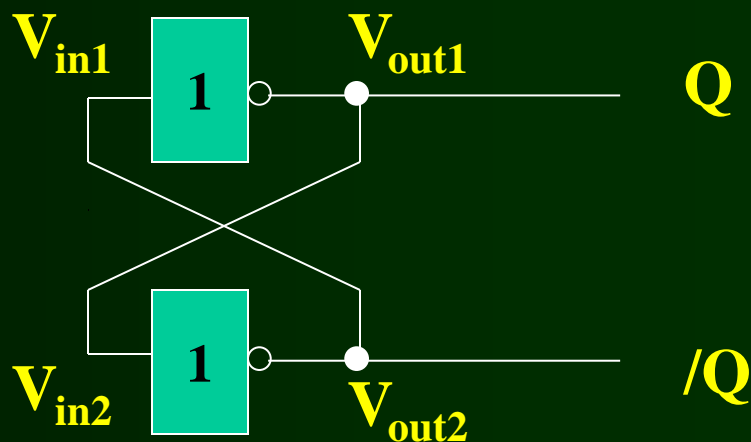
$$V_{out1} = V_{in2} = 1$$

$$V_{out2} = V_{in1} = 0$$

及

$$V_{out1} = V_{in2} = 0$$

$$V_{out2} = V_{in1} = 1$$

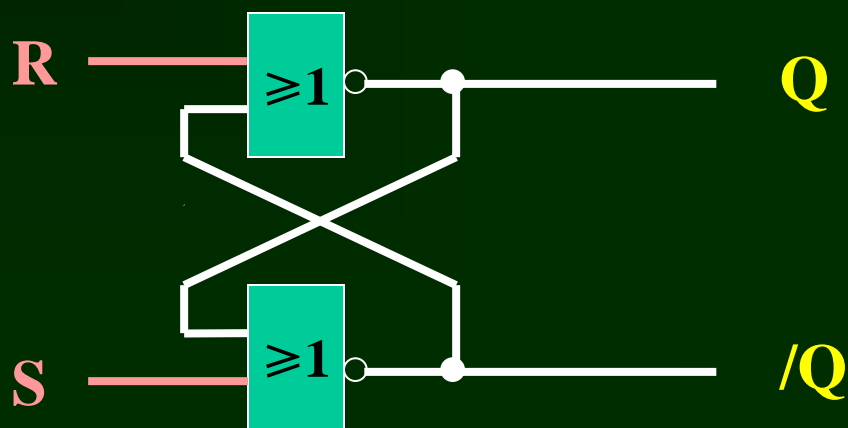


(a) 一对非门组成的双稳态电路

由于图(a)电路的两个稳态 Q 、 $/Q$ 不能由外部控制，为此增加两个输入端：

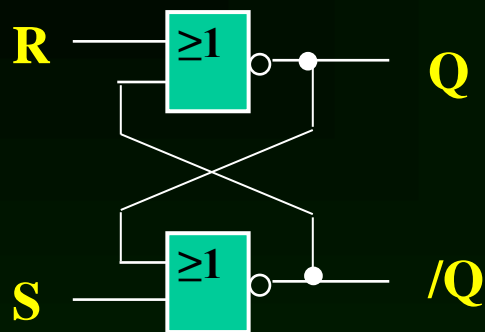
S (置位)、 R (复位)

则得到S-R锁存器，如图(b)。



(b) 一对或非门组成的S-R锁存器

S-R 锁存器



① 电路图

S	R	Q	/Q
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

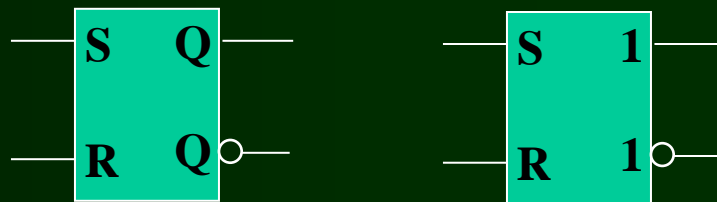
② 功能表

S	R	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

③ 次态真值表

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

④ 简化次态真值表



⑦ 逻辑符号

⑤ 次态卡诺图

Q \ SR	00	01	11	10
0	0	0	d	1
1	1	0	d	1

⑥ 次态方程 $Q^{n+1} = S + \overline{R} \cdot Q$

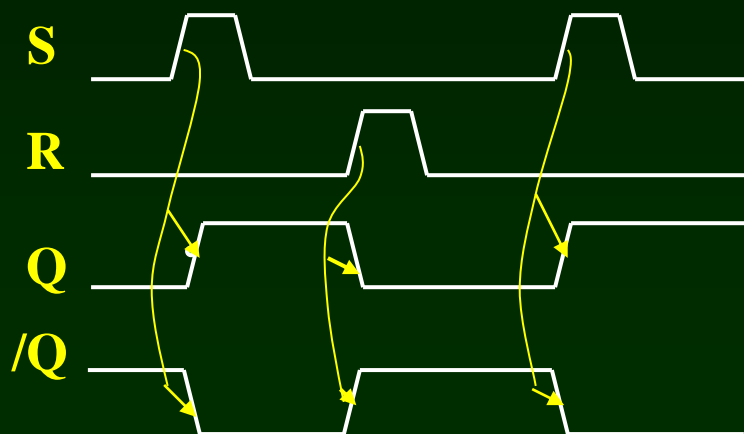
约束条件: $S \cdot R = 0$

根据组合电路的分析方法
得到的功能表如右图：

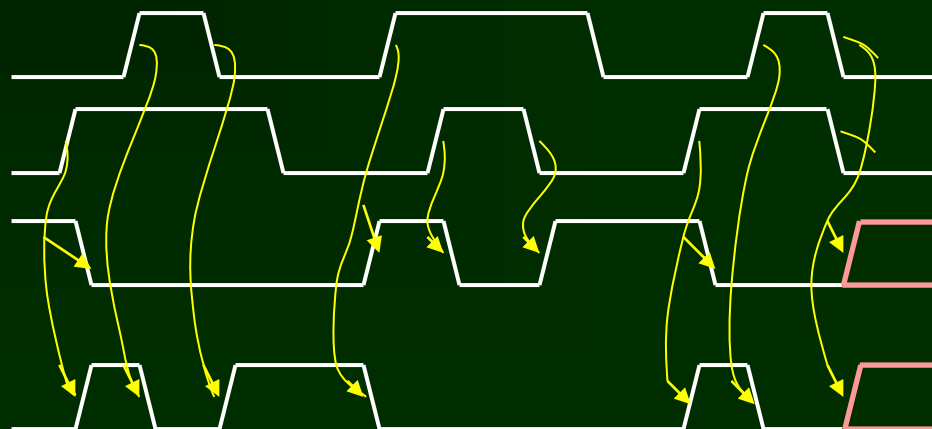
S	R	Q	/Q
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

(a) 功能表

由功能表得到的典型操作
时序图如下图所示(b)、(c)

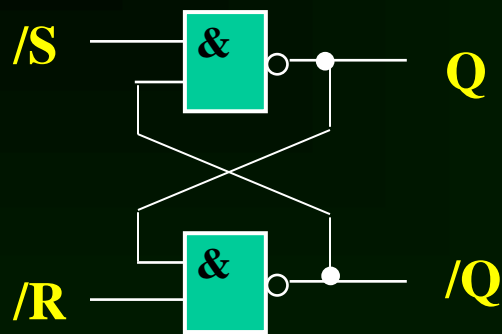


(b) 正常输入



(c) S 和 R 同时有效

2. \overline{S} - \overline{R} 锁存器(\overline{S} - \overline{R} Latche)



由与非门构成。

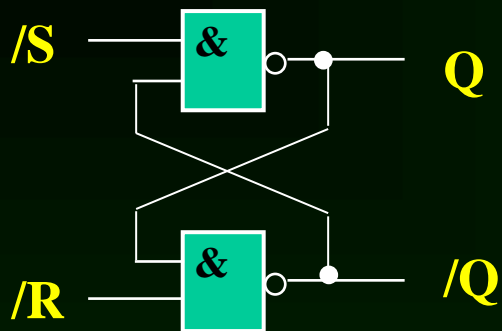
具有低有效置位及复位。

\overline{S} - \overline{R} 锁存器与S-R锁存器的主要区别是：

(1) \overline{S} 及 \overline{R} 都是低有效，因此当 $\overline{S}=\overline{R}=1$ 时，电路输出保持不变。

(2) 当 \overline{S} 及 \overline{R} 同时有效时，输出 Q 及 \overline{Q} 都变为 1，S-R锁存器是当 S 及 R 同时有效时，输出 Q 及 \overline{Q} 都变为 0。两种情况输出都是不满足互补关系，这是不允许的。

/S-/R 锁存器



① 电路图

/S	/R	Q	/Q
1	1	保持不变	
1	0	0	1
0	1	1	0
0	0	1	1

② 功能表



⑦ 逻辑符号

/S	/R	Q	Q^{n+1}
0	0	0	d
0	0	1	d
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

③ 次态真值表

/S	/R	Q^{n+1}
0	0	d
0	1	1
1	0	0
1	1	Q

④ 简化次态真值表

⑤ 卡诺图

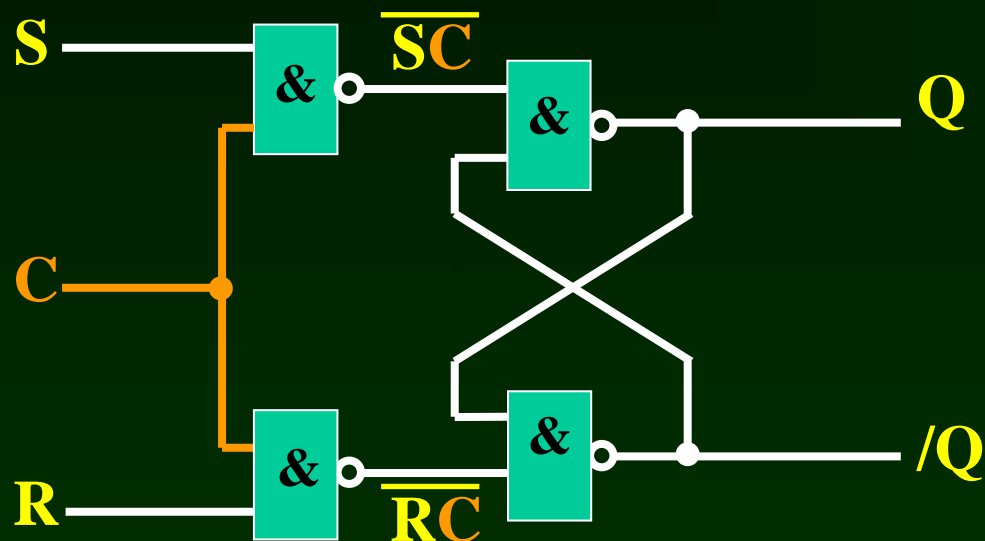
/S/R	00	01	11	10
Q				
0	d	1	0	0
1	d	1	1	0

⑥ 次态方程 $Q^{n+1} = \overline{S} + /R \cdot Q$

约束条件: $\overline{S} \cdot \overline{R} = 0$

带使能端的S- R 锁存器 *S-R latche with enable*

利用使能输入端信号**C** 进行控制，即当使能信号**C**有效时，输入才影响输出。如图中电路图所示：

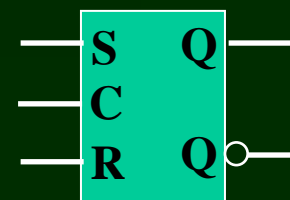


用与非门实现的电路

次态方程 $Q^{n+1} = S + \overline{R} \cdot Q$

约束条件: $S \cdot R = 0$

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d



逻辑符号

带使能端的S-R锁存器的功能表和真值表：

S	R	C	Q /Q
0	0	1	保持不变
0	1	1	0 1
1	0	1	1 0
1	1	1	1 1
d	d	0	保持不变

功能表

功能表反映的是输入与输出之间的关系。

即给定输入S、R后，不管之前的Q和/Q的值是什么，仅由现在的S、R决定的输出（次态）Q和/Q是什么。

S	R	C	Q^{n+1}
0	0	1	Q
0	1	1	0
1	0	1	1
1	1	1	d
d	d	0	Q

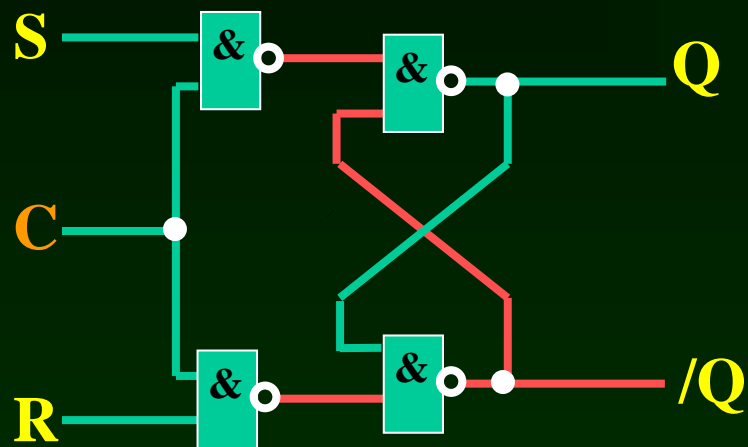
简化次态真值表

真值表描述的是次态与现态及输入之间的关系。

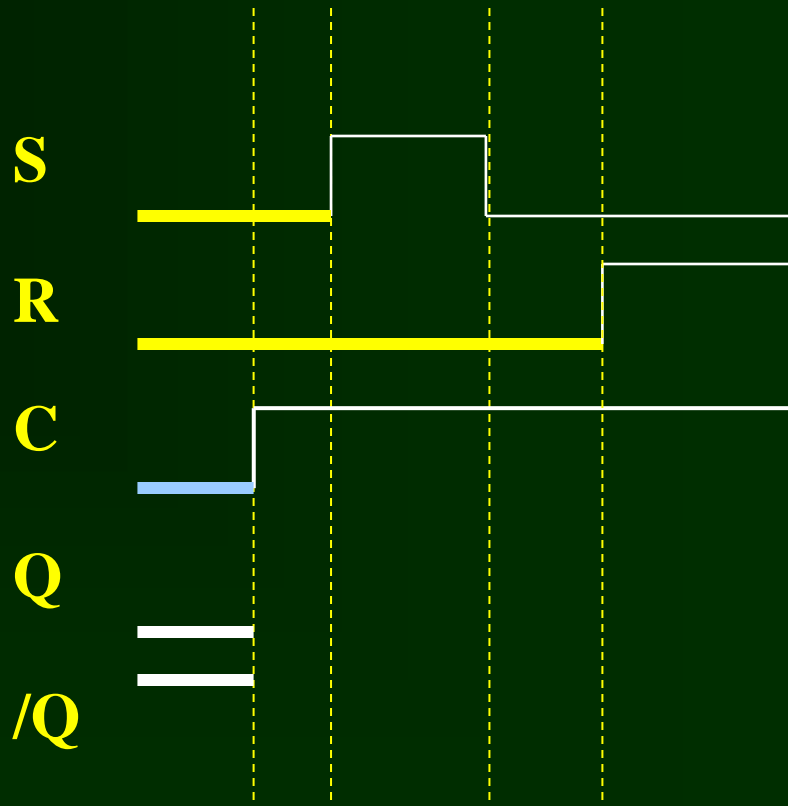
即在某一现态Q下，不管之前的S、R输入是什么，当输入S、R变为表中的输入值时，输出应变为的次态值 Q^{n+1} 。

带使能端的S-R 锁存器的工作过程(1):

初态: $Q = 0$



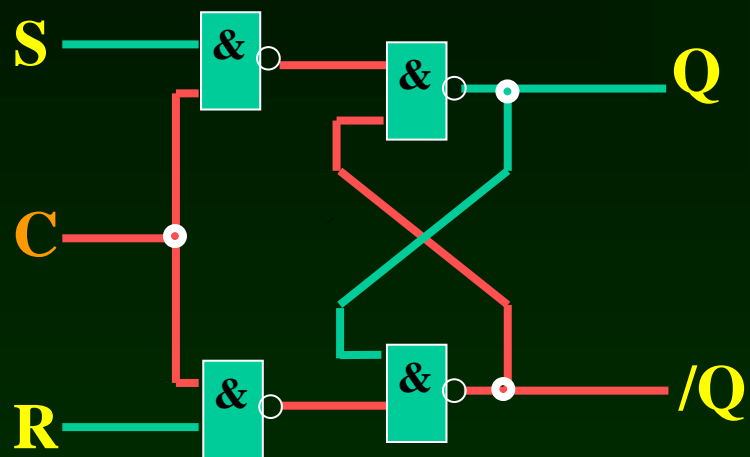
电路图



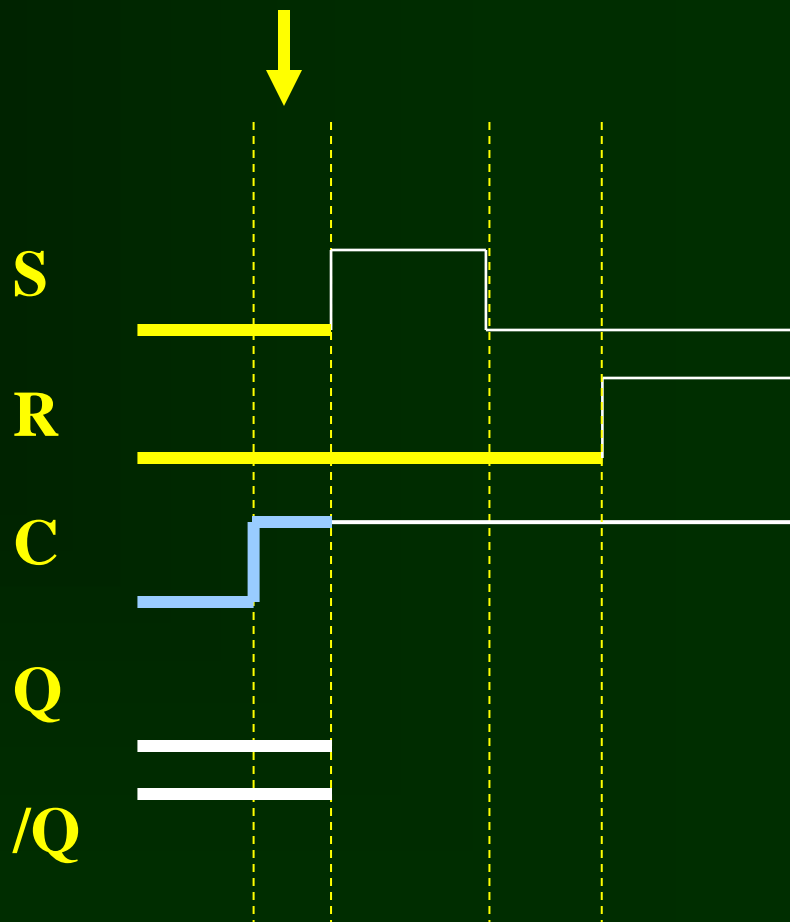
——: 0电平, ——: 1电平

带使能端的S-R 锁存器的工作过程(2):

阅读

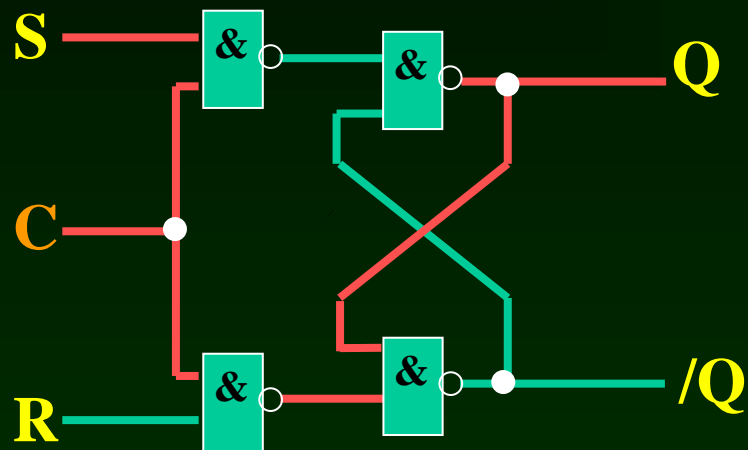


电路图

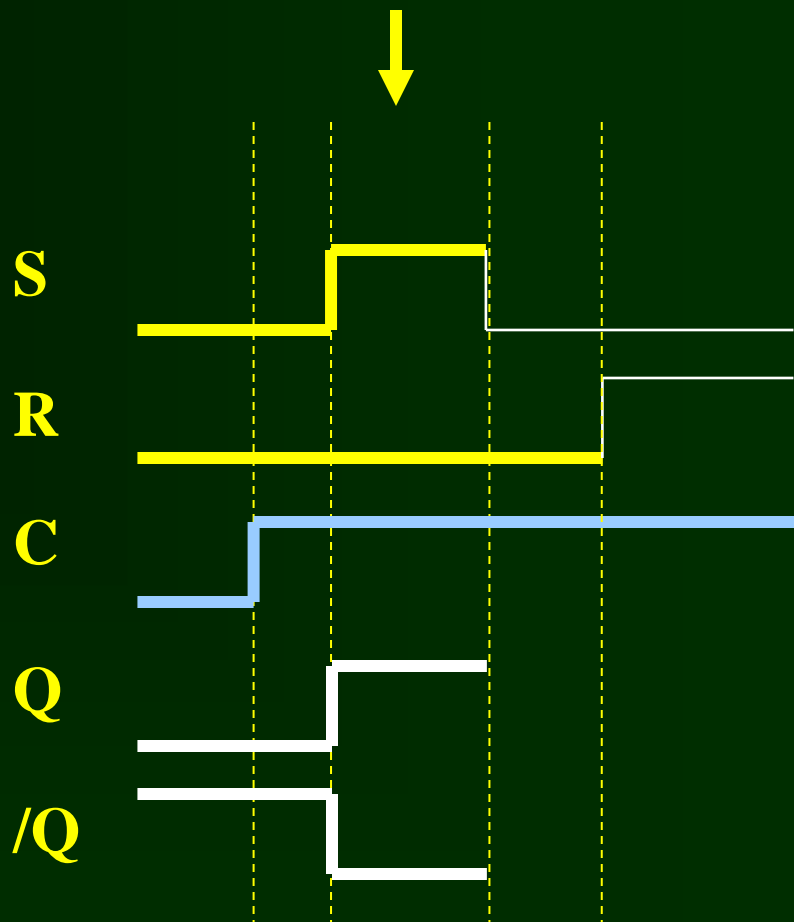


——: 0电平, ——: 1电平

带使能端的S-R 锁存器的工作过程(3):



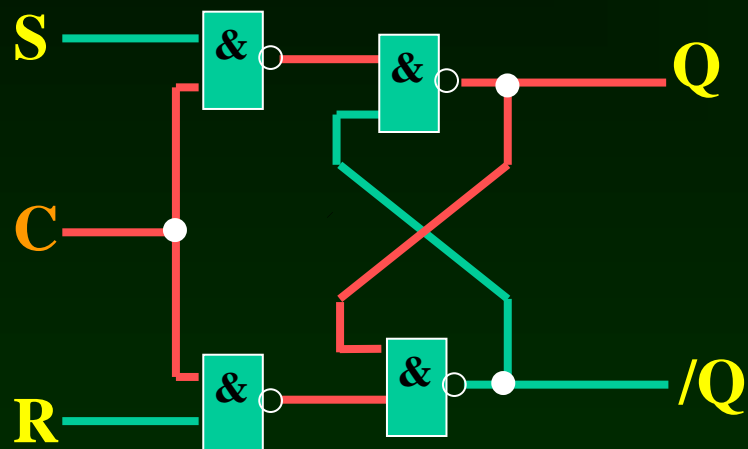
电路图



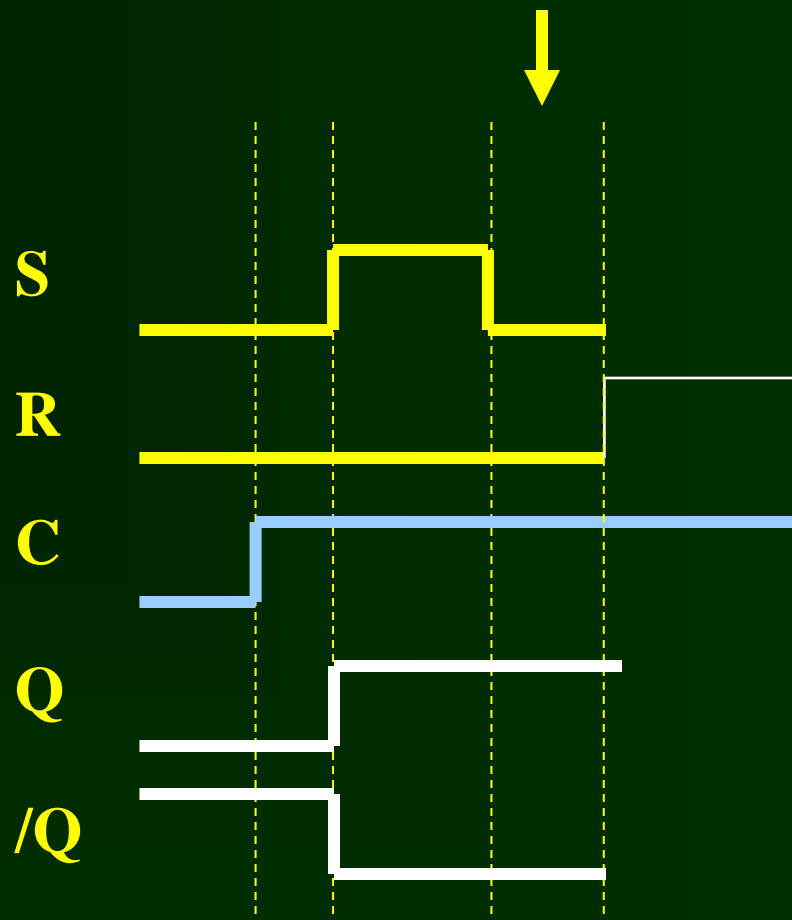
——: 0电平, ———: 1电平

带使能端的S-R 锁存器的工作过程(4):

阅读

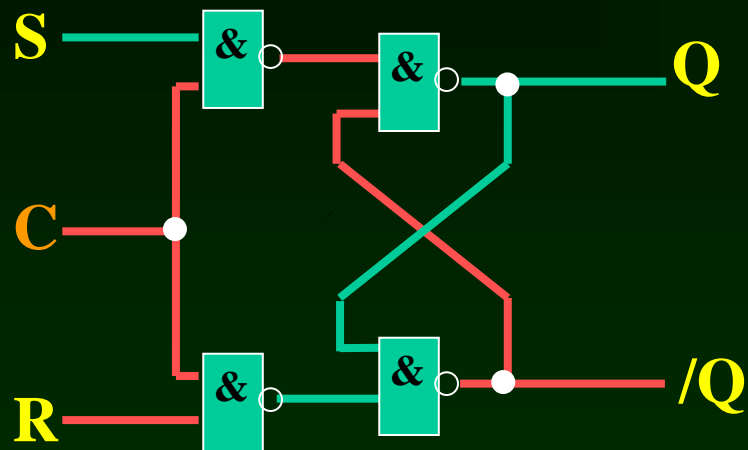


电路图

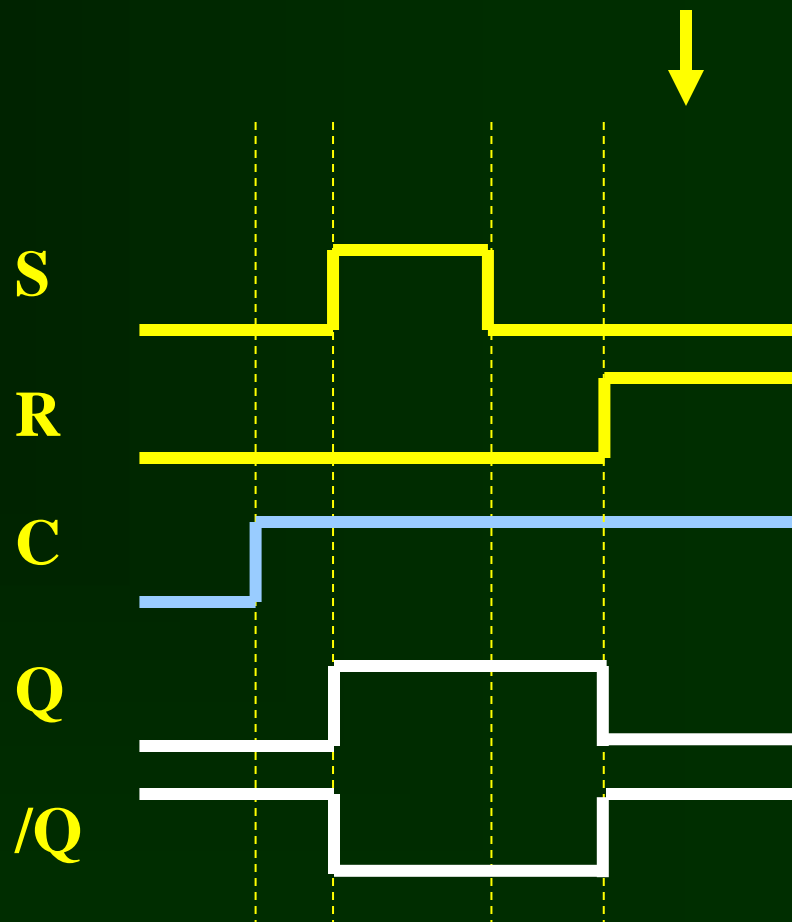


——: 0电平, ——: 1电平

带使能端的S-R 锁存器的工作过程(5):

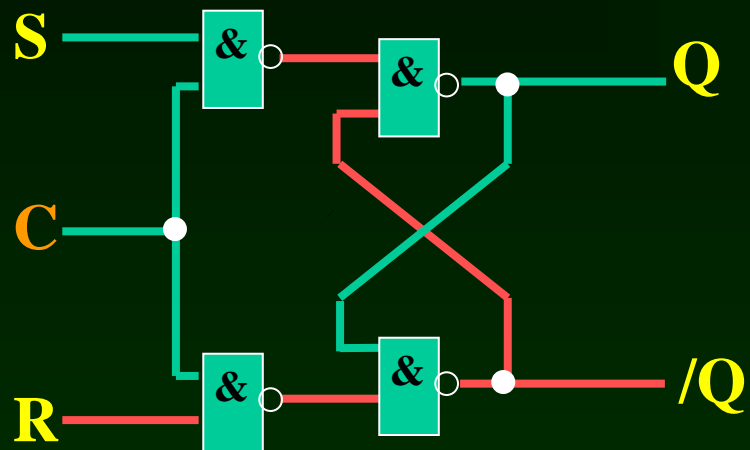


电路图

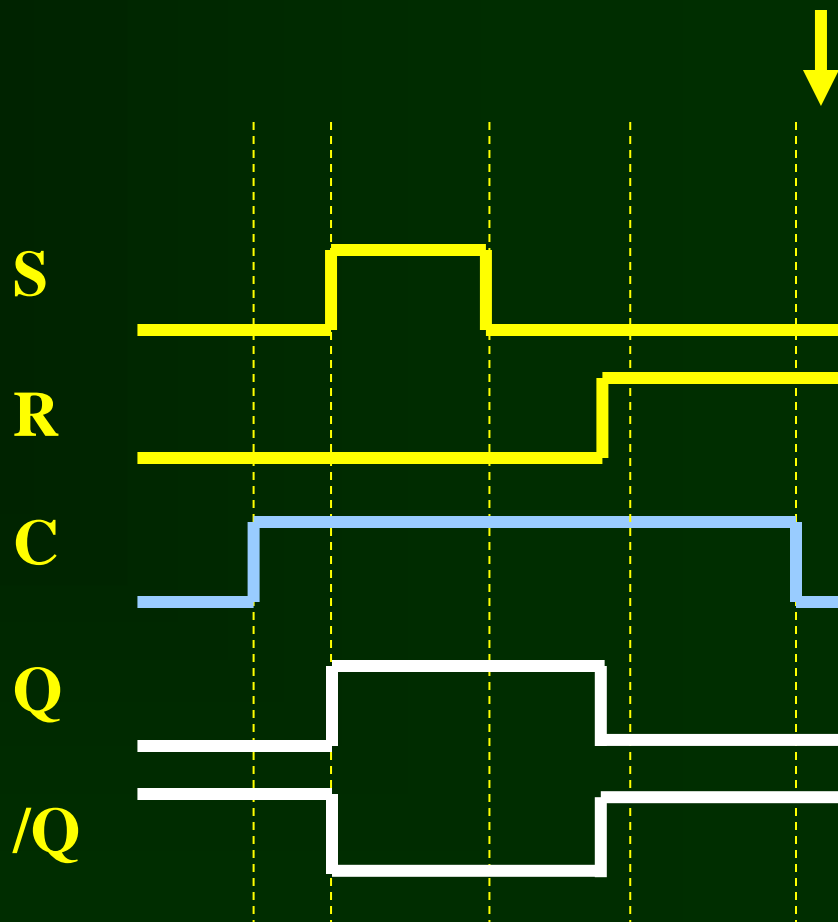


——: 0电平, ——: 1电平

带使能端的S-R 锁存器的工作过程(6):



电路图



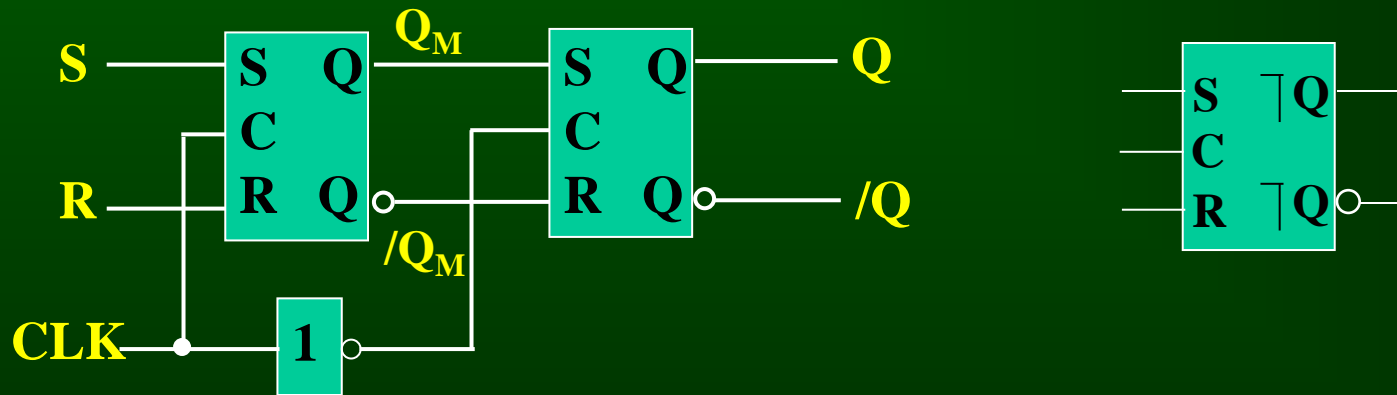
——: 0电平, ——: 1电平

3.主从S-R 触发器 *Master/slave S-R Flip-flop*

主从触发器由主触发器和从触发器两部分构成。

主从触发器是在脉冲下降沿改变输出：

- 即 ① 在触发脉冲C作用时间(C为高电平期间)，S、R状态的变化将记入主触发器；
- ② 在C下降沿时间，从触发器接收此时刻的主触发器状态。



(a) 用两个带使能端S-R 锁存器构成的触发器

主从S-R 触发器功能分析：用功能表分析

S	R	Q_M	$/Q_M$
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

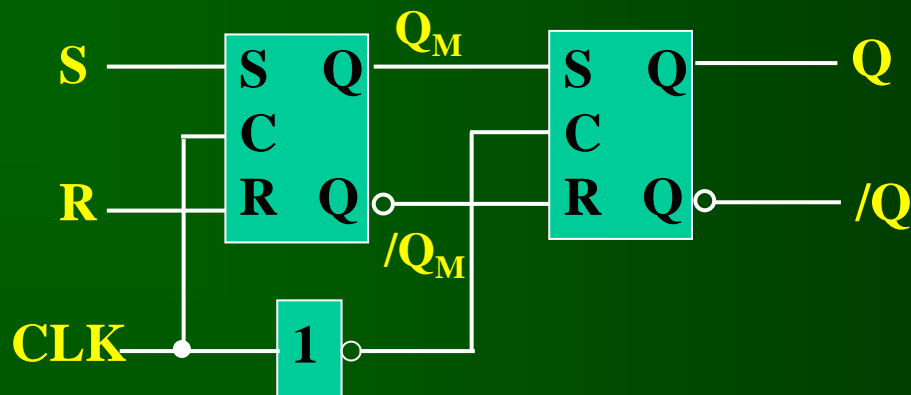
主触发器功能表

$Q_M(S)$	$/Q_M(R)$	Q	$/Q$
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

从触发器功能表

- ① $SR=01$: $Q=0$, $/Q=1$ 。
- ② $SR=10$: $Q=1$, $/Q=0$ 。
- ③ $SR=00$: Q 、 $/Q$ 保持不变。
- ④ $SR=11$: 主触发器要求 $S \cdot R=0$; Q 和 $/Q$ 不会同时为1或0。

主从S-R 触发器功能分析：用状态方程分析



CLK=1: 主锁存器状态方程为 $Q_M^{n+1} = S + \overline{R}Q_M$

CLK=0: 从锁存器状态方程为 $Q^{n+1} = Q_M^{n+1} + \overline{Q_M^{n+1}}Q = Q_M^{n+1}$

则有

$$Q^{n+1} = Q_M^{n+1} = S + \overline{R}Q_M$$

又由于 $Q = Q_M$

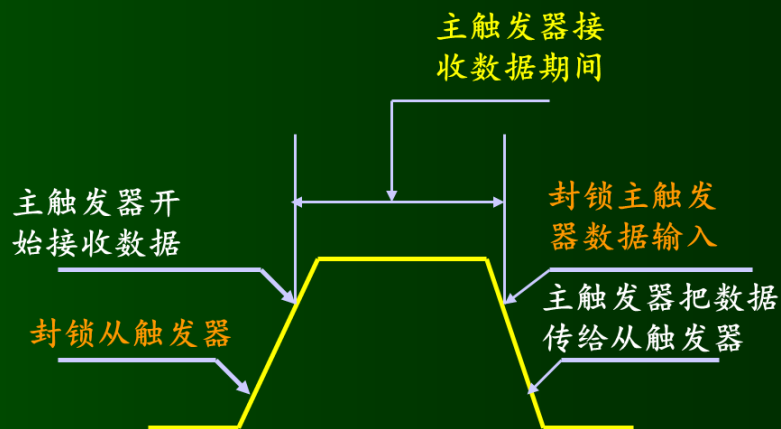
则

$$Q^{n+1} = S + \overline{R}Q$$

触发脉冲作用期间的情况：

当触发信号C上跳时，主触发器接收数据，此时，从触发器输出不变，只有当触发信号C跳下时，主触发器才把数据传给从触发器从而引起输出变化，与此同时锁住了主触发器。如图（b）所示。

由于门的传输延迟时间的影响，为保证稳定地将S、R状态记入主从触发器，要求在触发脉冲下降沿到达前一段时间，S、R值已稳定。



(b) 触发脉冲C作用期间的情况

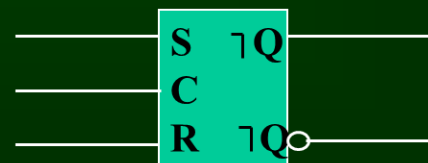
主从S-R 触发器的特性：

由于主从触发器的输出在触发脉冲上升边时并不马上改变，因此在逻辑符号上，输出端应加输出限定符号“ \neg ”表示延迟输出。

此外，主从触发器虽然是在触发信号的下降沿改变输出，但它并不是后沿触发的边沿触发器，因此在逻辑符号中控制输入端C上既没有动态输入限定符号，也没有逻辑非符号。延迟输出符号“ \neg ”表示了下降沿改变输出的特性。

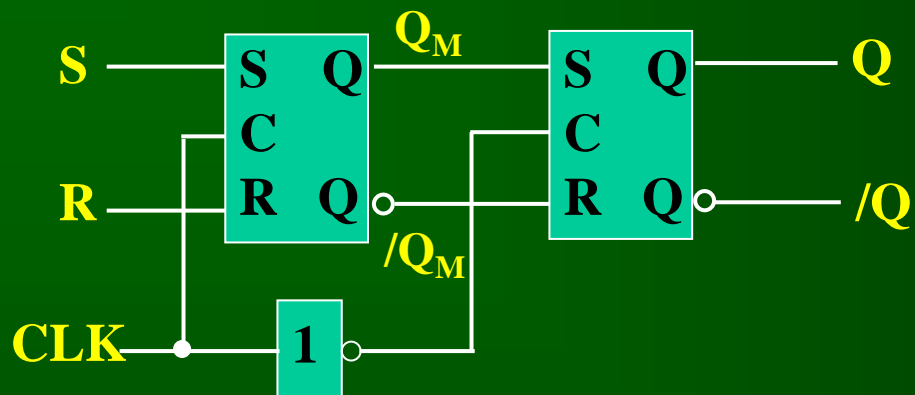
S	R	C	Q	/Q
d	d	0	保持不变	
0	0	\neg	保持不变	
0	1	\neg	0	1
1	0	\neg	1	0
1	1	\neg	不确定	

(c) 功能表

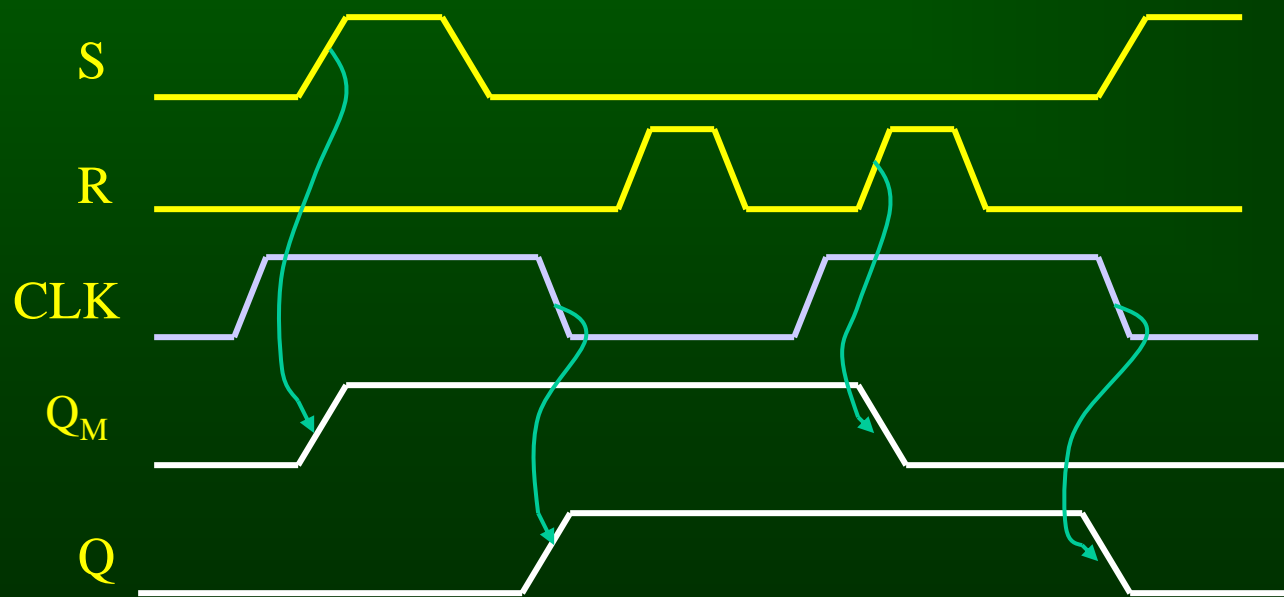


(d) 逻辑符号

主从S-R 触发器工作过程时序图：



电路图

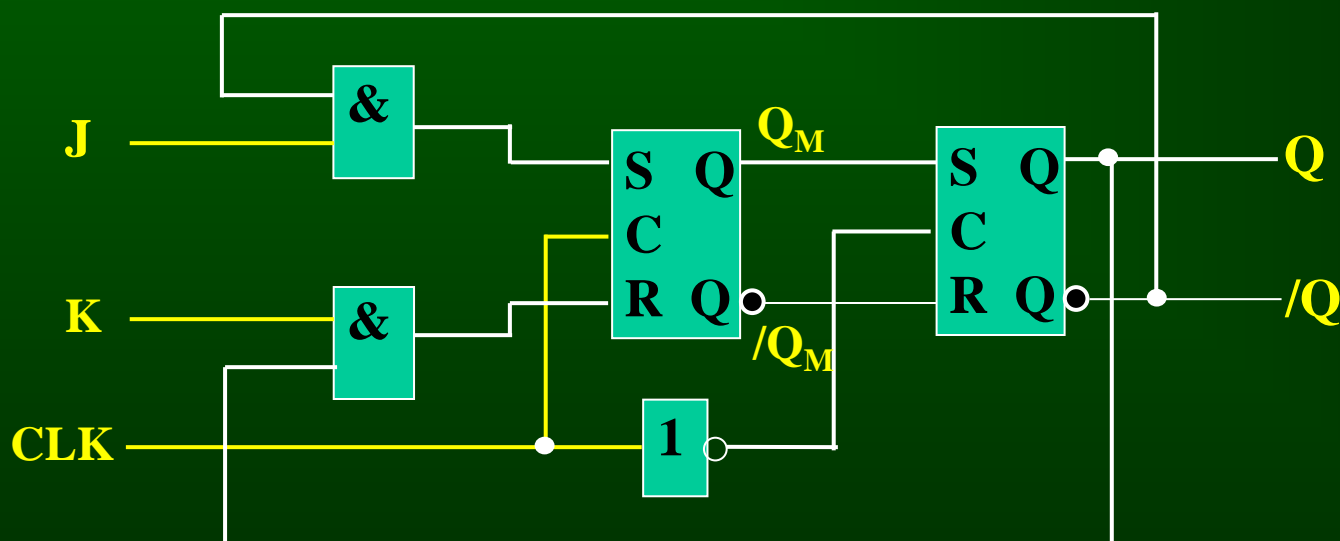


时序图

主从S-R触发器的功能与带使能端的S—R锁存器相同。

主从J-K 触发器 *Master/slave J-K Flip-flop*

在主从 S-R 触发器的使用过程中不允许 S、R 输入同时有效，这给应用带来不便。J-K 触发器利用输出 Q 及 /Q 不会同时为 1 或 0 这一特性，将输入 J、K 先分别同 /Q 及 Q “相与” 后再输入到主触发器的 S 及 R 输入端，从而保证主触发器的 S 及 R 端不会同时有效，见图(a)。



(a) 用S-R 锁存器构成的JK触发器

$$S = J \cdot \bar{Q}, R = K \cdot Q$$

$$Q^{n+1} = S + \bar{R} \cdot Q$$

J	K	S	R	Q^{n+1}
0	0	0	0	Q
0	1	0	Q	0
1	0	\bar{Q}	0	1
1	1	\bar{Q}	Q	\bar{Q}

次态方程 $Q^{n+1} = J \cdot \bar{Q} + \bar{K} \cdot Q$

主从J-K触发器和主从S-R触发器一样是脉冲触发的。

主从J-K触发器的特性：

J	K	C	Q	/Q
d	d	0	保持不变	
0	0	⌋	保持不变	
0	1	⌋	0	1
1	0	⌋	1	0
1	1	⌋	变反	

(b) 功能表

J	K	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(c) 次态真值表

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

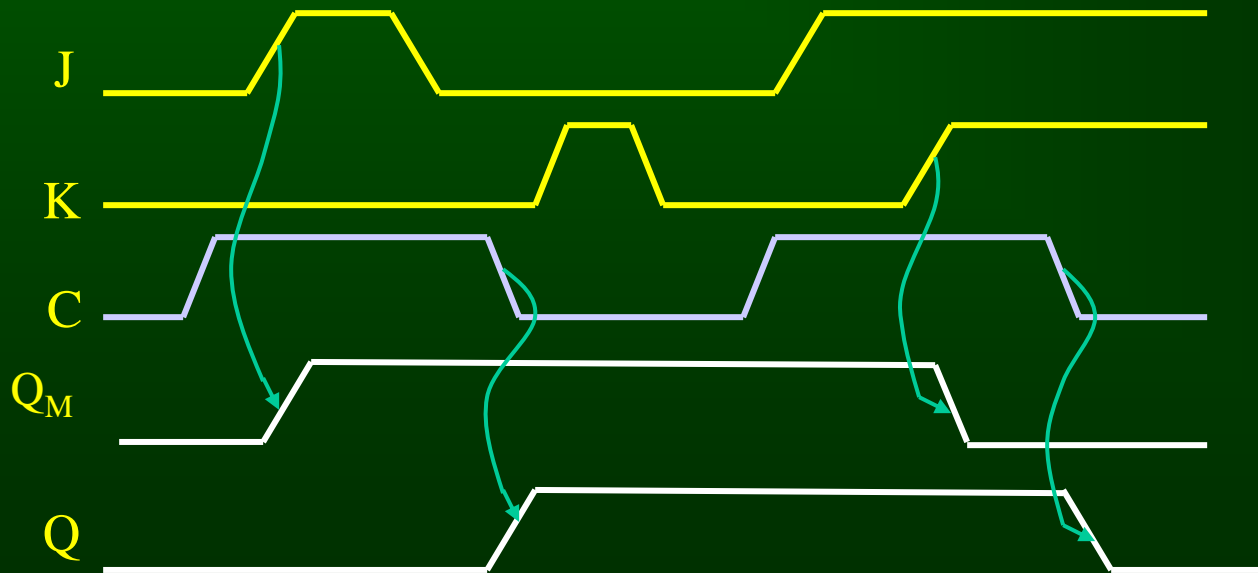
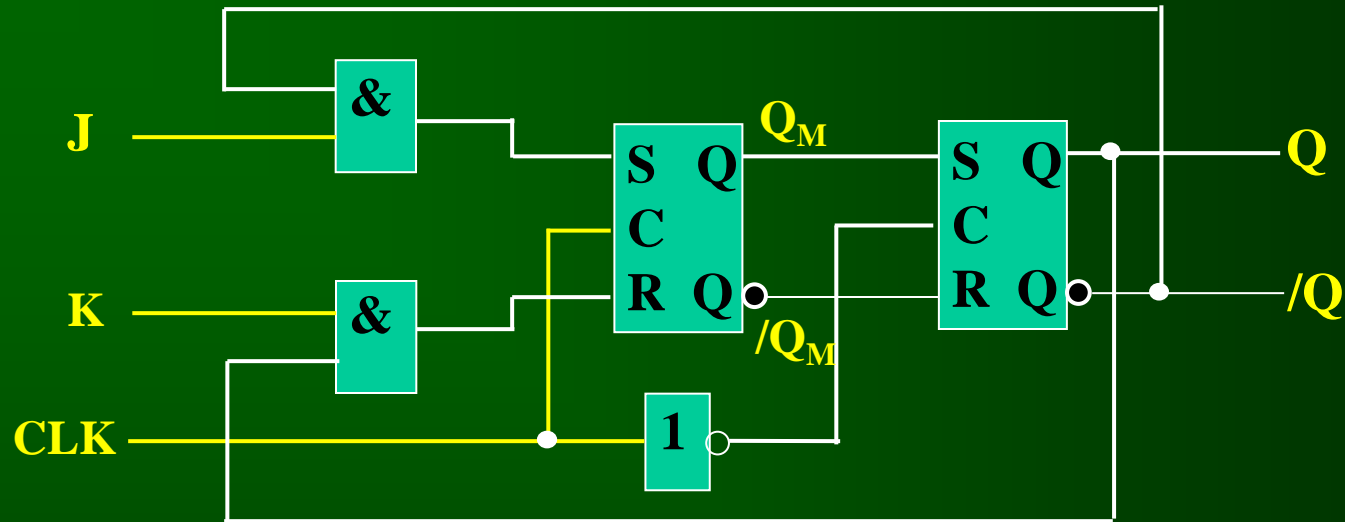
(d) 简化的次态真值表

JK	00	01	11	10
Q				
0	0	0	1	1
1	1	0	0	1

(e) 卡诺图

次态方程 $Q^{n+1} = J \cdot \overline{Q} + \overline{K} \cdot Q$

主从J-K 触发器工作过程时序图：



时序图

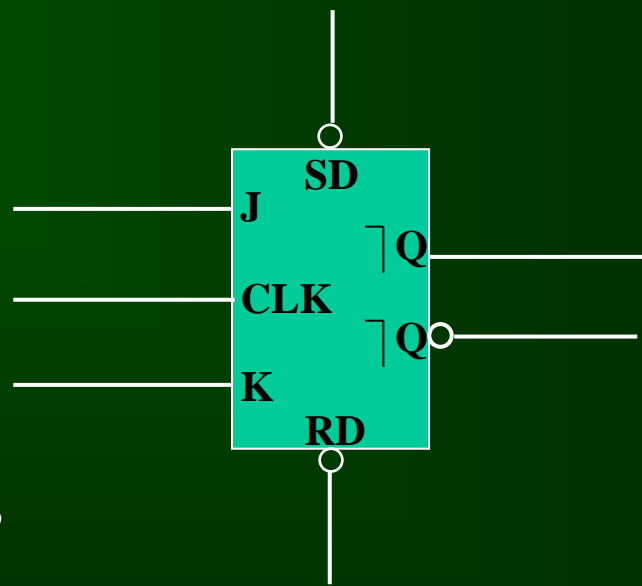
主从J-K触发器的逻辑符号：

当 $J=K=0$ 时，触发器处于保持状态，而当 $J=K=1$ 时， $Q^{n+1} = \neg Q$ ，触发器具有计数功能。

为使触发器稳定工作，要求触发脉冲的最小宽度需大于主触发器的状态转换稳定时间，即大于2个门的传输时间。

与主从S-R触发器一样，在触发脉冲后沿到达前的一段时间，输入J、K信号值应持续不变。

为了使触发器预先置于某一初始状态，在电路中还设置了一个直接置位端SD及直接复位端RD，如图(d)所示。



4. 边沿触发的D触发器 *Edge-triggered D Flip-flop*

➤ D 锁存器 *D Latche*

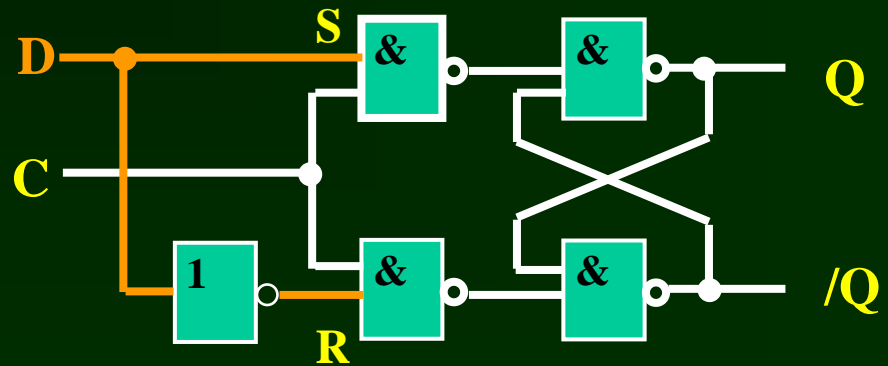
S-R 锁存器由于能够独立地控制置位端及复位端，因此，它可应用在根据某些条件置位而在某些条件下复位的场所，但这需要置位、复位二根输入线。

在实际工作中经常需要简单地锁存一位二进制数，这时应用D锁存器更方便些。

用带使能端的 S-R 锁存器及一个非门可以构成D锁存器，如右图。由于：

$$S=D \quad R=\overline{D}$$

因此 S端及 R端不会出现同时为 1 的情况。



(a) 用与非门实现D锁存器

D 锁存器的特性:

C	D	Q	/Q
1	0	0	1
1	1	1	0
0	d	保持不变	

(b) 功能表

D	Q	Q _{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

(c) 次态真值表

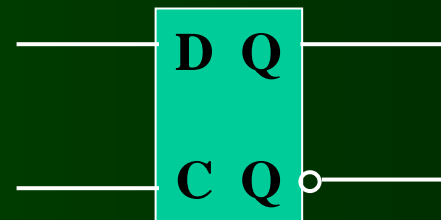
D	Q _{n+1}
0	0
1	1

(d) 简化的次态真值表

D \ Q	0	1
0	0	1
1	0	1

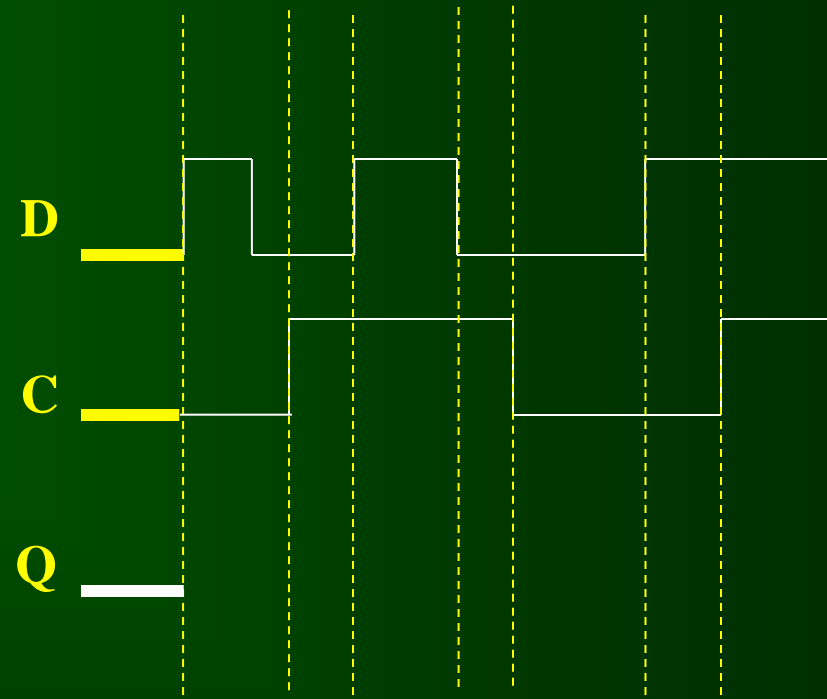
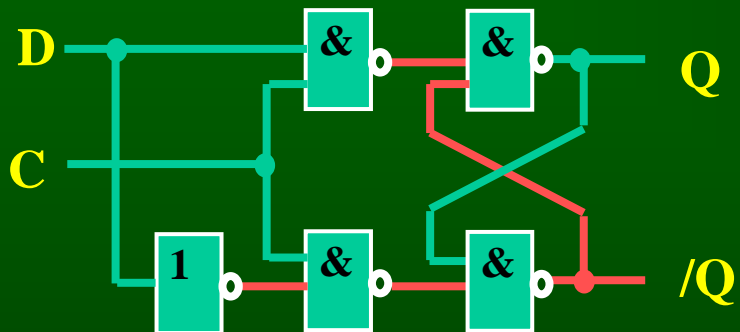
(e) 次态方程

$$Q^{n+1} = D$$



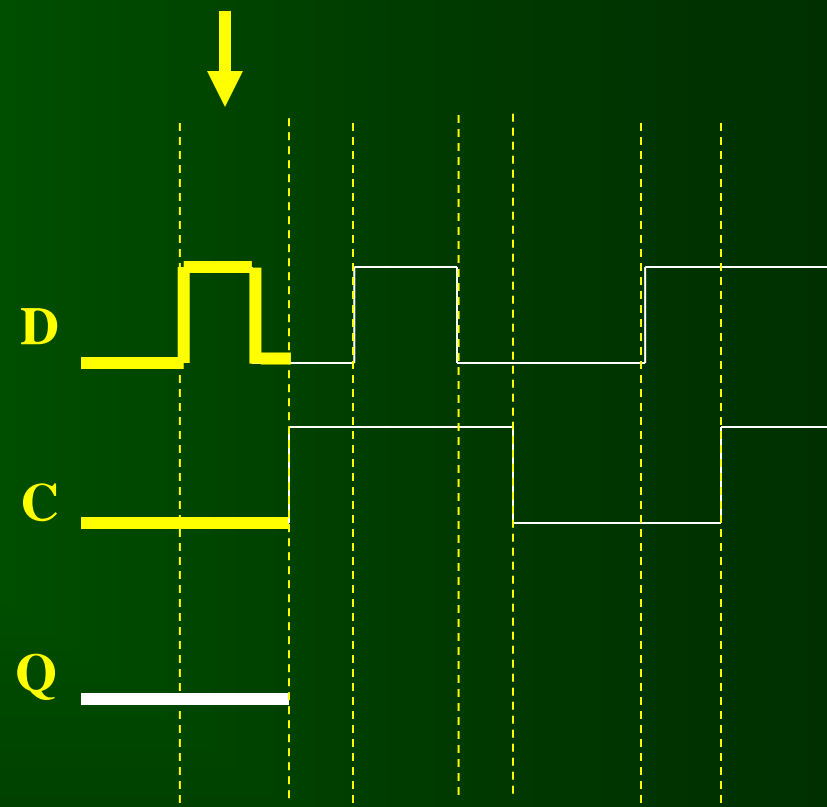
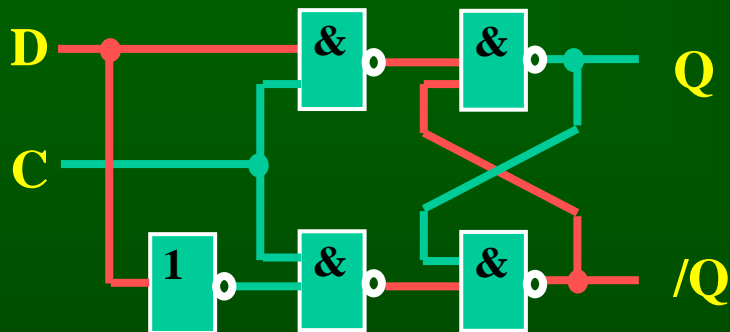
(f) 逻辑符号

阅读 **D 锁存器的工作过程(1):**



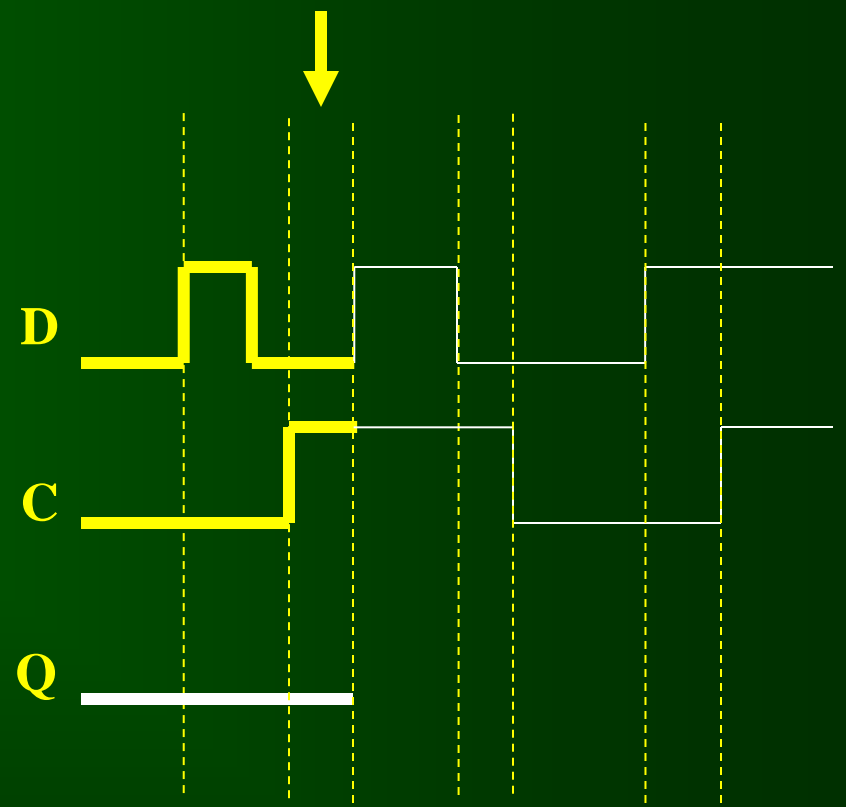
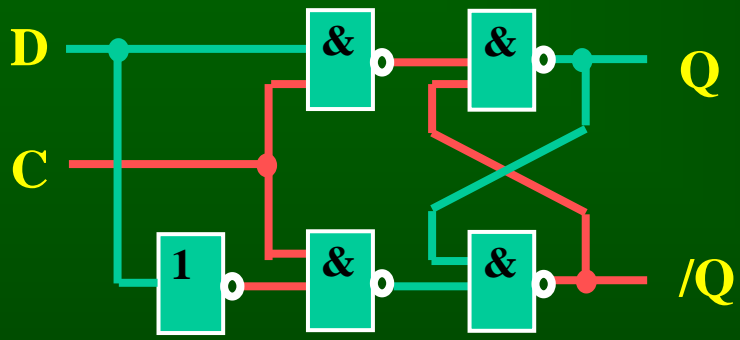
——: 0电平, ——: 1电平

阅读 D 锁存器的工作过程(2):



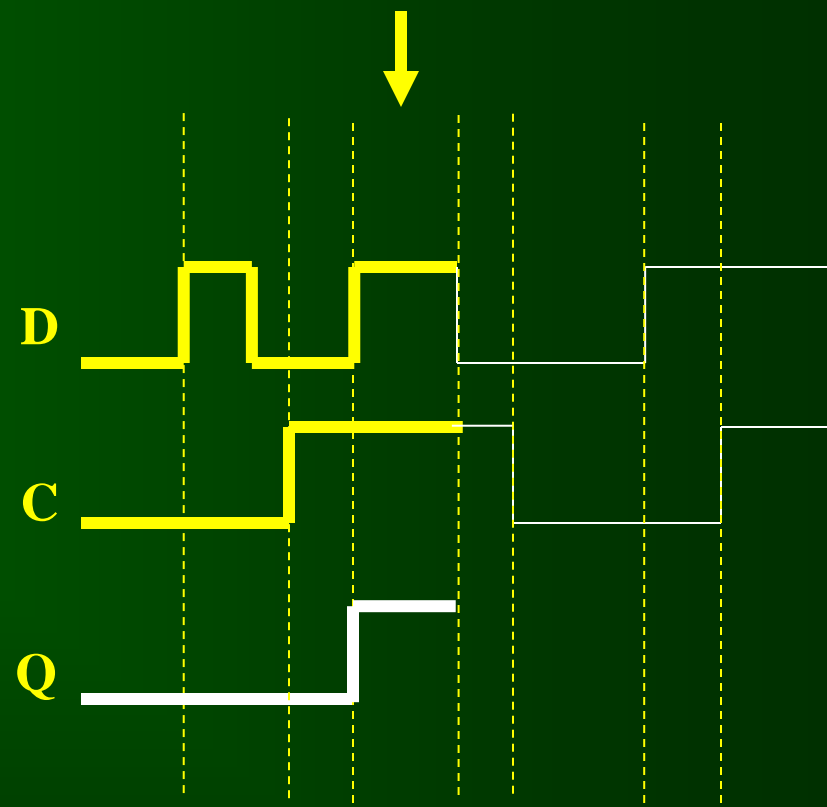
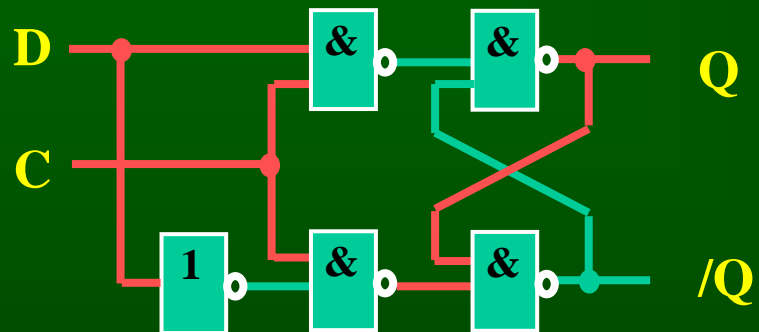
——: 0电平, ——: 1电平

阅读D 锁存器的工作过程(3):



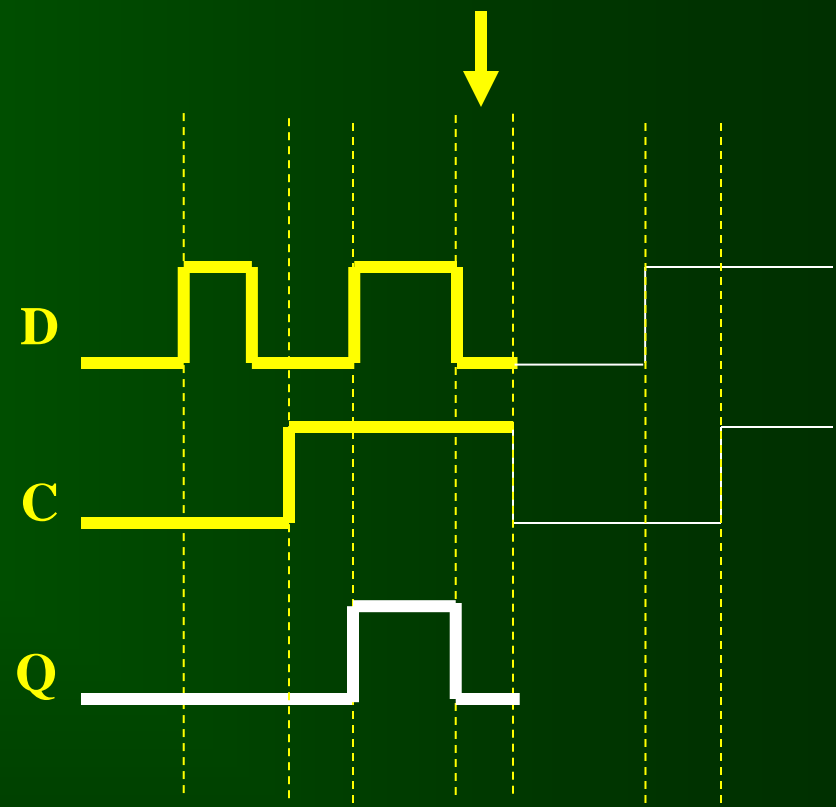
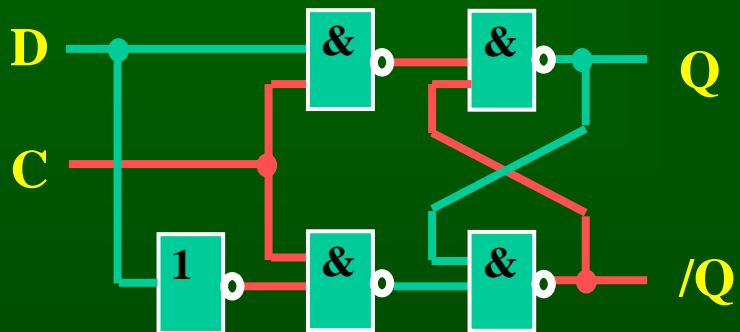
——: 0电平, ——: 1电平

阅读D锁存器的工作过程(4):



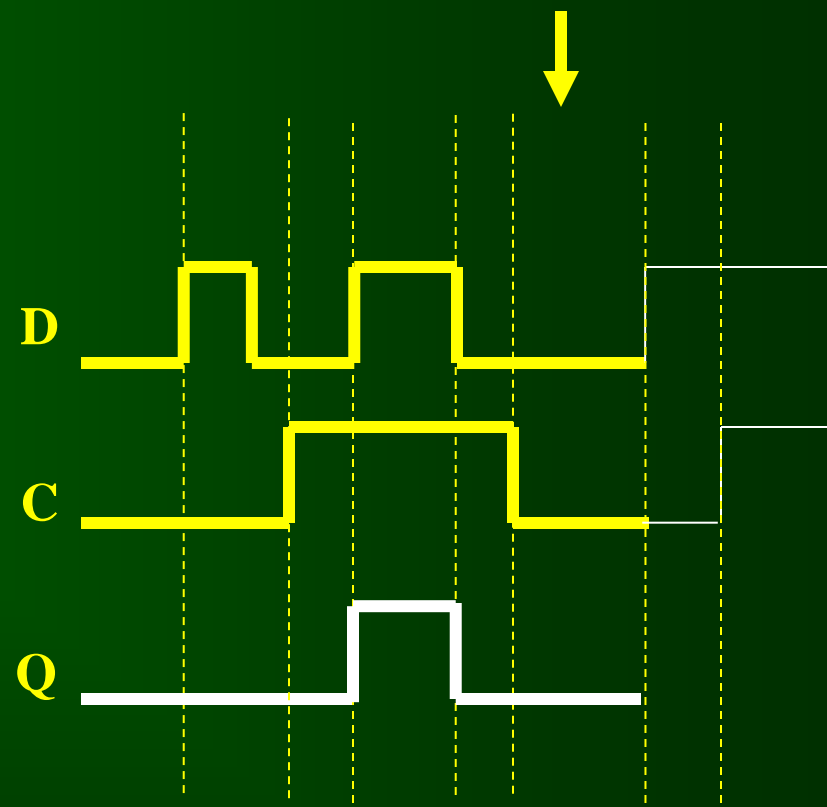
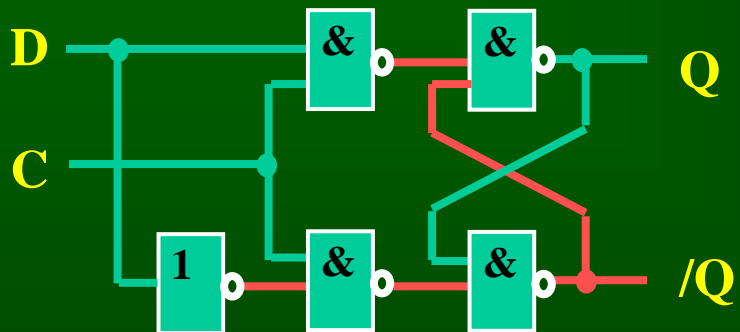
——: 0电平, ——: 1电平

阅读D锁存器的工作过程(5):



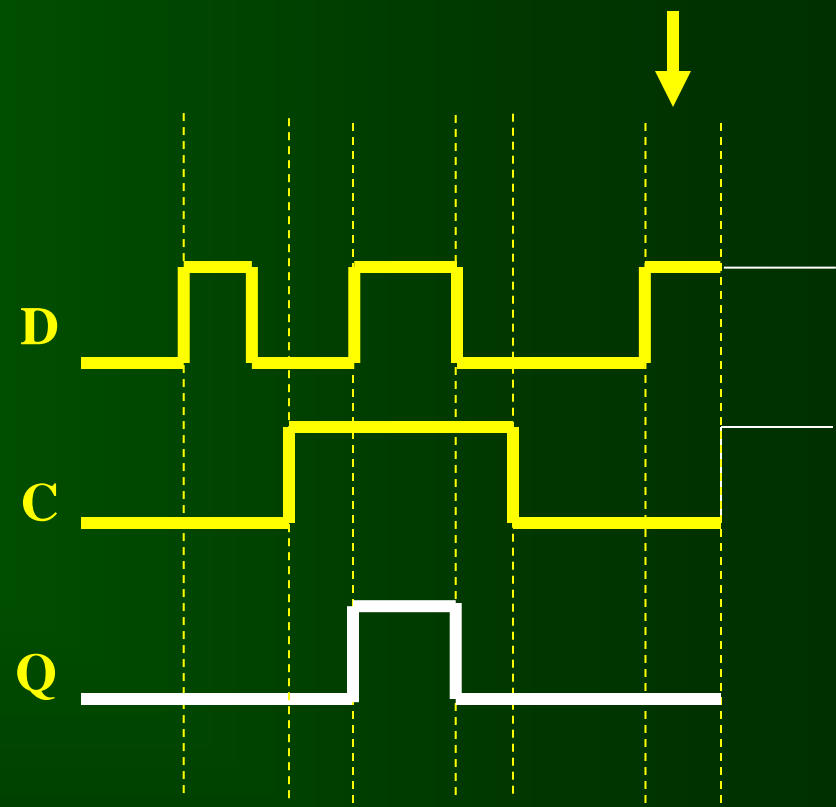
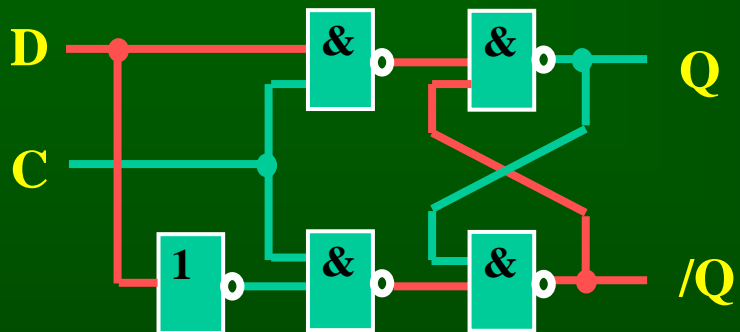
——: 0电平, ——: 1电平

阅读D锁存器的工作过程(6):



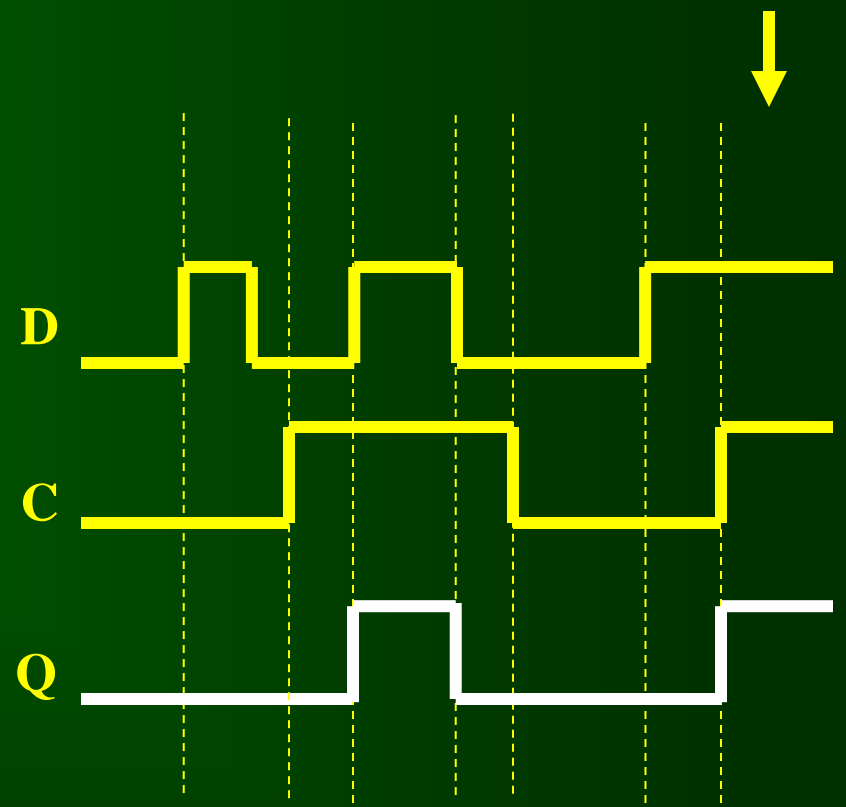
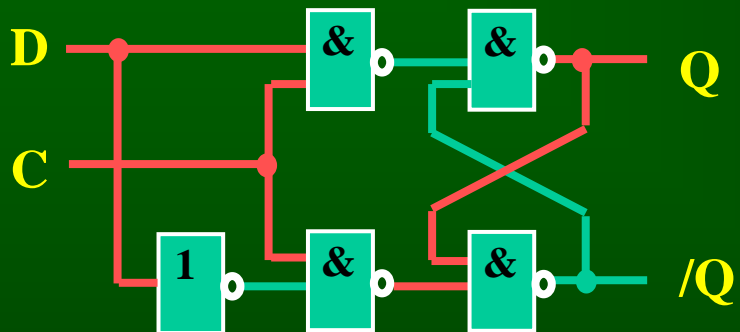
——: 0电平, ——: 1电平

阅读D 锁存器的工作过程(7):



——: 0电平, ——: 1电平

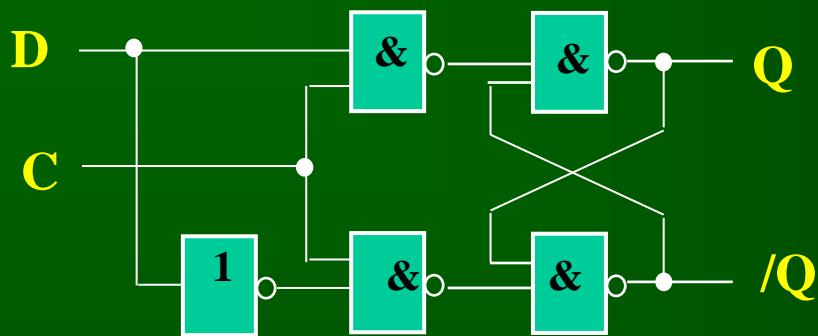
阅读D锁存器的工作过程(8):



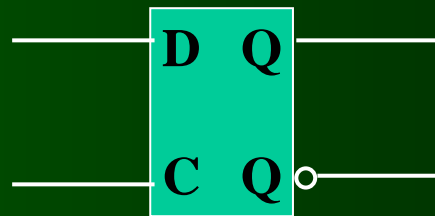
——: 0电平, ——: 1电平

阅读

D 锁存器小结



① 电路图



⑤ 逻辑符号

D	Q	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

② 次态真值表

D	Q_{n+1}
0	0
1	1

③ 简化的次态真值表

Q \ D	0	1
0	0	1
1	0	1

④ 次态方程:

$$Q^{n+1} = D$$

对于D锁存器，是电平控制数据输入：

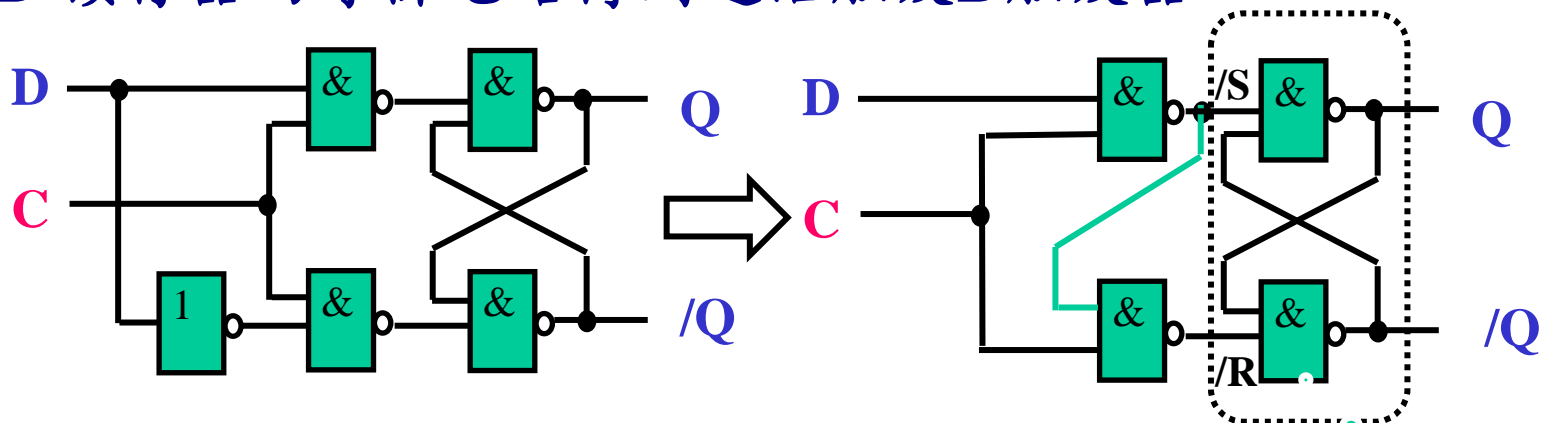
当 $C = 1$ 时，输出 Q 随输入 D 的变换而变换；

$C = 0$ 时，输出 Q 保持。

若要保持某一输入 D ，则应使 $C = 1$ 时数据 D 稳定不变，从而实现锁存输入数据的目的。

若能实现仅在 C 从0 \rightarrow 1时 Q 随 D 变化（也就是读入 D ），之后 $C = 1$ 及 $C = 0$ 时 Q 均保持，则称为边沿触发D触发器。

由D锁存器的等价电路得到边沿触发D触发器



/S-/R锁存器

带时钟控制的
S-R触发器

/S-/R锁存器

➤ 边沿触发的D触发器 *Edge-triggered D Flip-Flop*

➤ D 锁存器要求：

在控制(时钟)输入CLK 有效期间内，输入数据 **D** 稳定不变。这就给实际使用带来不便。因而提出了边沿触发器。

➤ 边沿触发器是指，在控制信号的有效边沿(前沿或后沿)时接收数据。

➤ 边沿触发D 触发器包括：

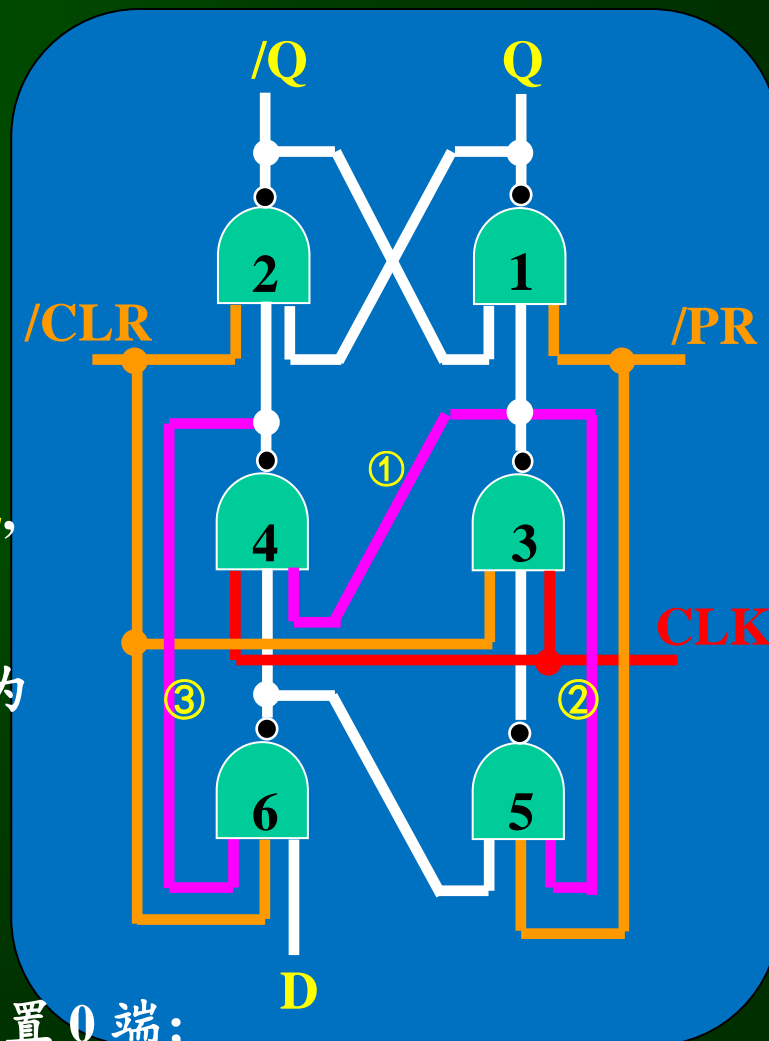
① 一个带时钟控制的SR触发器 (由门1,门2, 门3和门4组成)。

② 两个信号接收门(门5和门6)门5和门6是为了生成互补数据 **D** 和 \overline{D} ，并加在门3、门4的输入端上。

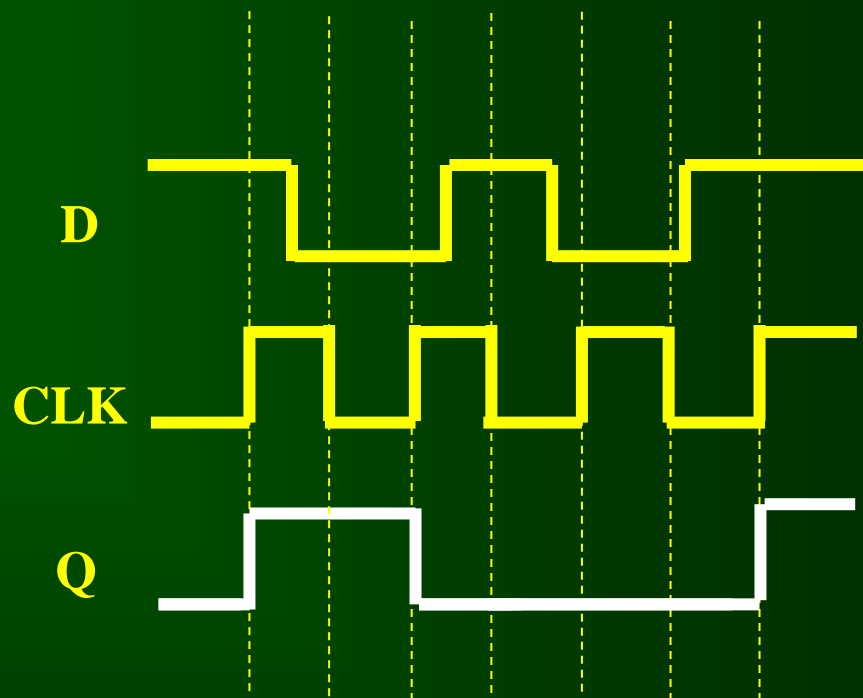
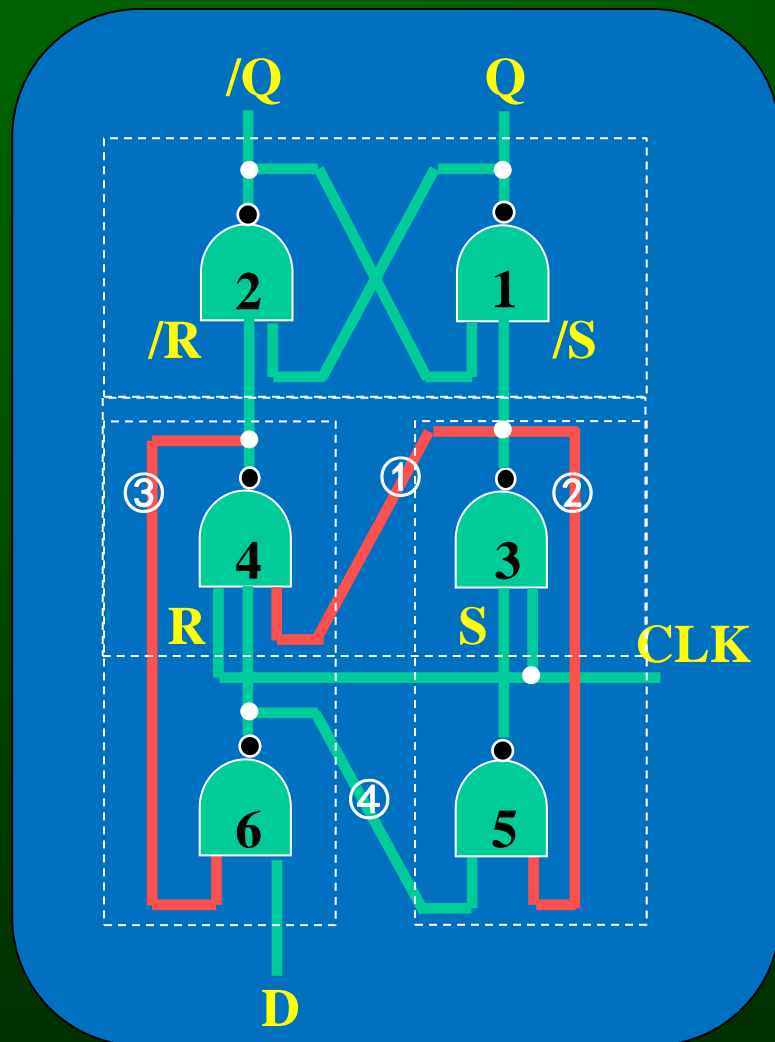
其中：**D** 是数据输入端；

PR (Preset) 和 **CLR (Clear)** 是强制置 1 和置 0 端；

①、②、③三条线是内部反馈线。



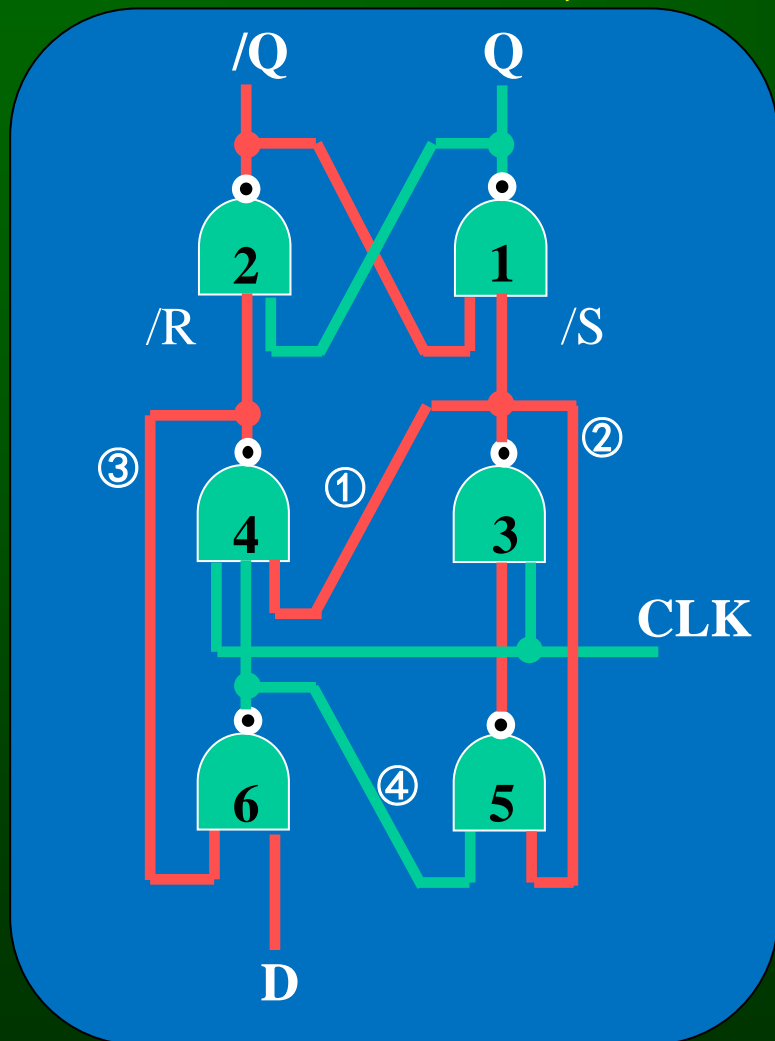
D 触发器的工作时间图：



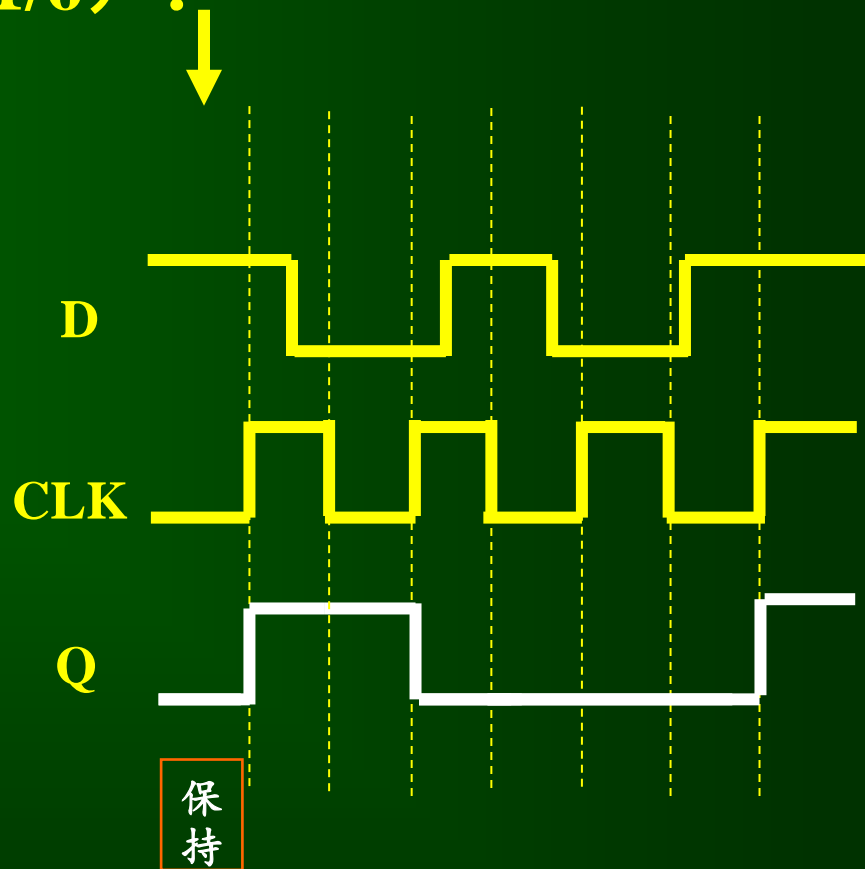
- 图中：
- ① 反馈线被称为置0阻塞线（为0时）
 - ② 反馈线被称为置1维持线（为0时）
 - ③ 反馈线被称为置0维持线（为0时）
 - ④ 为置1阻塞线（为1时）

——：信号线，——：内部反馈线

D 触发器的工作原理 (1/6) :

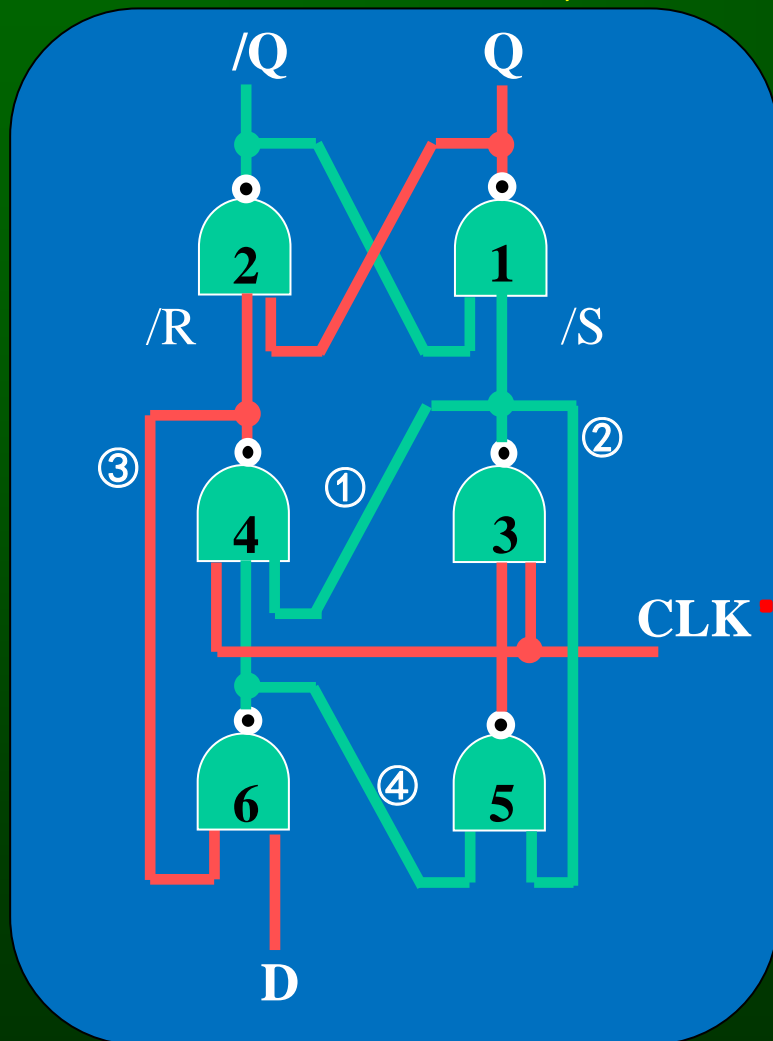


— : 0电平
— : 1电平

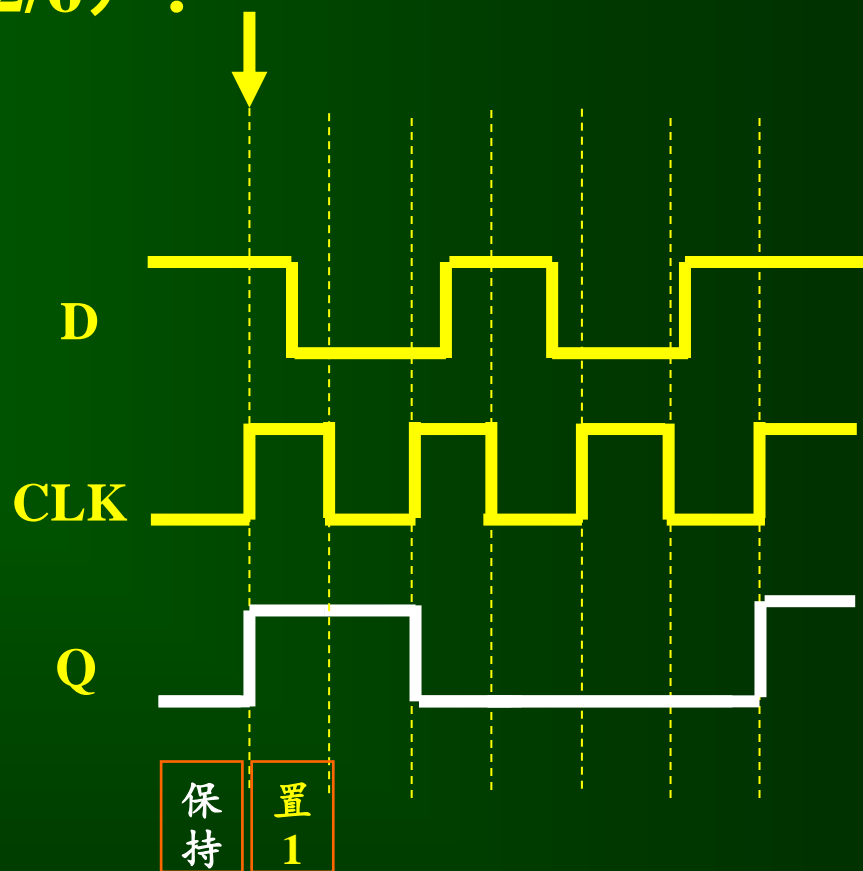


图中：①反馈线被称为置0阻塞线（为0时）
②反馈线被称为置1维持线（为0时）
③反馈线被称为置0维持线（为0时）
④为置1阻塞线（为1时）

D 触发器的工作原理 (2/6) :

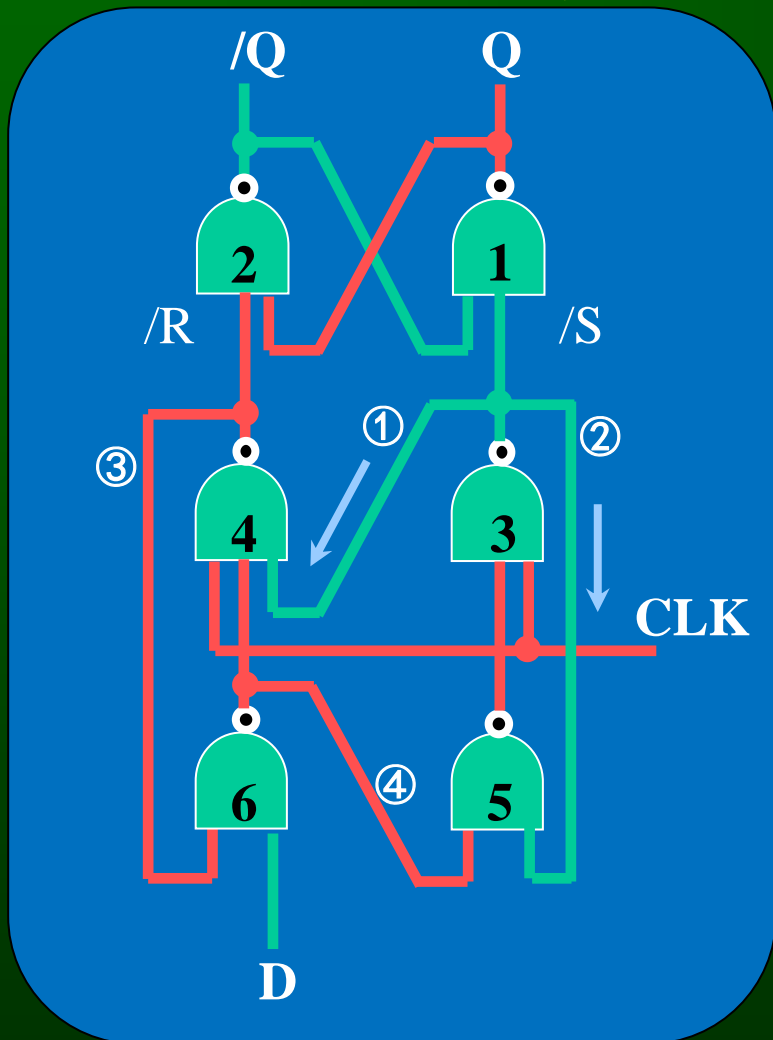


— : 0电平
— : 1电平



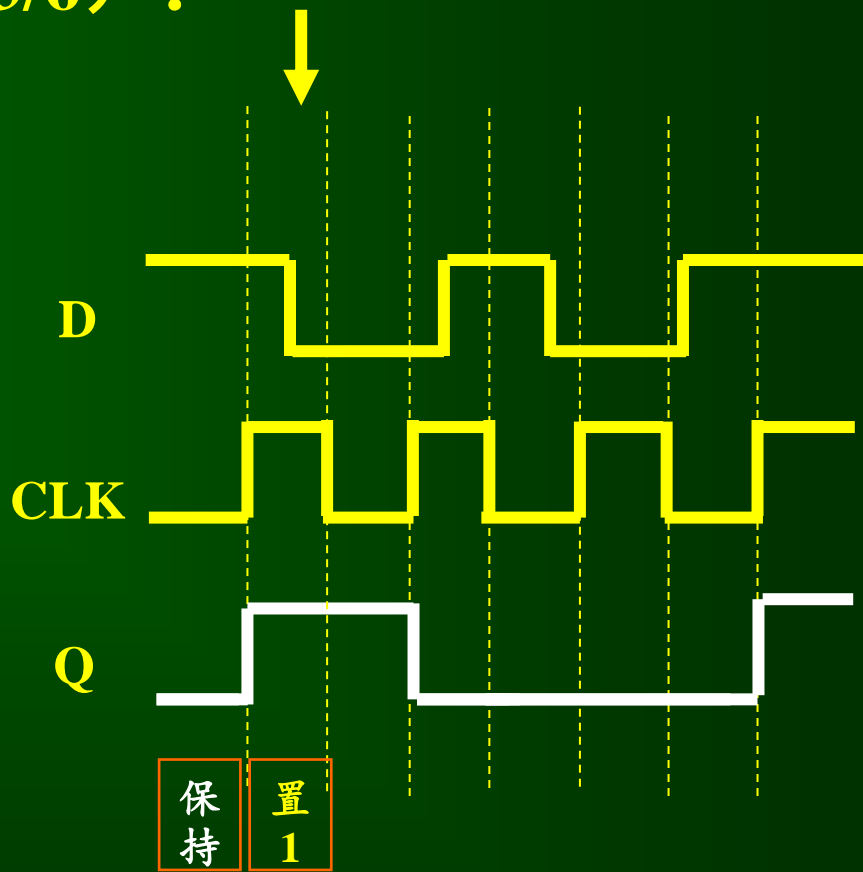
图中：①反馈线被称为置0阻塞线（为0时）
②反馈线被称为置1维持线（为0时）
③反馈线被称为置0维持线（为0时）
④为置1阻塞线（为1时）

D 触发器的工作原理 (3/6) :



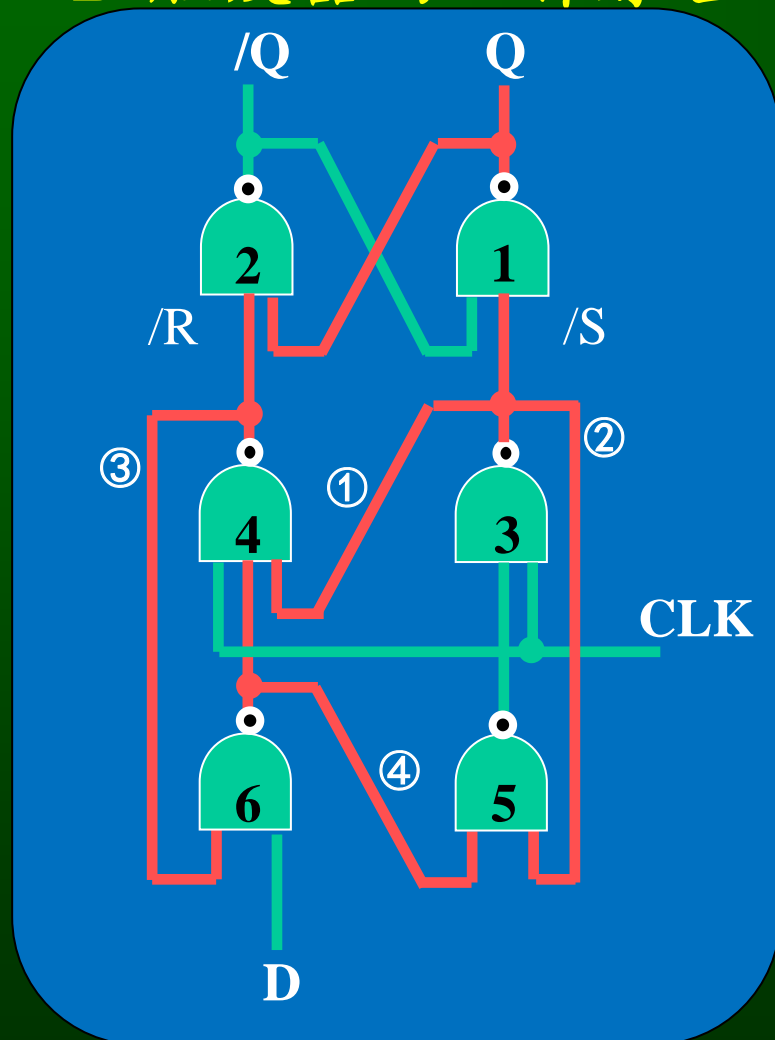
—— : 0电平

—— : 1电平

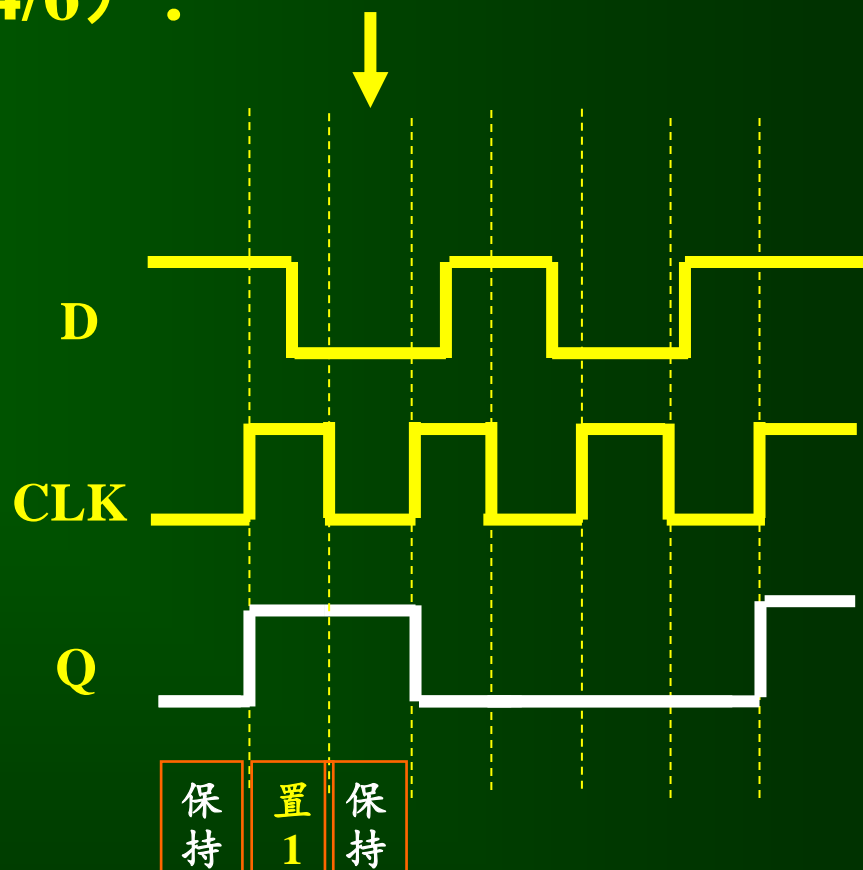


图中：①反馈线被称为置0阻塞线（为0时）
②反馈线被称为置1维持线（为0时）
③反馈线被称为置0维持线（为0时）
④为置1阻塞线（为1时）

D 触发器的工作原理 (4/6) :

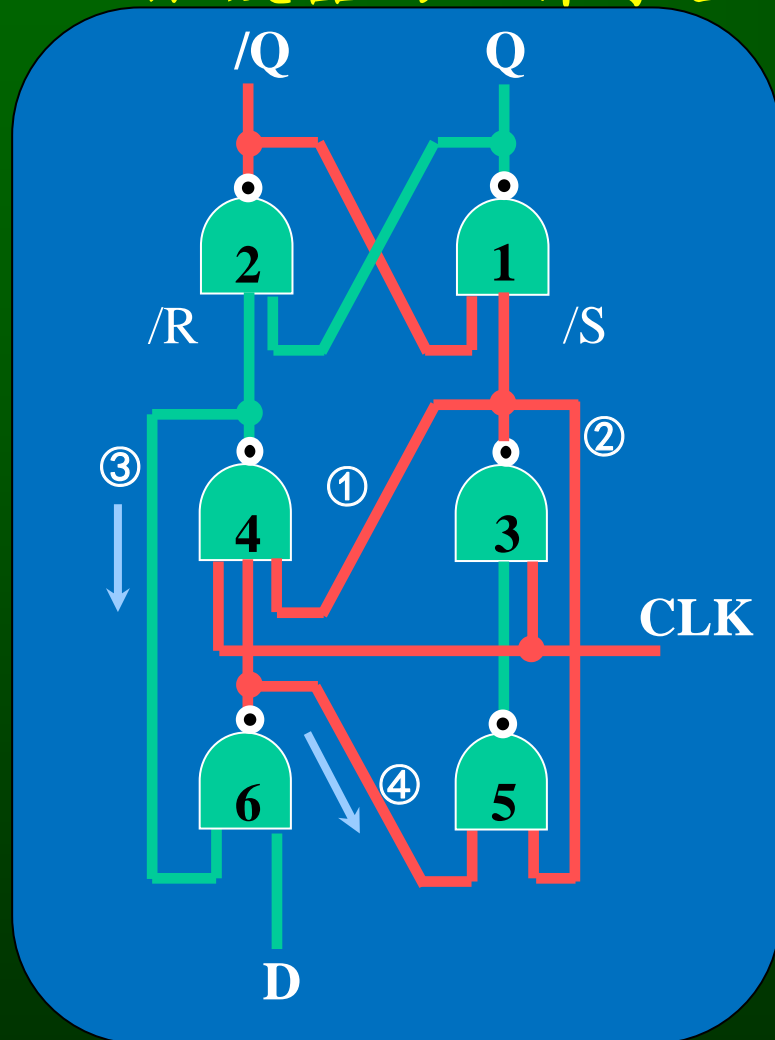


— : 0电平
— : 1电平

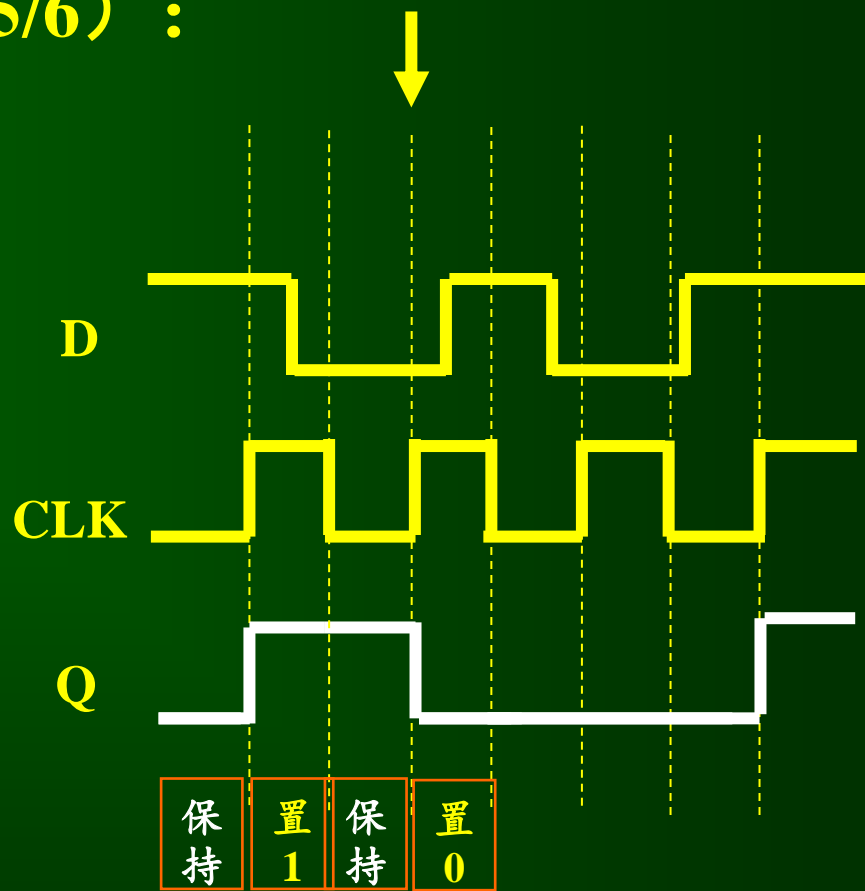


图中：①反馈线被称为置0阻塞线（为0时）
②反馈线被称为置1维持线（为0时）
③反馈线被称为置0维持线（为0时）
④为置1阻塞线（为1时）

D 触发器的工作原理 (5/6) :

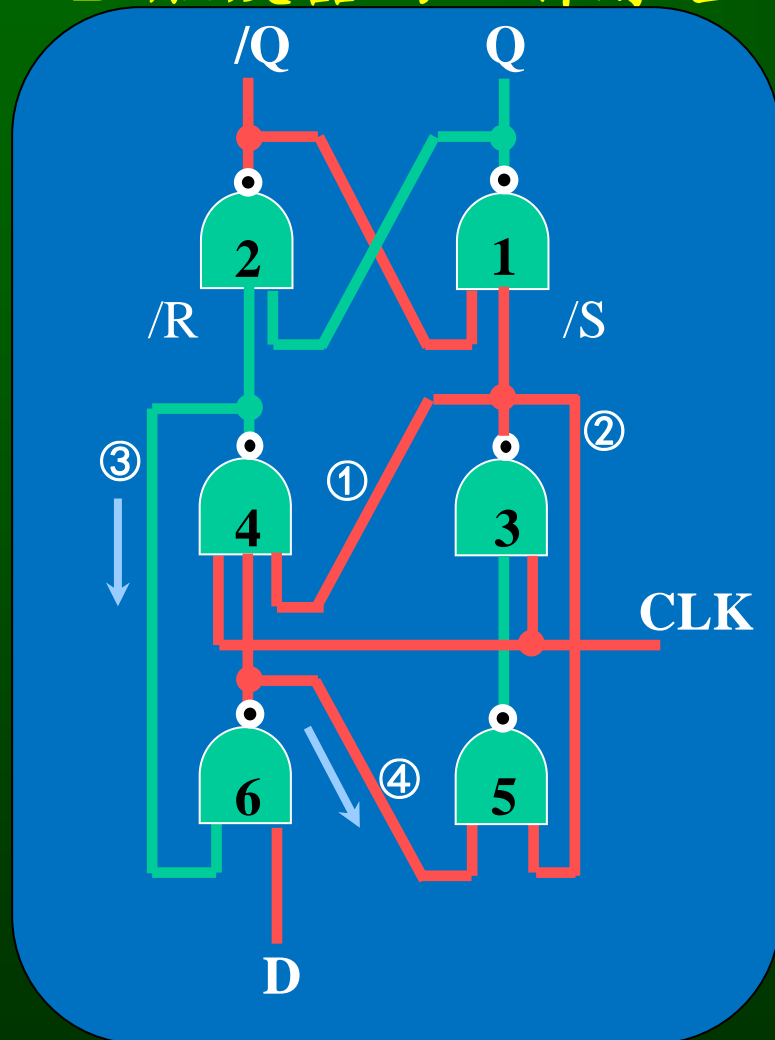


— : 0 电平
— : 1 电平

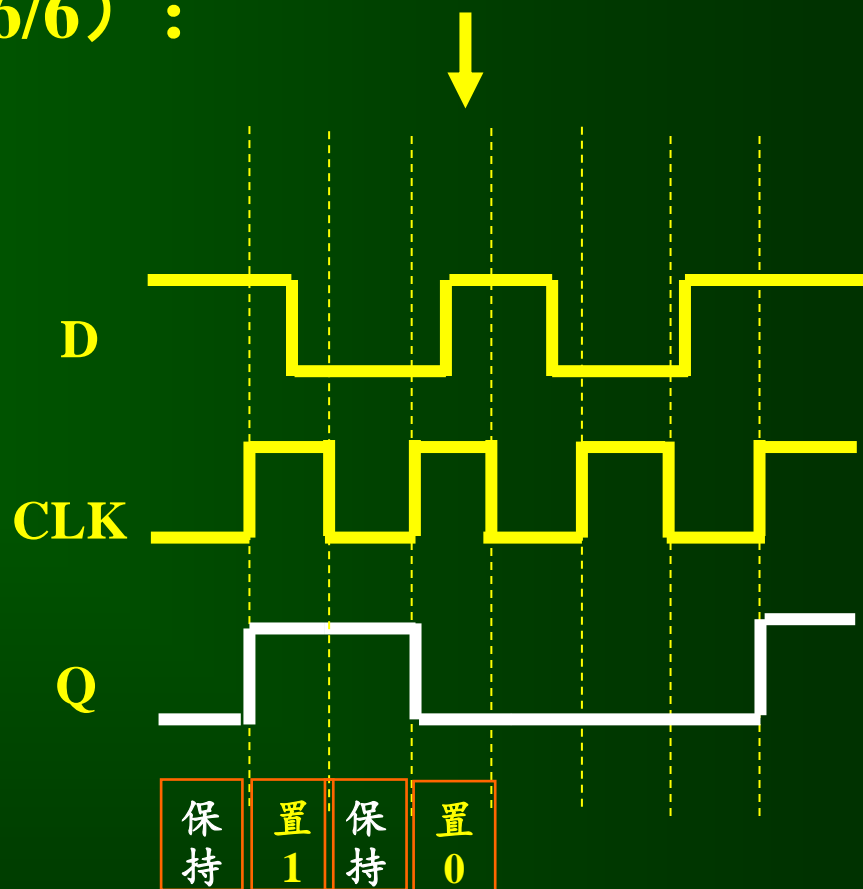


图中：①反馈线被称为置0阻塞线（为0时）
②反馈线被称为置1维持线（为0时）
③反馈线被称为置0维持线（为0时）
④为置1阻塞线（为1时）

D 触发器的工作原理 (6/6) :

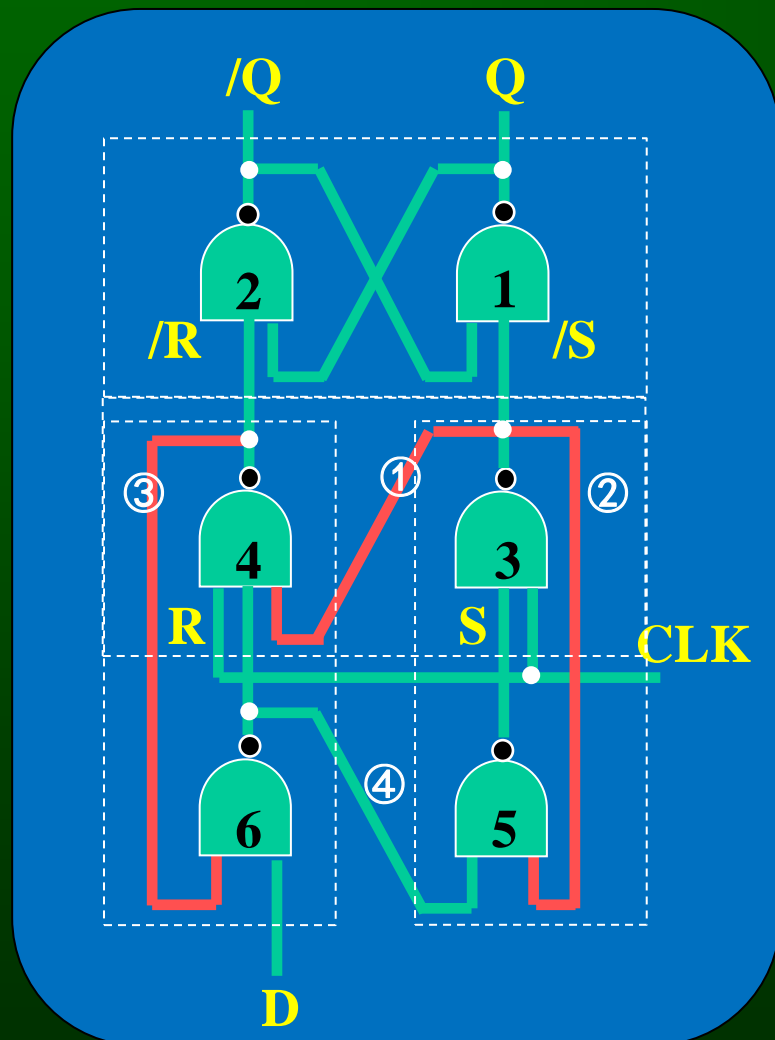


— : 0电平
— : 1电平



图中: ①反馈线被称为置0阻塞线 (为0时)
②反馈线被称为置1维持线 (为0时)
③反馈线被称为置0维持线 (为0时)
④为置1阻塞线 (为1时)

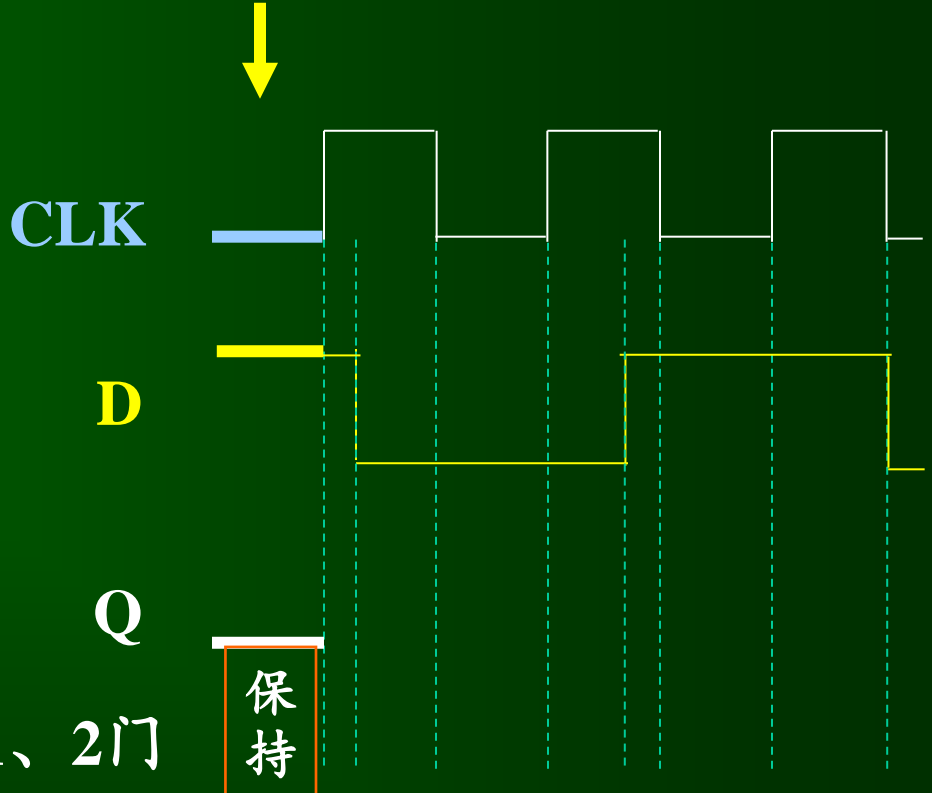
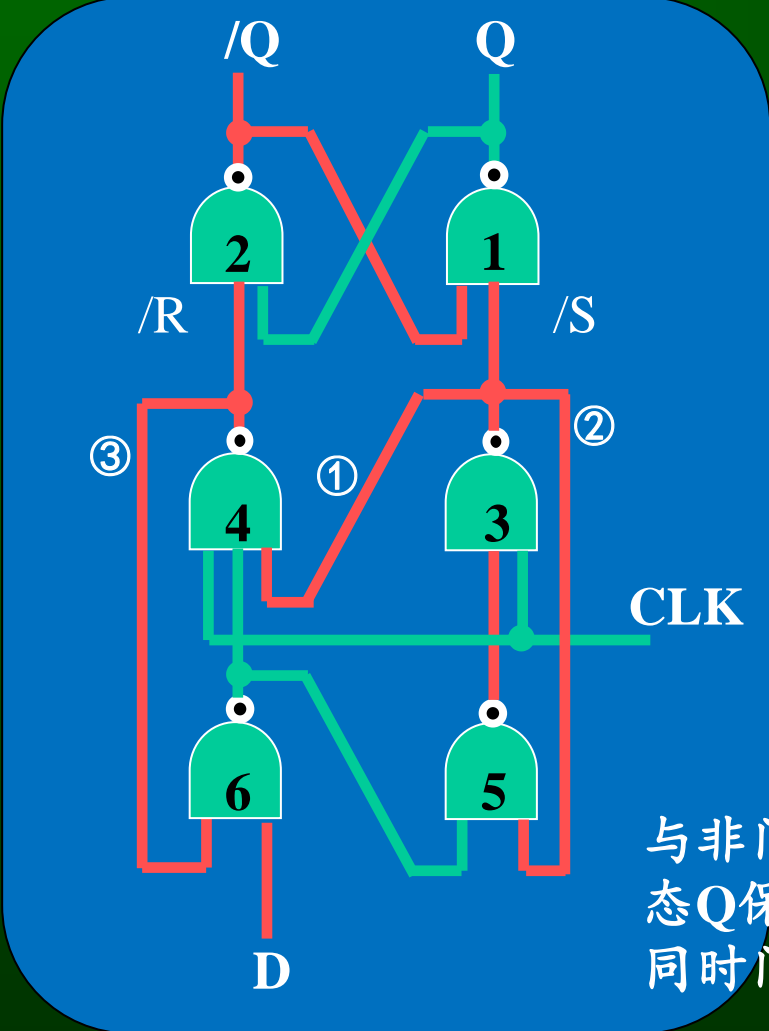
D 触发器的工作分析:



——: 信号线, ——: 内部反馈线

1. $/S/R$ 不会同时为0; SR 有可能同时为1, 但使对应 $/S/R$ 保持为01从而保持置1。
2. 1门和2门构成 $/S/R$ 锁存器
3. 1门2门3门4门构成 SR 锁存器, 但比一般 SR 锁存器多了一根反馈线①。
4. 3门4门是否打开由 CLK 决定:
 $CLK=1: /S/R=01, 10, 11$
 $CLK=0:$
5. 反馈线①=0时, 反馈线②=0时, 反馈线③=0时, 反馈线④=1时。

D 触发器的工作过程(1): 初态 Q = 0



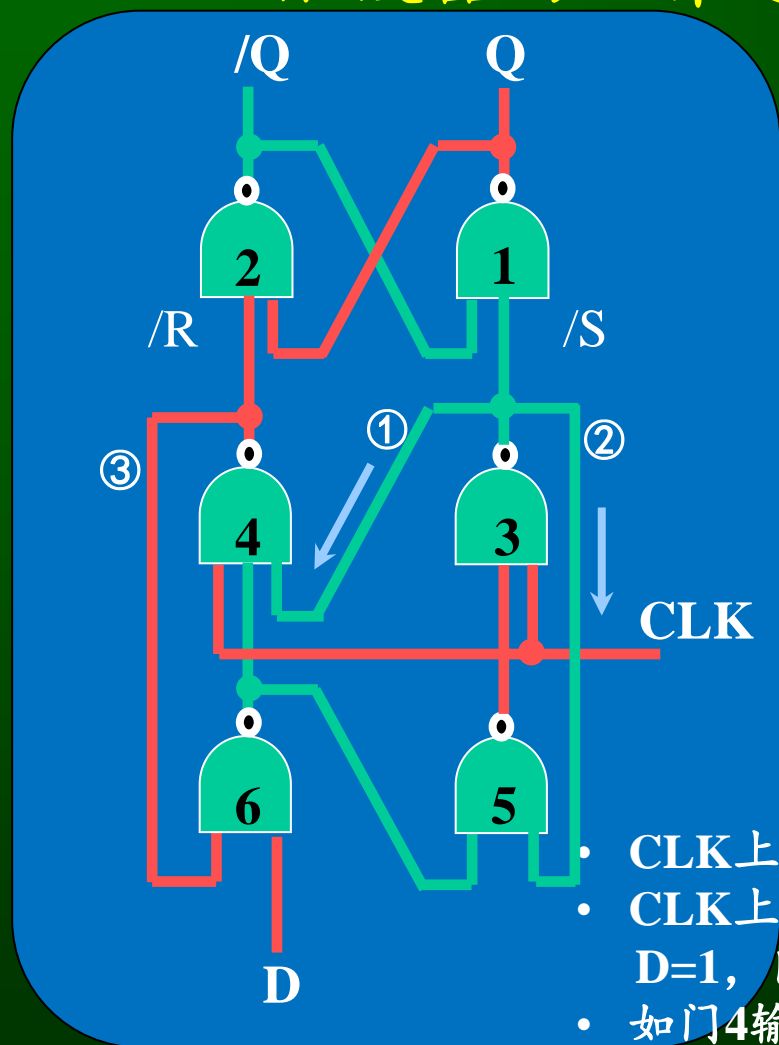
1、2门

与非门3和4被封锁，其输出均为1，触发器输出状态Q保持不变（Q=0）；
同时门5和门6打开，准备接收数据D。

—— : 0电平
—— : 1电平

D 触发器的工作过程(2):

②反馈线被称为置1维持线



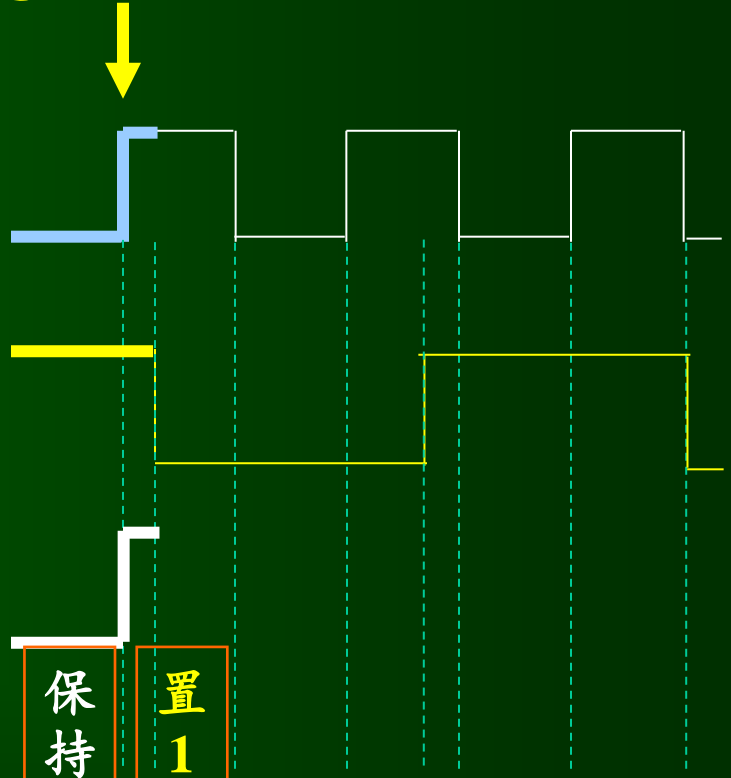
CLK

D

Q

1、2门

保持
置1

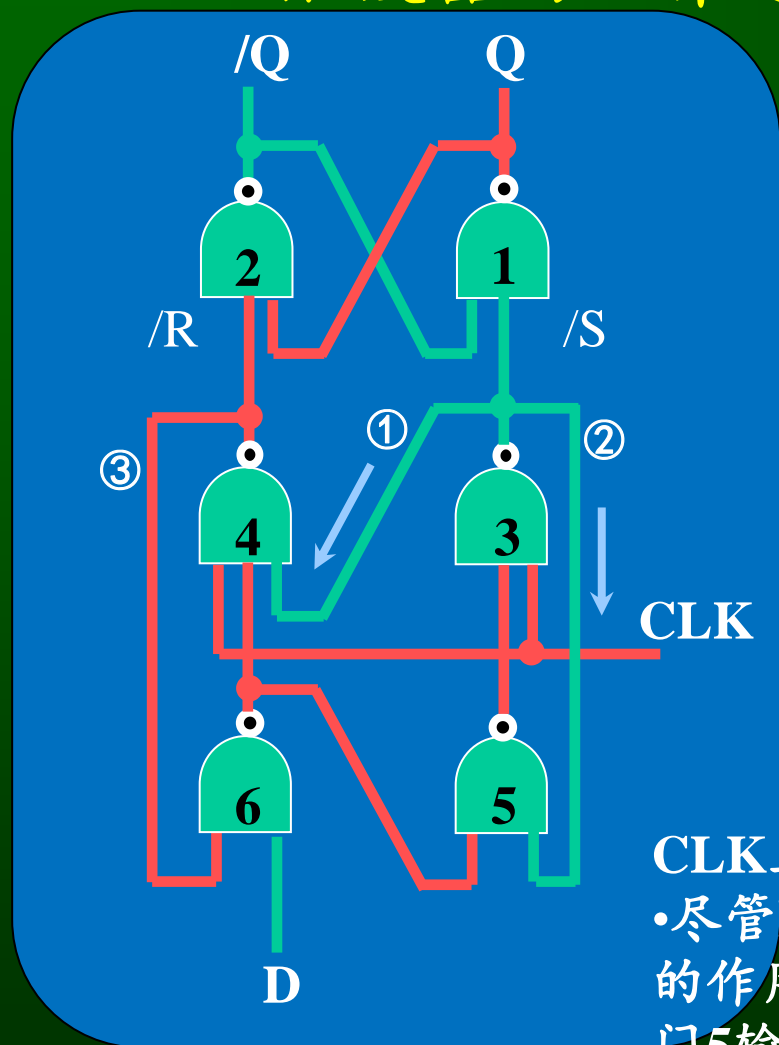


—— : 0电平
—— : 1电平

- CLK上升沿到来, 门3和门4打开, 触发器翻转 $Q=D=1$ 。
- CLK上升沿后数据被封锁: 门4门6组成的SR锁存器锁存 $D=1$, 门3门5组成的锁存器锁存0。
- 如门4输出1, 门3输出0, 一是使触发器置1; 二是封住门4, 阻止门4变成低电平, 即阻塞产生置0信号 (①为置0阻塞线)。
- 同时门3输出为0又保证门5输出为1, 从而在 $CLK=1$ 时使门3输出保持为0, 即维持置1信号 (②为置1维持线)。

D 触发器的工作过程(3):

①反馈线被称为置0阻塞线

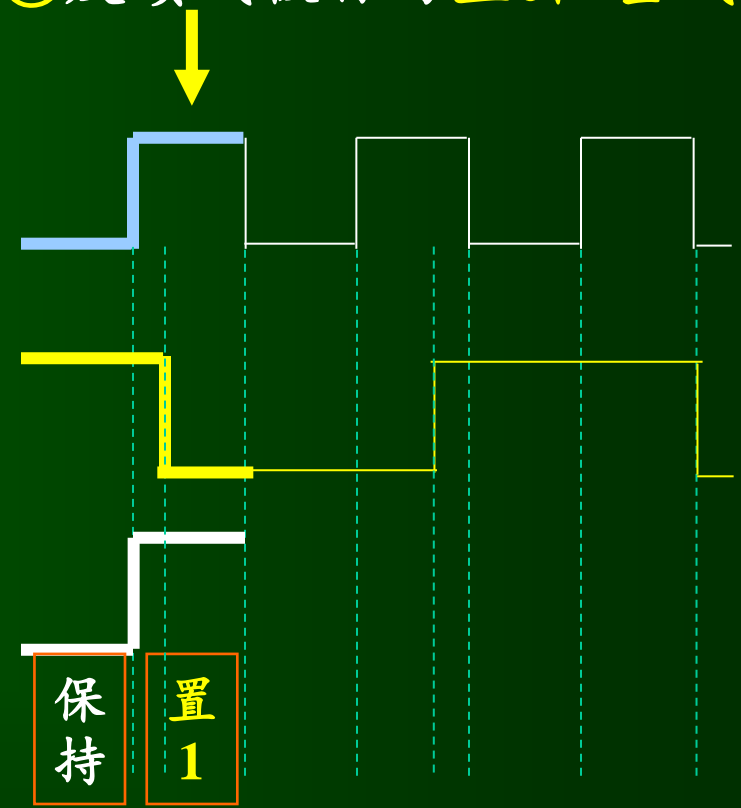


CLK

D

Q

1、2门

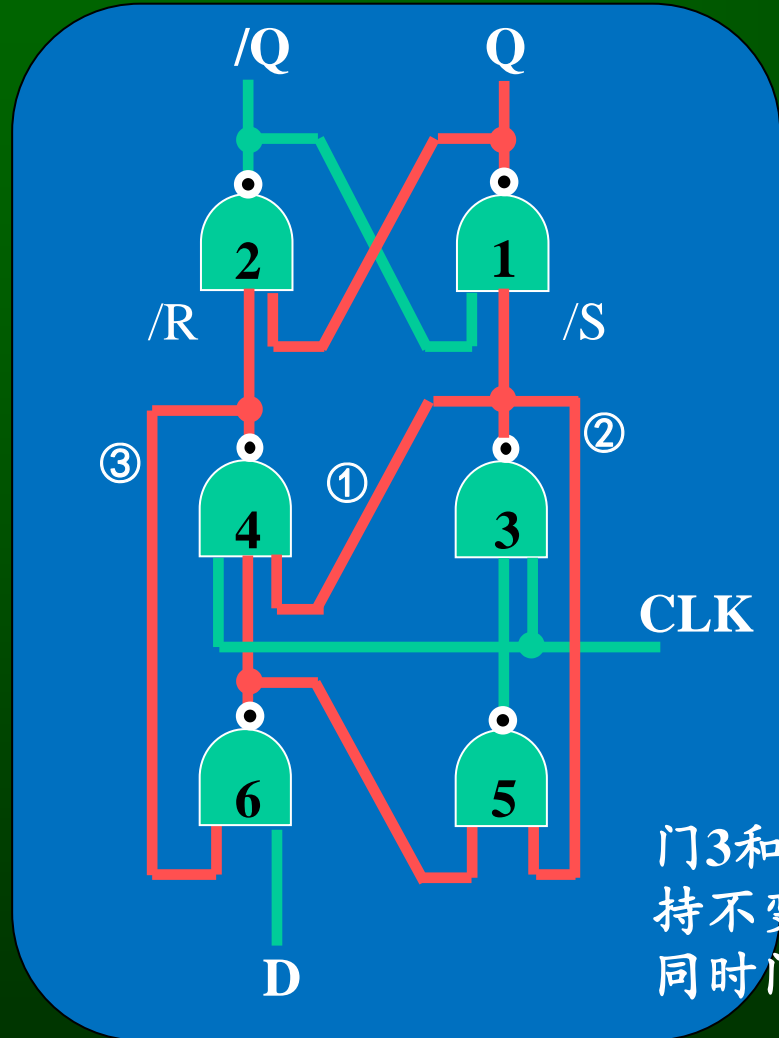


CLK上升沿后数据被封锁。

• 尽管D变为0后，门6的输出为1。但在置0阻塞线①的作用下门4输出保持1；在置1维持线②的作用下，门5输出仍为1；门3和门4的输出保持为01，从而Q保持。

—— : 0电平
—— : 1电平

D 触发器的工作过程(4):

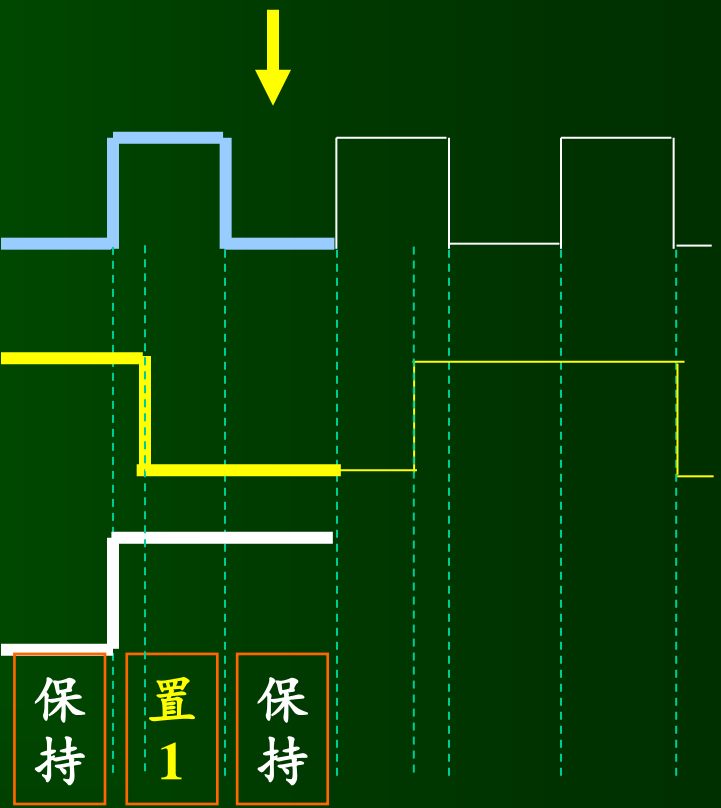


CLK

D

Q

1、2门



保持

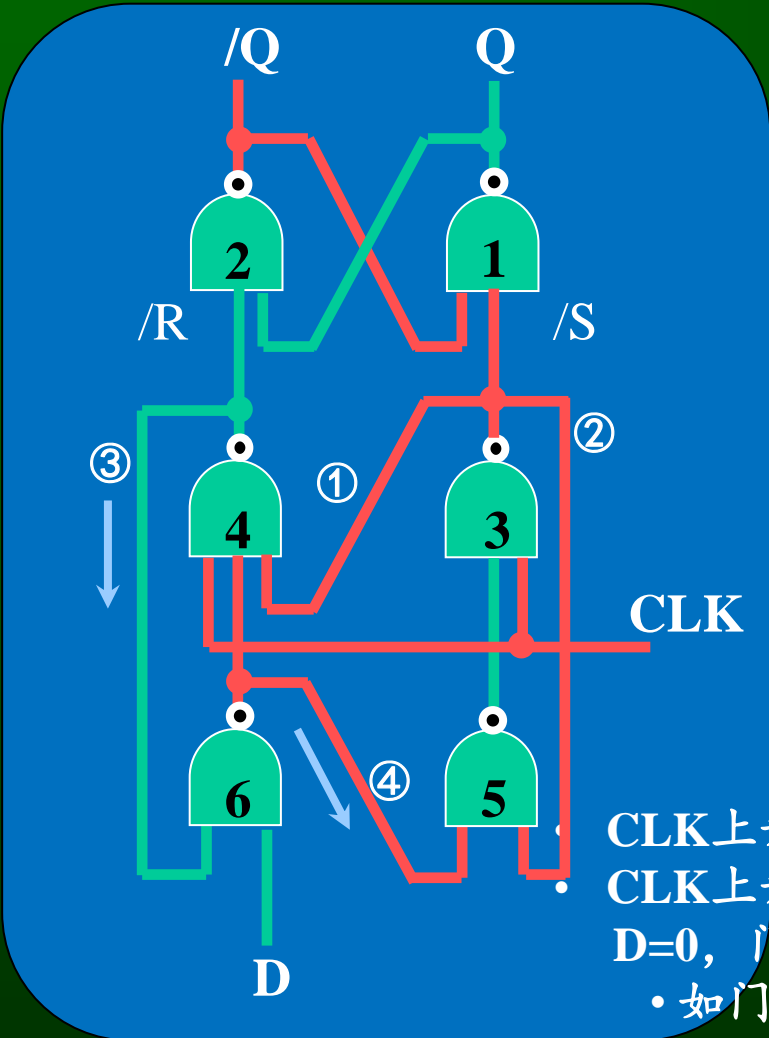
置1

保持

门3和门4被封锁，输出均为1，触发器输出状态保持不变 ($Q=1$) ;
同时门5和门6打开，准备接收输入数据D。

—— : 0电平
—— : 1电平

D 触发器的工作过程(5): ③反馈线被称为置0维持线

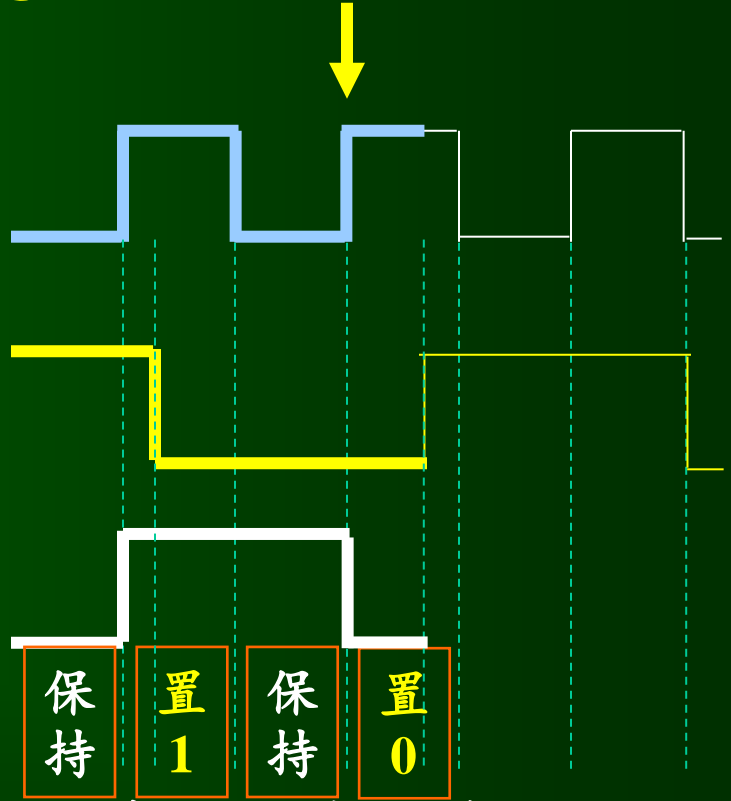


CLK

D

Q

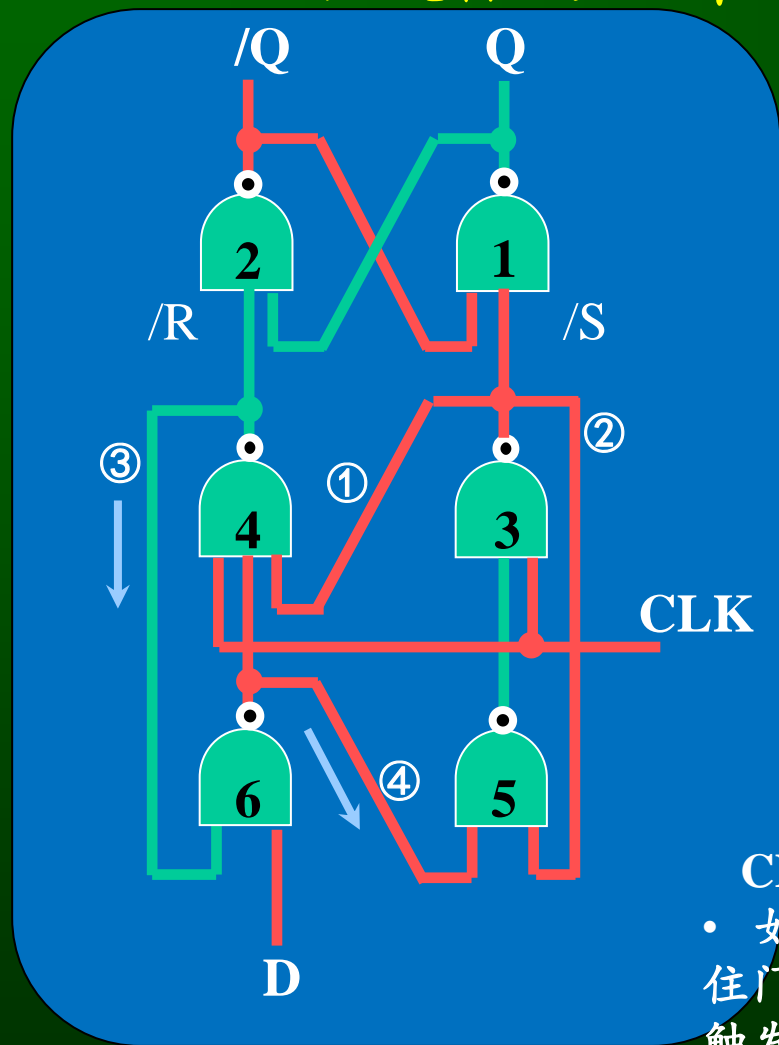
1、2门



—— : 0电平,
—— : 1电平

- CLK上升沿到来, 门3和门4打开, 触发器翻转 $Q=D=0$ 。
- CLK上升沿后数据被封锁: 门4门6组成的SR锁存器锁存 $D=0$, 门3门5组成的SR锁存器锁存1。
 - 如门4输出0, 门3输出1, 一是使触发器置0; 二是封住门6, 保证门6输出为1, 从而维持门4输出0, 即维持触发器置0信号 (③为置0维持线)。
 - 同时门6输出为1又使门5继续低电平, 阻止门3输出出现0, 即阻塞产生置1信号 (④为置1阻塞线)。

D 触发器的工作过程(6):



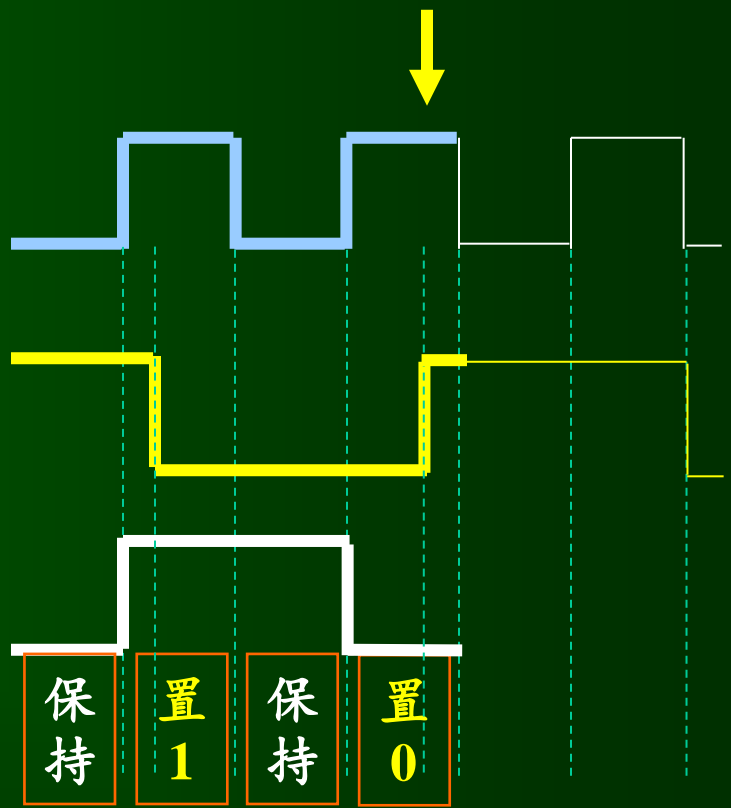
—— : 0电平,
—— : 1电平

CLK

D

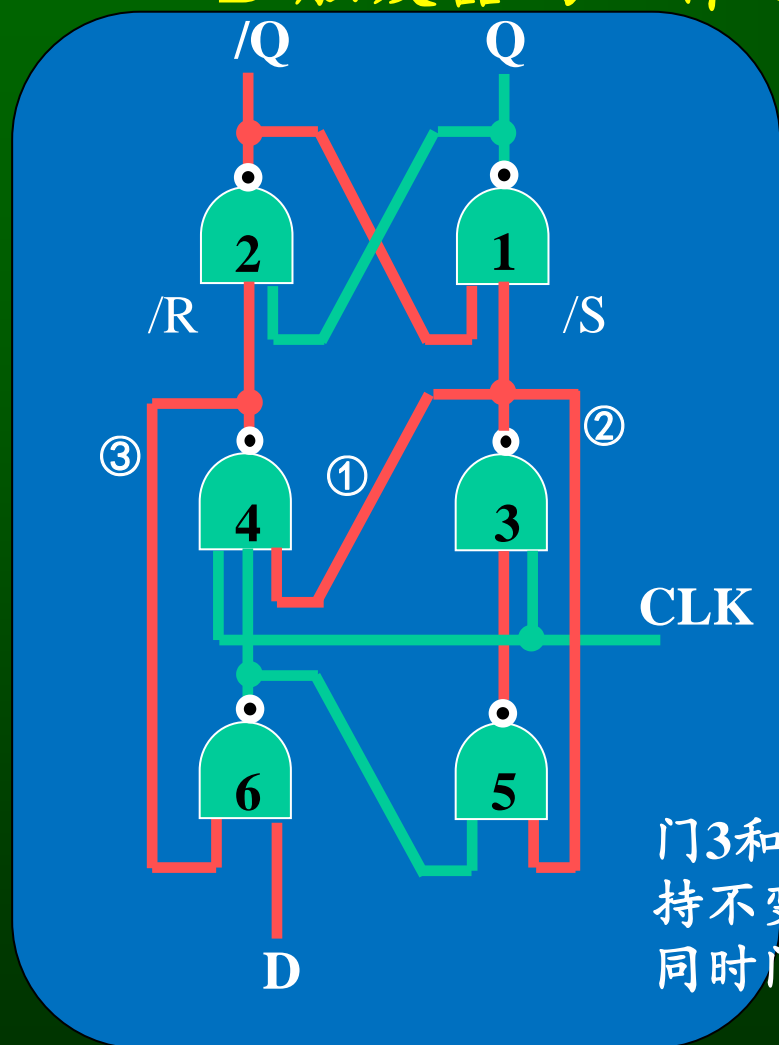
Q

1、2门



- CLK上升沿后数据被封锁。若D变为1，输出仍为0。
- 如门4输出0，门3输出1，一是使触发器置0；二是封住门6，保证门6输出为1，从而维持门4输出0，即维持触发器置0信号（③为置0维持线）。
 - 同时门6输出为1又使门5继续低电平，阻止门3输出出现0，即阻塞产生置1信号（④为置1阻塞线）。

D 触发器的工作过程(7):

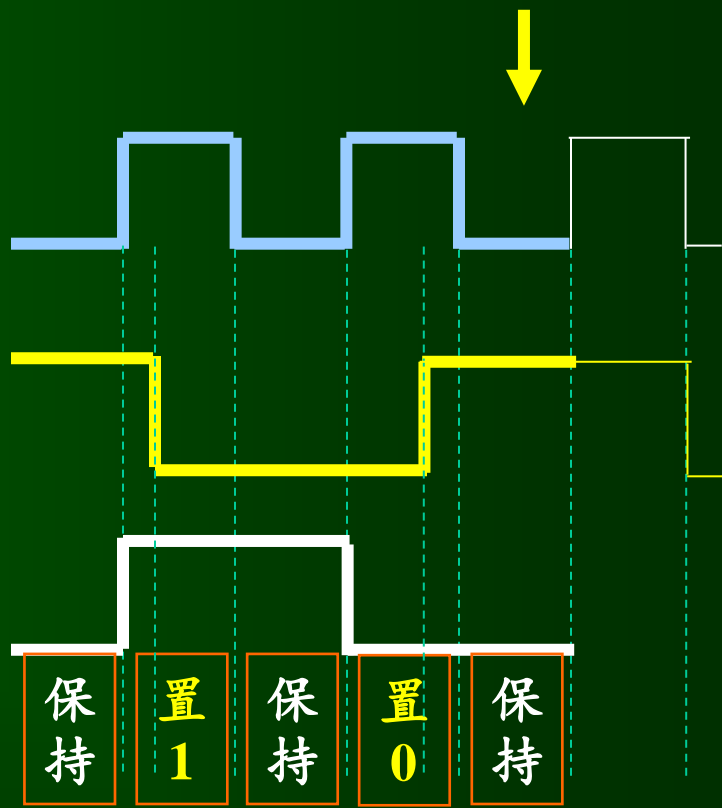


CLK

D

Q

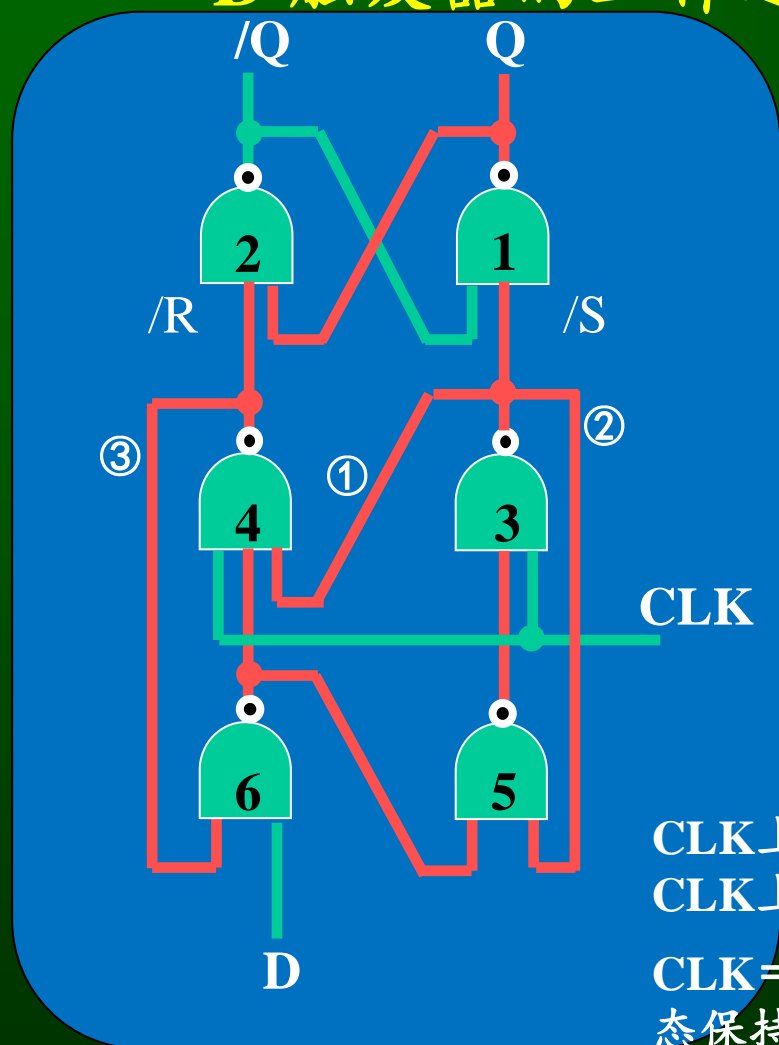
1、2门



门3和门4被封锁，输出均为1，触发器输出状态保持不变 ($Q=0$) ;
同时门5和门6打开，准备接收输入数据D。

—— : 0电平
—— : 1电平

D 触发器的工作过程(8):

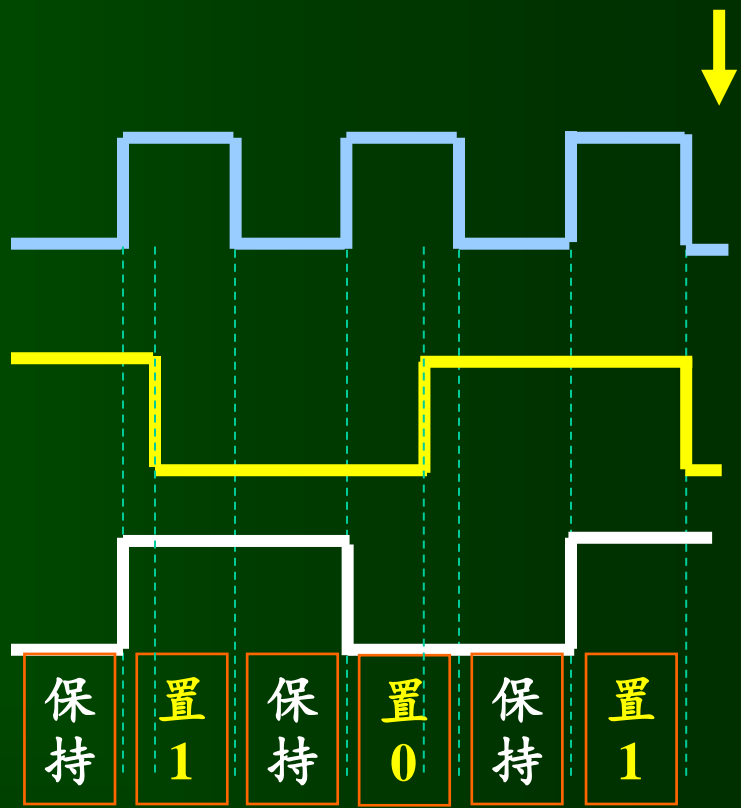


CLK

D

Q

1、2门



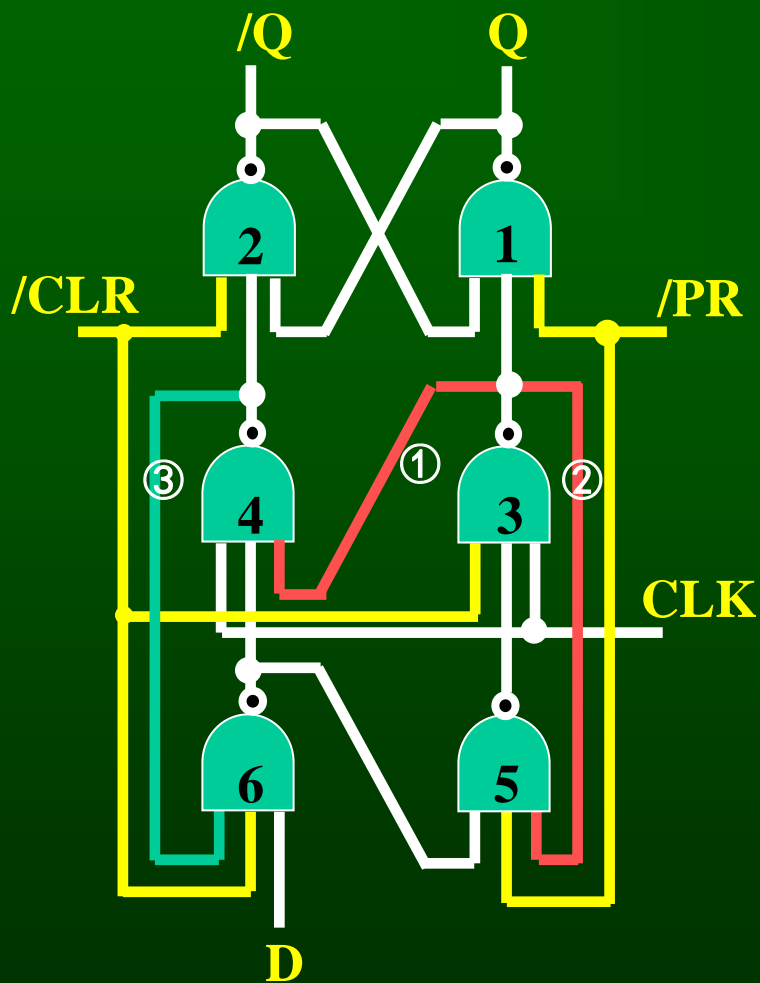
CLK上升沿读入D=1, 触发器翻转为1。
CLK上升沿后数据被封锁。

CLK=0则门3和门4被封锁, 输出均为1, 触发器输出状态保持不变 (Q=1);
同时门5和门6打开, 准备接收输入数据D。

—— : 0电平
—— : 1电平

D触发器的功能分析:

上述分析可以看出，D触发器的状态改变只发生在CLK脉冲的上升沿，而CLK脉冲保持高电平期间信号端D的变化并不会影响Q端的输出。因此D触发器被称为边沿触发的维持-阻塞触发器。



图中：①反馈线被称为置0阻塞线

②反馈线被称为置1维持线

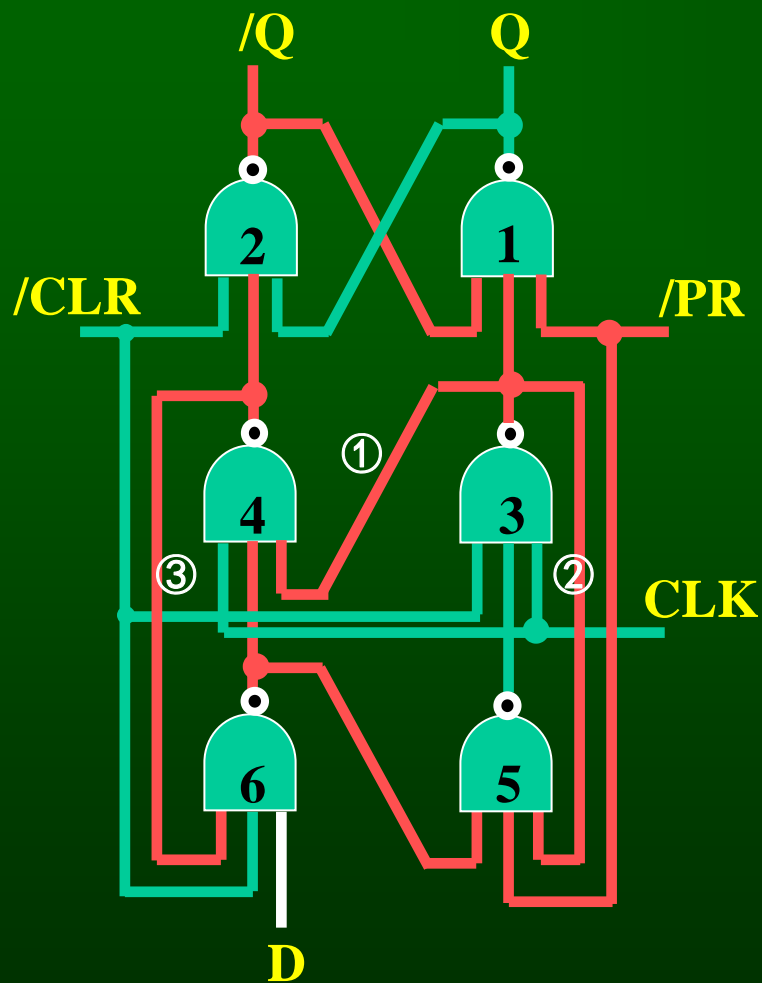
③反馈线被称为置0维持线

\overline{PR} 是强制置1端

\overline{CLR} 是强制置0端

(一般在系统初始化时使用)

强制置1和强制置0: (1)



/CLR=0, /PR=1时, 电路执行异步复位(清零)操作。

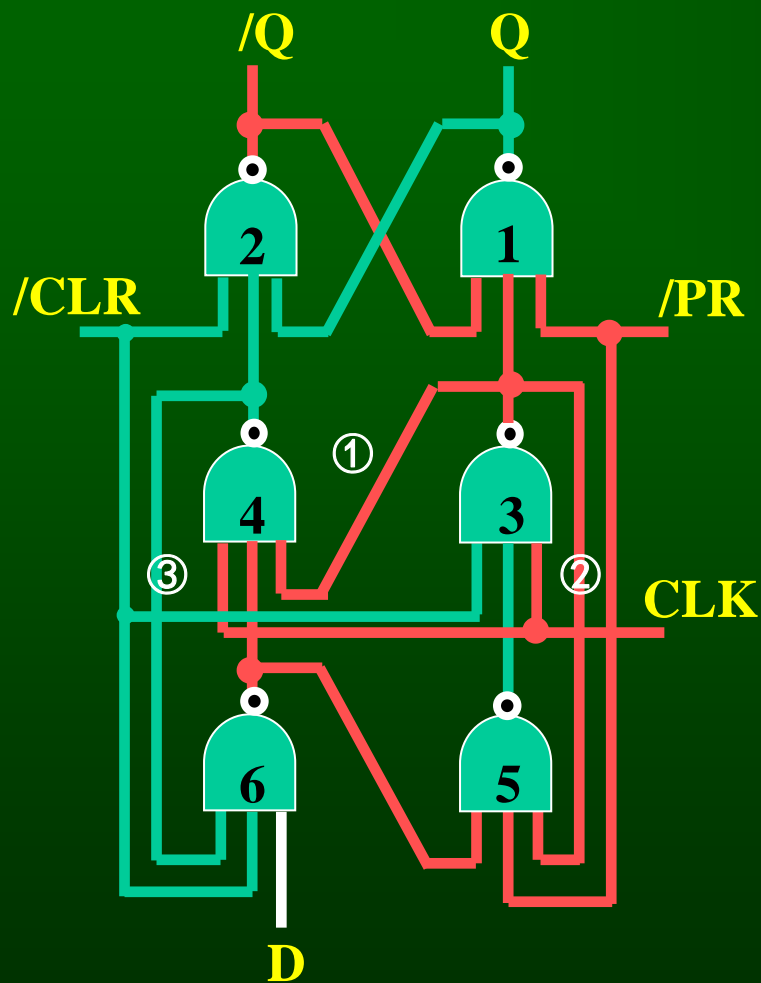
•若CLK=0, 门3、门4输出均为1, 从而使得:

$Q=0$, $/Q=1$, 即置0。

若此时/CLR再恢复到高电平, 门3和门4的1输出会使触发器的0状态继续保持下去, 直到下一次操作到来。

——: 0电平, ——: 1电平, ——: 任意电平

强制置1和强制置0: (2)



$\overline{CLR}=0$, $\overline{PR}=1$ 时, 电路执行异步复位 (清零) 操作。

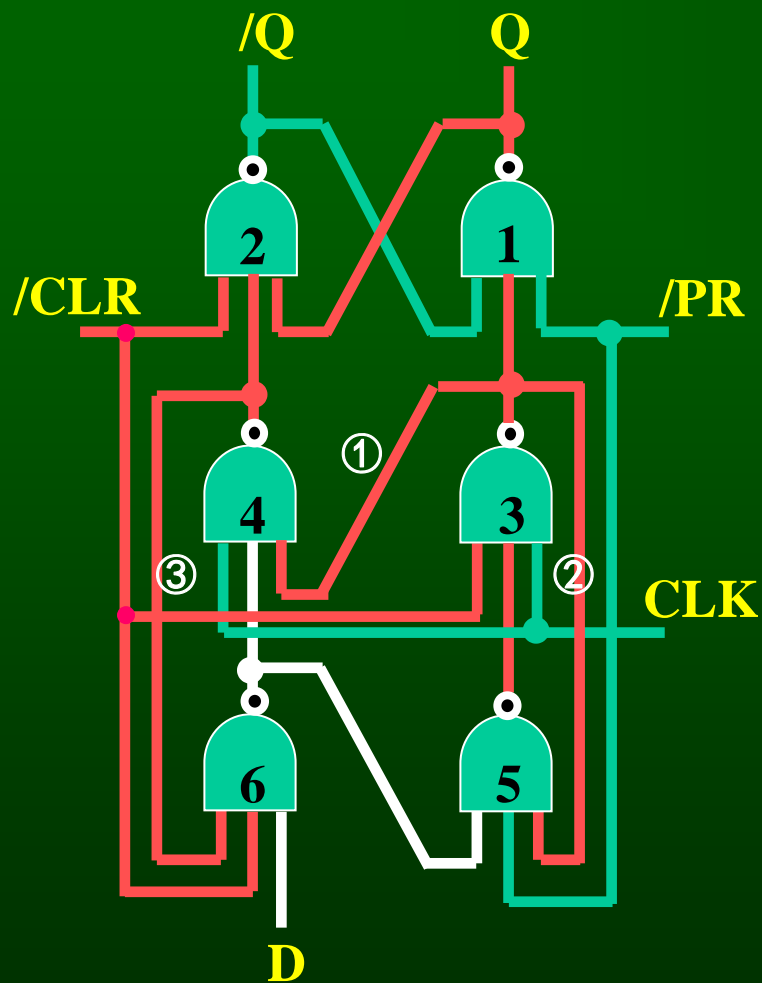
• 若 $CLK=1$, 门3、门6输出1, 从而门4输出0, 从而使得:

$Q=0$, $\overline{Q}=1$, 清零。

当 \overline{CLR} 再恢复到高电平时, 由于维持-阻塞电路的作用 (置0维持线③), 触发器的0状态会继续保持下去, 直到下一次操作到来。

——: 0电平, ———: 1电平, ———: 任意电平

强制置1和强制置0: (3)



$\overline{CLR}=1$, $\overline{PR}=0$ 时, 电路执行异步置位 (置1) 操作。

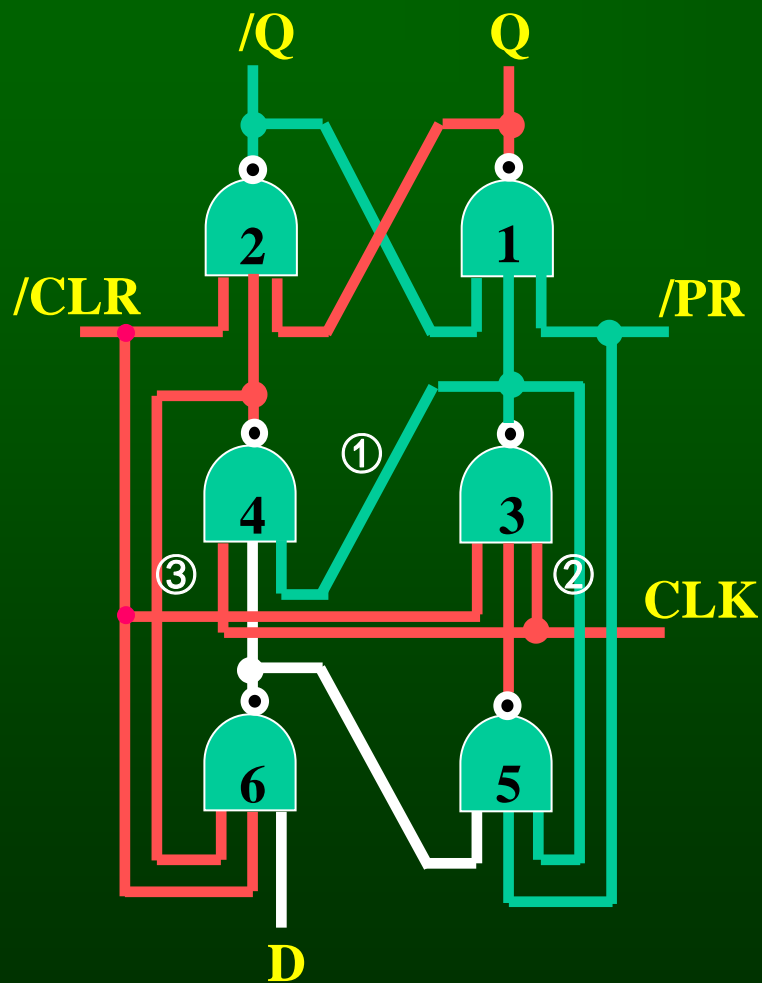
• 若 $CLK=0$, 门3、门4输出均为1, 从而使得:

$Q=1$, $\overline{Q}=0$, 即置1。

若此时 \overline{PR} 再恢复到高电平, 门3和门4的1输出会使触发器的1状态继续保持下去, 直到下一次操作到来。

——: 0电平, ———: 1电平, ———: 任意电平

强制置1和强制置0: (4)



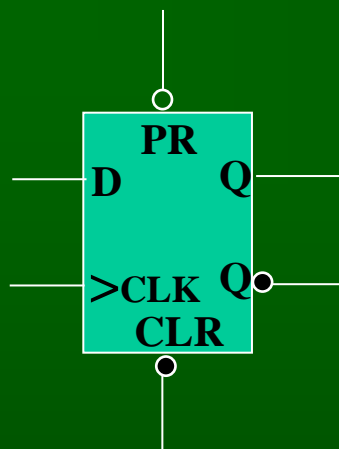
/CLR=1, /PR=0时, 电路执行异步置位（置1）操作。

- 若CLK=1, 门5输出1, 从而门3输出0, 门4输出1, 从而使得:
Q=1, /Q=0, 置1。

当/PR再恢复到高电平时，由于维持-阻塞电路的作用（置1维持线②），触发器的1状态会继续保持下去，直到下一次操作到来。

——: 0电平, ——: 1电平, ——: 任意电平

D 触发器



a. 前沿触发D触发器

D	CLK	Q	/Q
0	↑	0	1
1	↑	1	0
d	0	保持不变	
d	1	保持不变	

b. 功能表

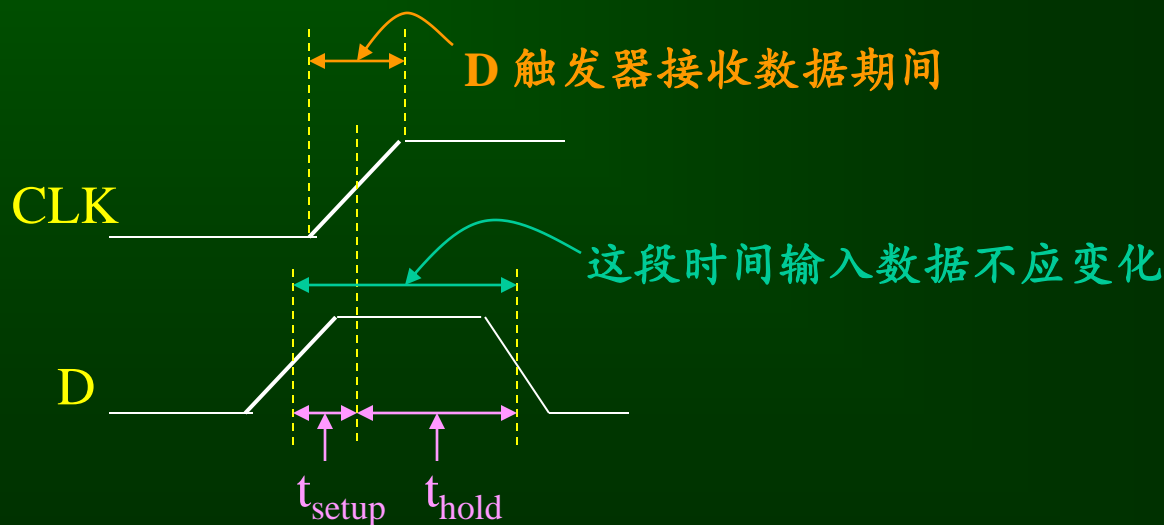
	D	0	1
Q	0	0	1
	1	0	1

d. 次态方程:

$$Q^{n+1} = D$$

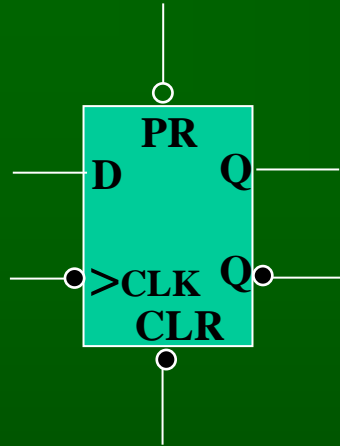
D	Q^{n+1}
0	0
1	1

c. 次态真值表



e. D 触发器的两个工作时间

D 触发器



a. 后沿触发D触发器

D	CLK	Q	/Q
0	\downarrow	0	1
1	\downarrow	1	0
d	0	保持不变	
d	1	保持不变	

b. 功能表

输入限定符号>表示**边沿触发**。
输入引脚上无逻辑非符号表示**前沿触发**；
有逻辑非符号为**后沿触发**。

D	Q^{n+1}
0	0
1	1

c. 次态真值表

Q \ D	0	1
0	0	1
1	0	1

d. 次态方程：

$$Q^{n+1} = D$$

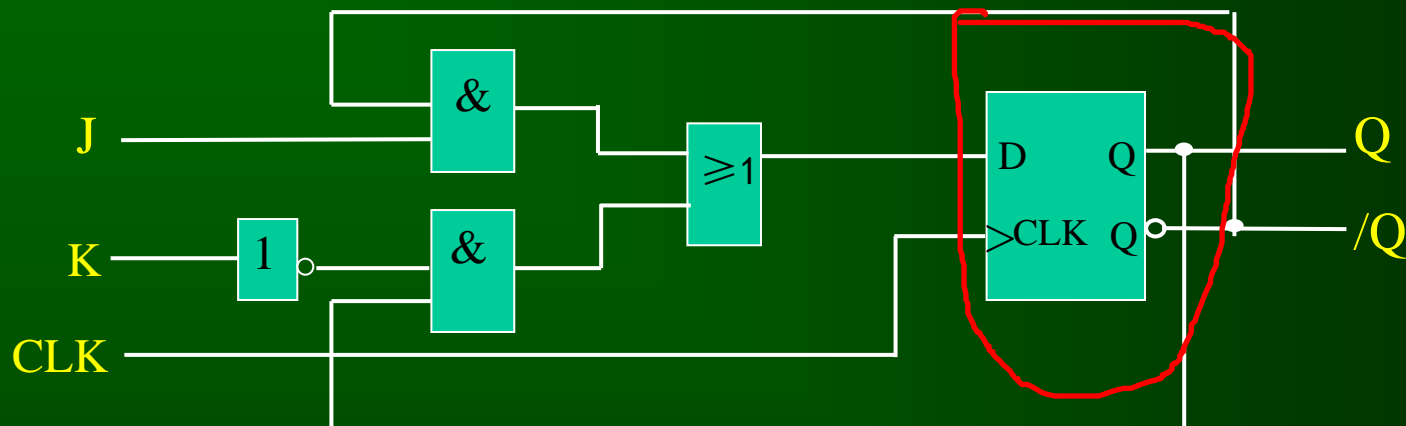
5. 边沿触发J—K 触发器

Edge-triggered JK Flip-flop

主从结构的 JK 触发器要求在时钟脉冲 **CLK** 的下降沿到来之前，输入端 J、K 必须稳定较长时间，以便输入的变化能传送到主触发器的输出 Q_M 及 $/Q_M$ 。边沿触发 JK 触发器类似于 D 触发器也要求有建立时间和保持时间，但其建立时间较脉冲触发的 主从 JK 触发器为短，因此应用更为广泛。

JK 触发器常用于同步时序电路中，有时 JK 触发器的次态逻辑要比 D 触发器简单，不过大部分时序电路采用的是 D 触发器。这是由于 D 触发器只需一个数据输入端，使得设计出的电路更加简单。因此，在大多数可编程逻辑器件(PLD)中，包含的只有 D 触发器。**典型的边沿触发 JK 触发器型号是 74LS109。**

边沿触发J-K 触发器电路图 (由D触发器构成的等价电路)



D 触发器的次态方程为：

$$Q^{n+1} = D$$

而要求有：

$$Q^{n+1} = J \cdot \bar{Q} + \bar{K} \cdot Q$$

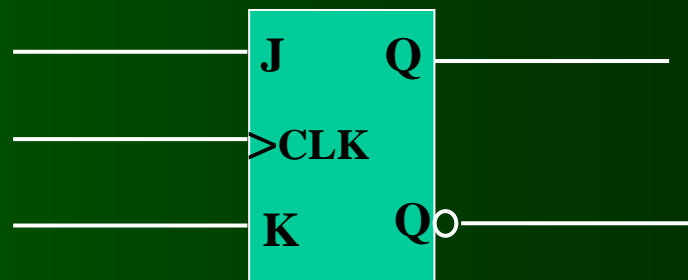
因此，D 输入端的逻辑表达式为

$$D = J \cdot \bar{Q} + \bar{K} \cdot Q$$

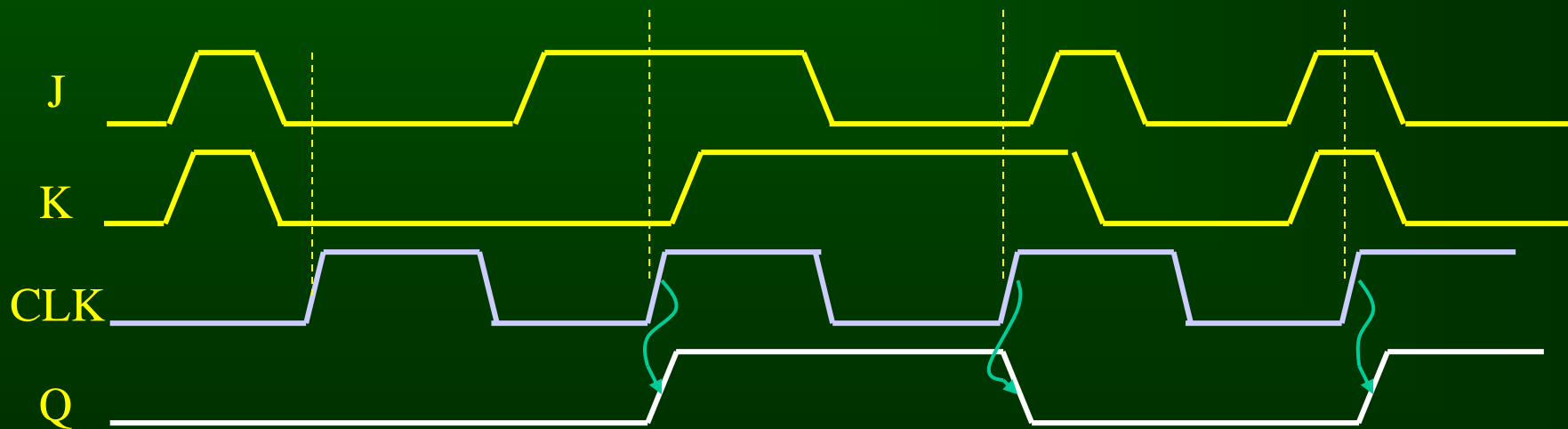
边沿触发J-K 触发器的特性:

J	K	CLK	Q	/Q
d	d	0	保持不变	
d	d	1	保持不变	
0	0	\uparrow	保持不变	
0	1	\uparrow	0	1
1	0	\uparrow	1	0
1	1	\uparrow	变反	

(b) 功能表



(c) 逻辑符号

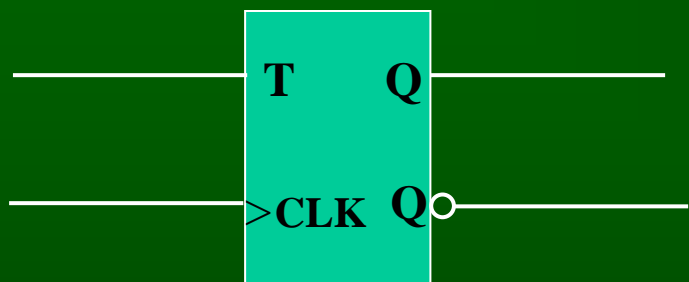


(d) 工作时序图

6. T触发器 *T Flip-flop*

T触发器是一个计数触发器，其功能为：

当T输入端为1时，每来一个计数脉冲CLK，输出就变反一次。



(a) 逻辑符号

T	Q	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

(c) 次态真值表

T	CLK	Q /Q
d	0	保持不变
d	1	保持不变
0	d	保持不变
1	1	变反

(b) 功能表

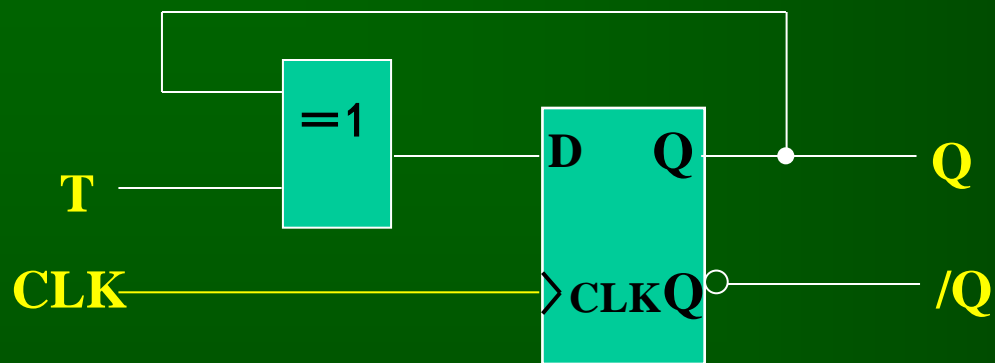
T	Q^{n+1}
0	Q
1	/Q

(d) 简化次态真值表

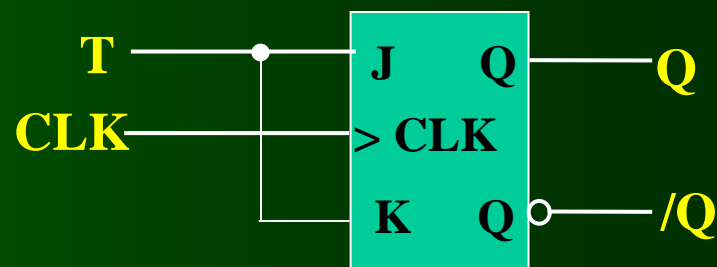
(e) 次态方程

$$Q^{n+1} = T \cdot \overline{Q} + \overline{T} \cdot Q$$

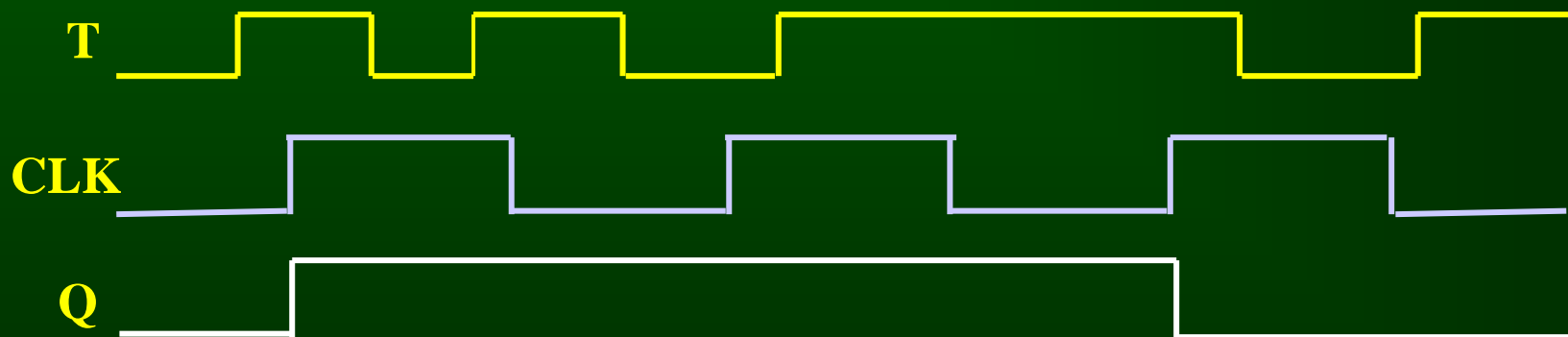
T 触发器的实现



用 D 触发器实现



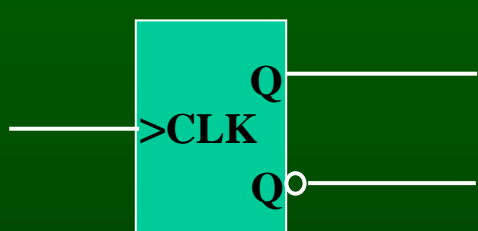
用 J-K 触发器实现



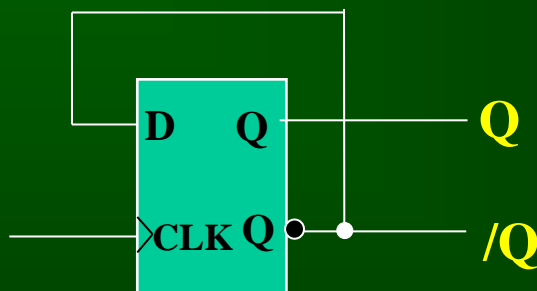
T 触发器典型时间图

无使能控制的 T 触发器

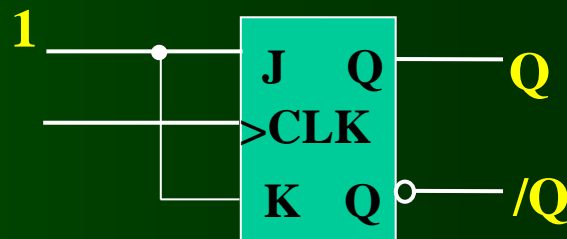
T触发器的 T 端实际是一个使能控制端，只有在 $T=1$ 时，触发器 T 才处于计数状态。在一些应用场合无需使能控制，这种 T 触发器很容易用 D 触发器及 JK 触发器构成，下图给出了无使能控制端的 T 触发器的逻辑符号、电路构成及工作时序图。



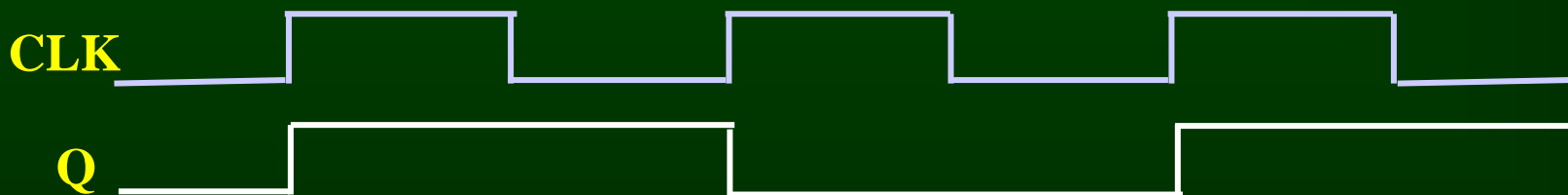
(a) 逻辑符号



(b) 由 D 触发器构成



用 J-K 触发器构成



工作时序图

触发器的激励表(续)

阅读

次态真值表

J K 触发器

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}



激励表

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

D 触发器

D	Q	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1



Q	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

阅读 触发器的激励表(续)

T 触发器

次态真值表

T	Q	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0



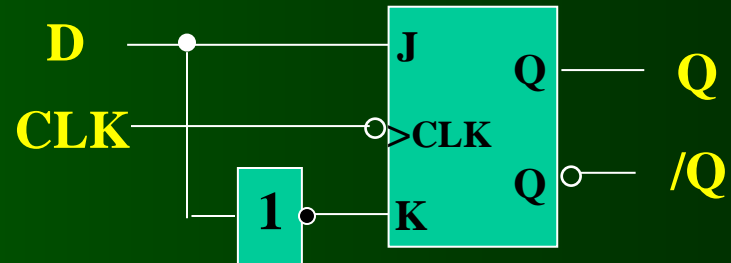
激励表

Q	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

触发器的类型转换 *Scan Flip-flop* (1)

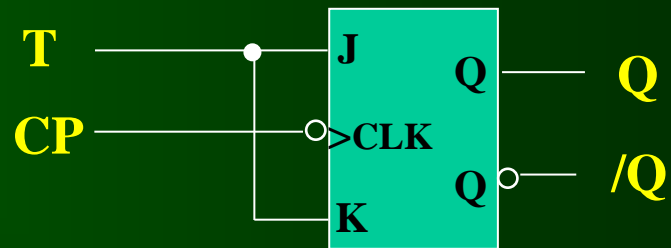
J K触发器转换为**D**触发器：

$$J = D \quad K = \overline{D}$$



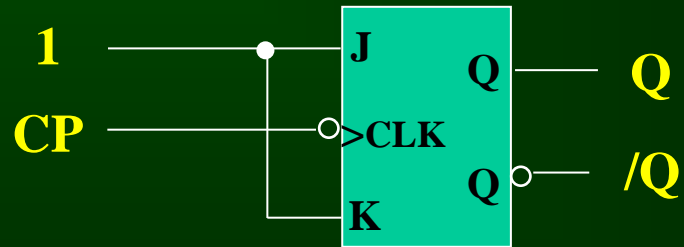
J K触发器转换为**T**触发器：

$$J = K = T$$



J K触发器转换为**无使能控制的T**触发器：

$$J = K = 1$$



触发器的类型转换 (2)

D 触发器转换为无使能控制的
T 触发器:

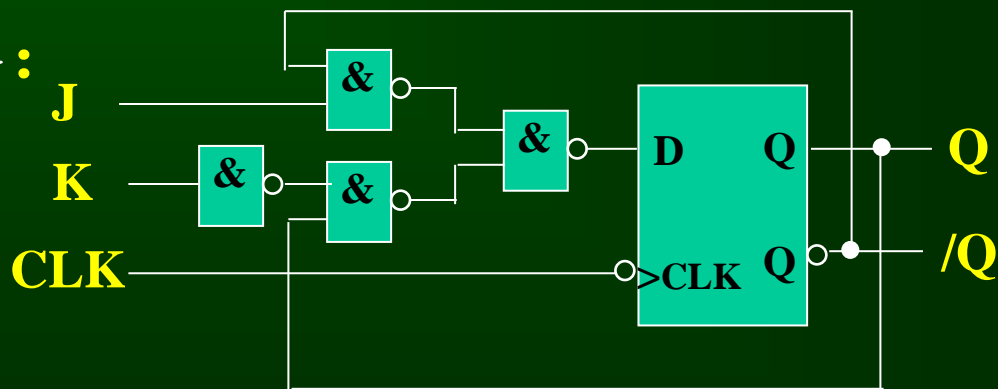
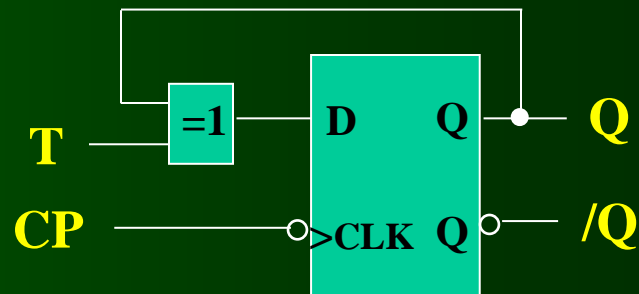
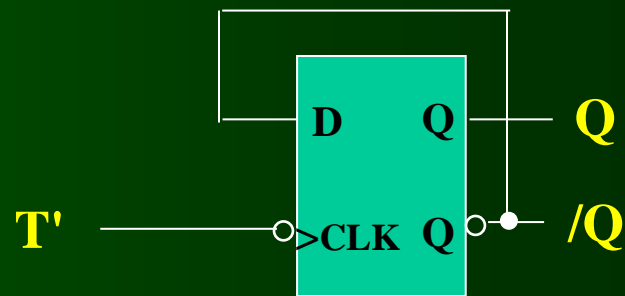
$$D = \overline{Q}$$

D 触发器转换为 **T** 触发器:

$$D = Q \oplus T$$

D 触发器转换为 **JK** 触发器:

$$D = J \cdot \overline{Q} + \overline{K} \cdot Q$$

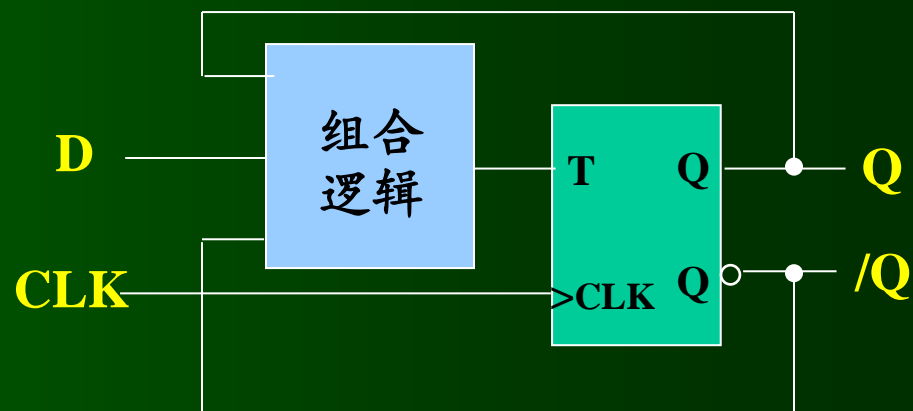


触发器的类型转换 (3)

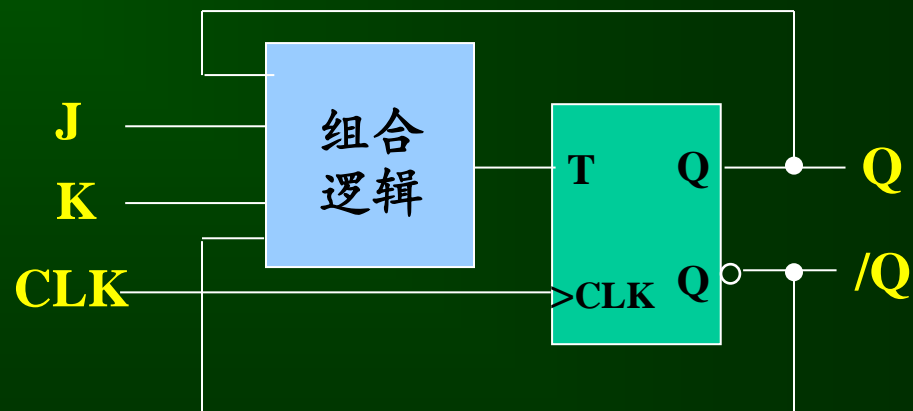
阅读

T 触发器转换为 D 触发器

D	Q	Q^{n+1}	T
0	0	0	
0	1	0	
1	0	1	
1	1	1	



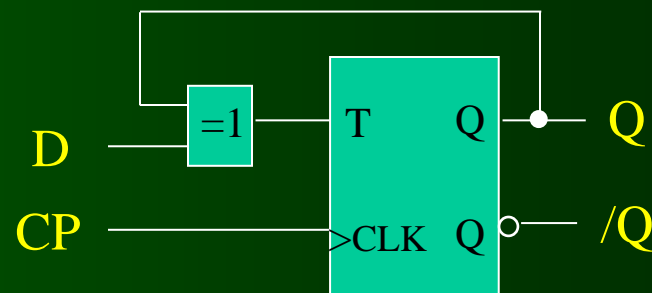
T 触发器转换为 JK 触发器



触发器的类型转换 (3)

阅读 T 触发器转换为 D 触发器

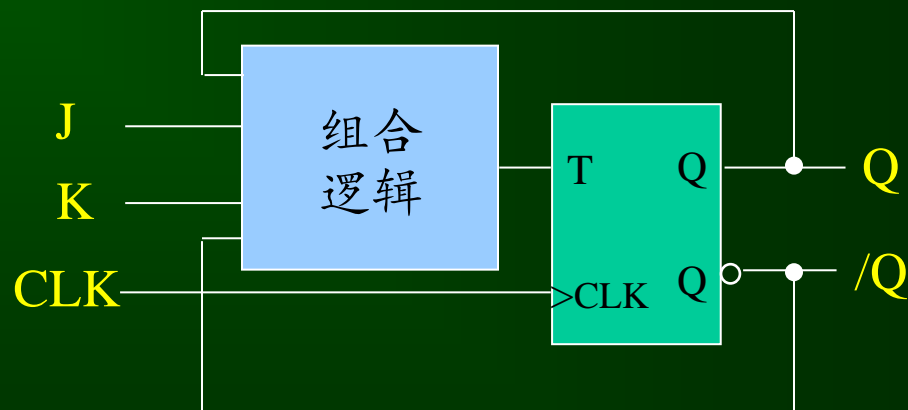
D	Q	Q^{n+1}	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0



$$T = D \oplus Q$$

T 触发器转换为 JK 触发

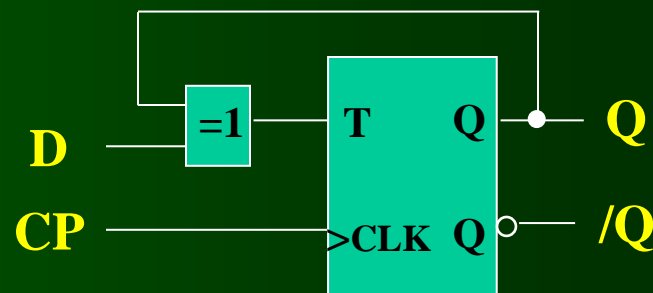
J	K	Q	Q^{n+1}	T
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	0	
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	



触发器的类型转换 (3)

阅读 T 触发器转换为 D 触发器

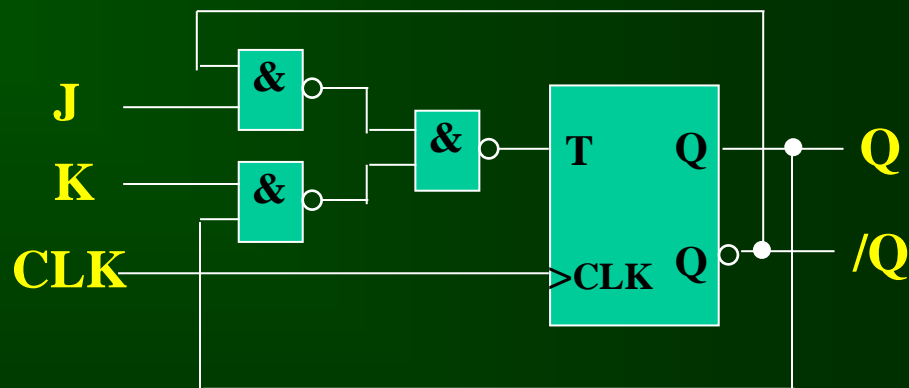
D	Q	Q ⁿ⁺¹	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0



$$T = D \oplus Q$$

T 触发器转换为 JK 触发器

J	K	Q	Q ⁿ⁺¹	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1



由卡诺图可得：

$$T = J \cdot \bar{Q} + K \cdot Q$$