

3.4 常用MSI时序逻辑器件

1. 计数器及其应用

- 计数器的分类及原理
- MSI计数器及其应用

2. 寄存器及其应用

- 寄存器的分类
- MSI寄存器及其应用

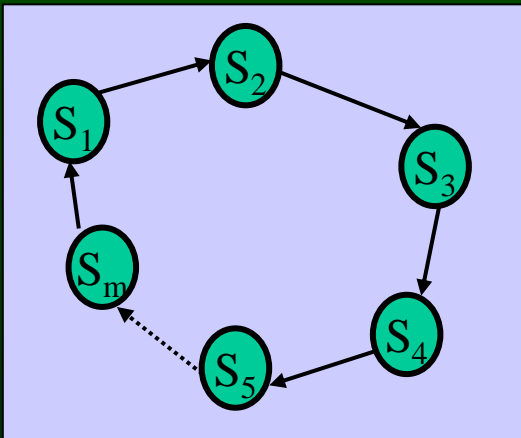
3. 脉冲发生器

- 脉冲发生器的原理
- 集成555定时器

3.4.1. 计数器 *Counters*

计数器是一种能对输入脉冲进行计数的逻辑器件，它的状态图为一个环。

计数器的状态个数称为计数器的模。如图所示的为模 m 的计数器。



计数器状态图的一般结构

计数器的分类：

① 按功能：加法计数器，减法计数器，可逆计数器

② 按进位方式：

串行计数器（异步计数器）*Ripple counters*

并行计数器（同步计数器）*Synchronous counters*

③ 按进位基数：二进制计数器 *Binary-counters*

十进制计数器 *decimal-counters*

任意进制计数器

计数器中每一位的基本单元是触发器。

n 个触发器可以构成模 m 的计数器，其中： $m \leq 2^n$ 。

1. 二进制同步计数器

$Q_4 Q_3 Q_2 Q_1$

0 0 0 0

0 0 0 1

0 0 1 0

0 0 1 1

0 1 0 0

0 1 0 1

0 1 1 0

0 1 0 1

1 0 0 0

1 0 0 1

1 0 1 0

1 0 1 1

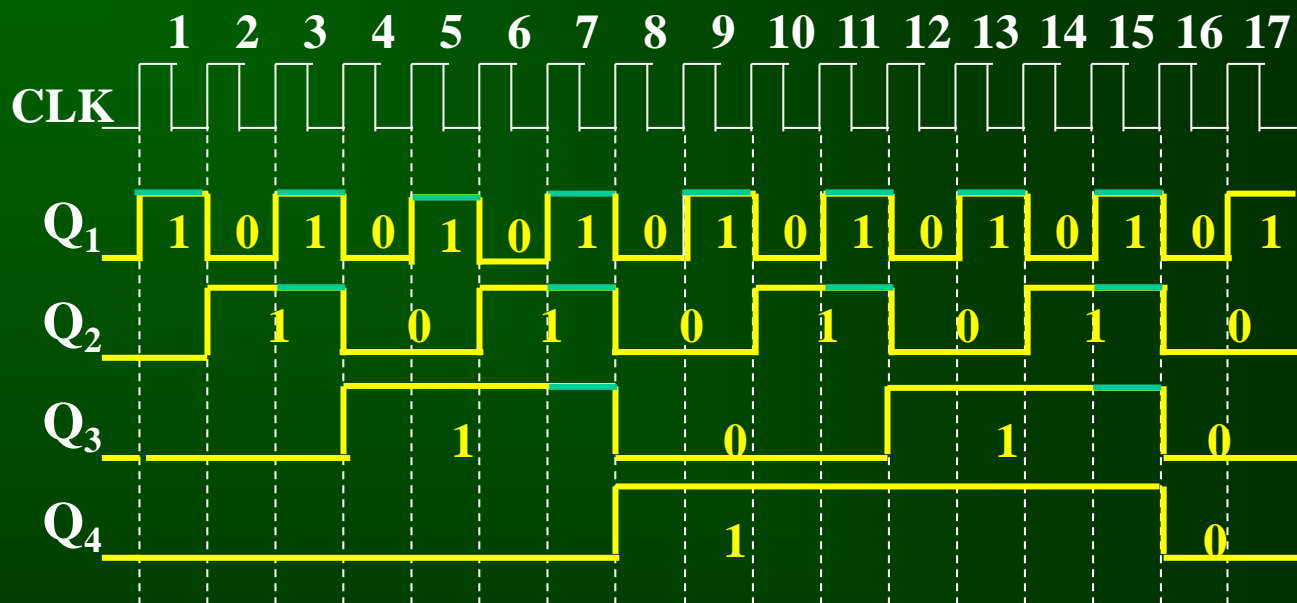
1 1 0 0

1 1 0 1

1 1 1 0

1 1 1 1

同步计数器中，所有触发器的时钟控制端均接收同一计数脉冲并同时产生进位(或借位)信号。因此，进位(或借位)信号需要用控制门加以控制。



各个基本单元的次态方程为: $Q^{n+1} = \bar{Q}$ (计数状态)

或 $Q^{n+1} = Q$ (保持状态)

所谓**进位(或借位)信号**,就是使 Q_i 变反的 $Q_{i-1}, Q_{i-2}, \dots, Q_1$ 的取值:

$$Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_1 = 1$$

例1 用D触发器组成的 4 位二进制同步加1计数器。

① 激励函数

$$D_1 = \overline{Q_1}$$

$$D_2 = Q_1 \oplus Q_2$$

$$D_3 = (Q_2 Q_1) \oplus Q_3$$

$$D_4 = (Q_3 Q_2 Q_1) \oplus Q_4$$

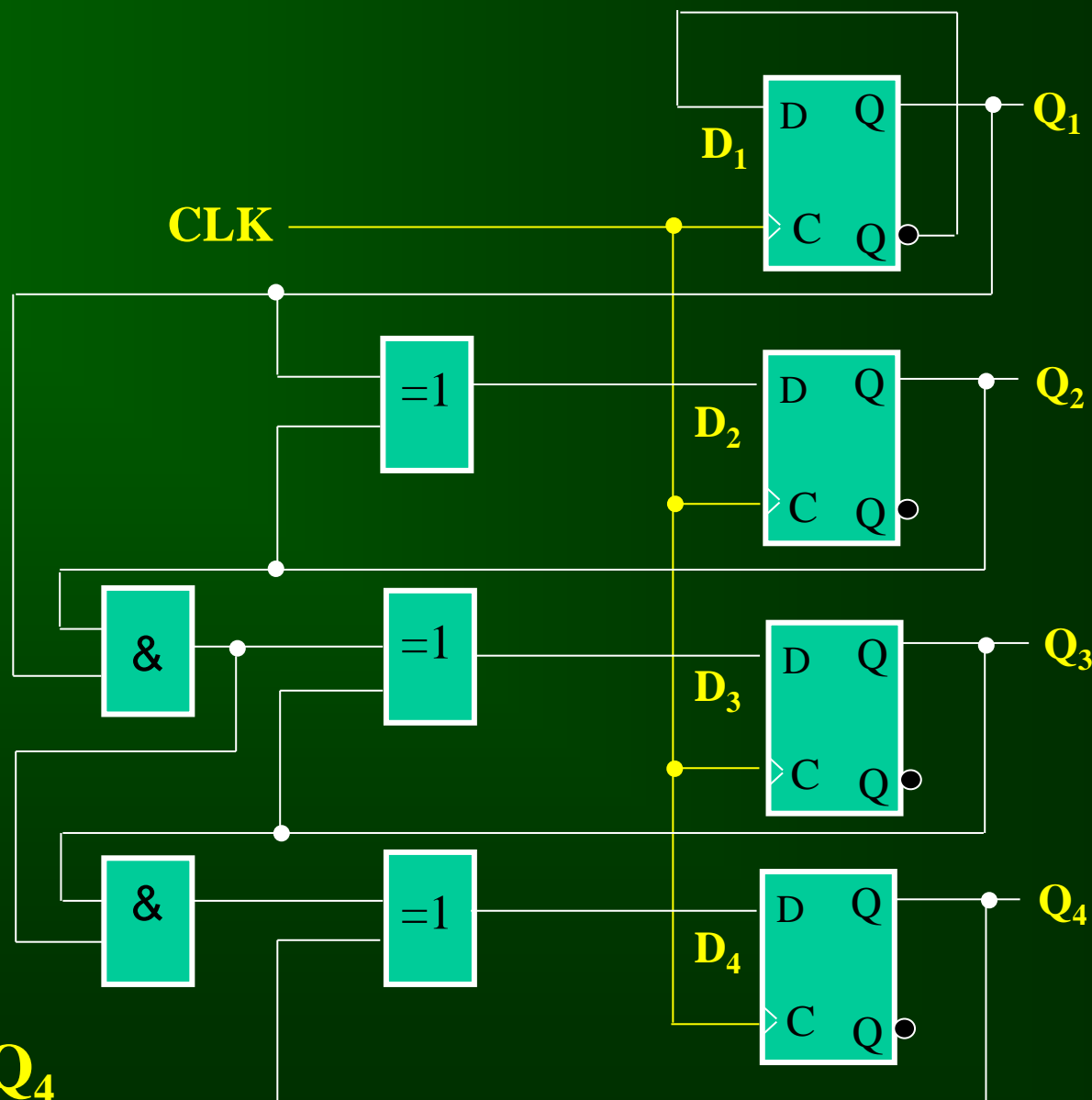
② 次态方程

$$Q_1^{n+1} = \overline{Q_1}$$

$$Q_2^{n+1} = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = (Q_2 Q_1) \oplus Q_3$$

$$Q_4^{n+1} = (Q_3 Q_2 Q_1) \oplus Q_4$$



③ 时间图

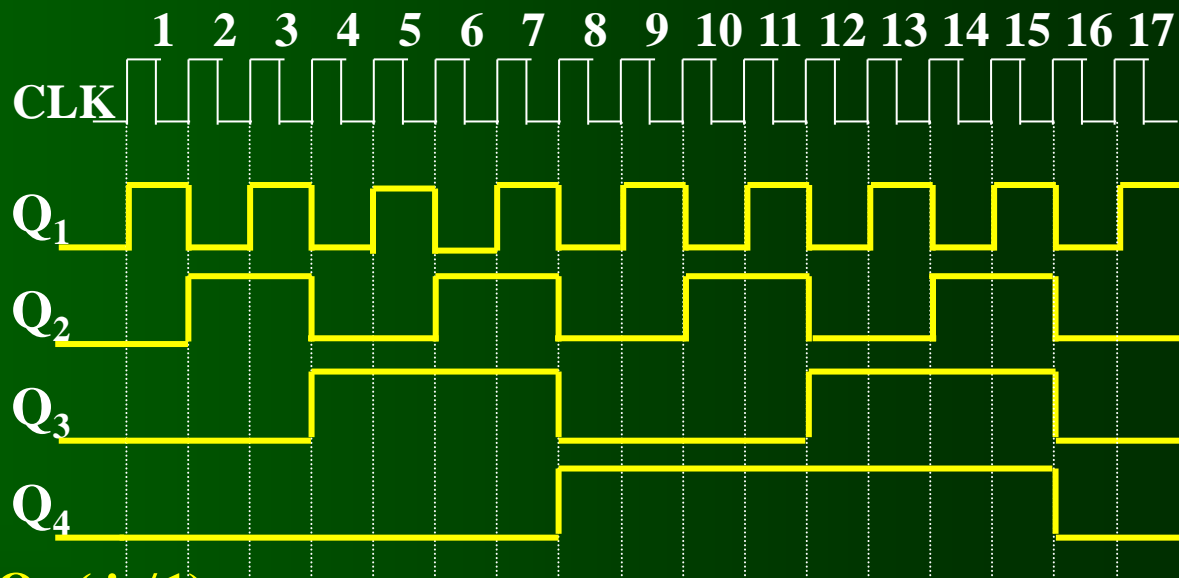
在CLK上跳沿，四个触发器根据现态**同时**产生次态。

同步计数器速度可以较高。

第 i 位触发器的次态方程

$$Q_i^{n+1} = (Q_{i-1} Q_{i-2} \cdots Q_1) \oplus Q_i \quad (i \neq 1)$$

$$Q_1^{n+1} = \neg Q_1$$



④ 状态变化规律:

(1) 当 $Q_{i-1} \cdot Q_{i-2} \cdots Q_1 = 1$ 时，低位有进位 $\rightarrow Q_i^{n+1} = \overline{Q_i}$ ，本位翻转

(2) 当 $Q_{i-1} \cdot Q_{i-2} \cdots Q_1 = 0$ 时，低位无进位 $\rightarrow Q_i^{n+1} = Q_i$ ，本位维持

⑤ 由D触发器构成的 n 位二进制同步加 1 计数器的连接规律

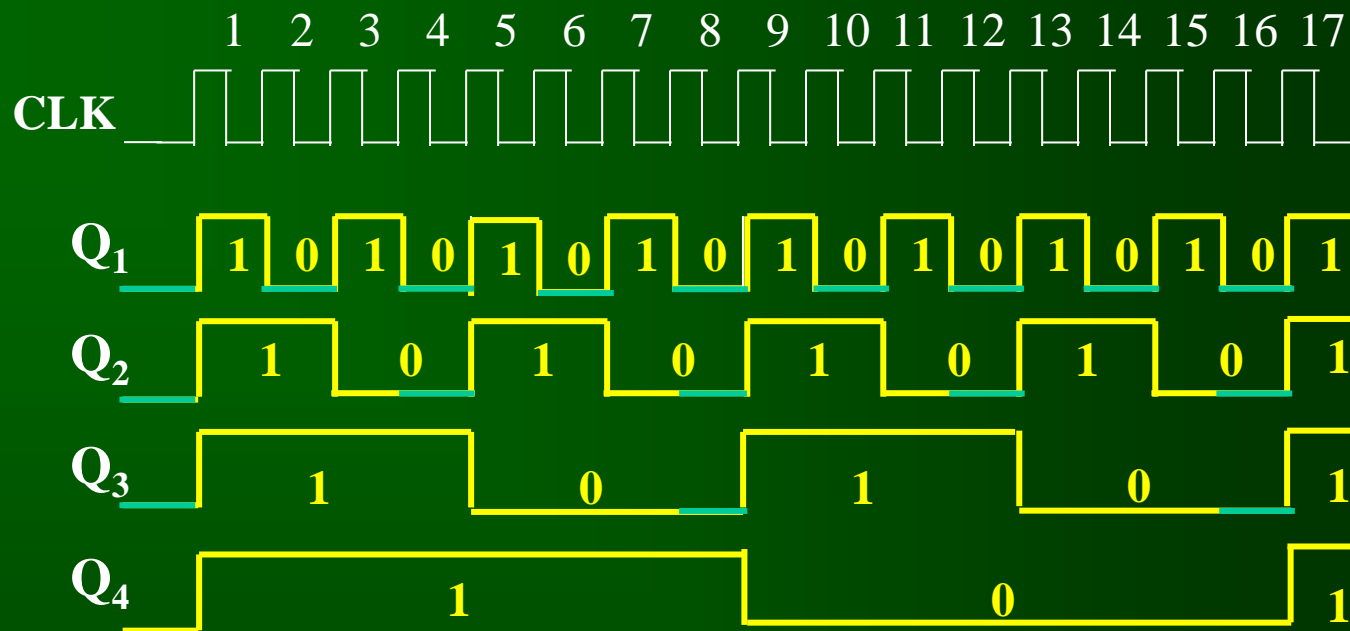
$$D_i = (Q_{i-1} \cdot Q_{i-2} \cdots Q_1) \oplus Q_i \quad (i \neq 1)$$

$$D_1 = \overline{Q_1}$$

其中: $Q_{i-1} \cdot Q_{i-2} \cdots Q_1$ ——进位传递函数

思考: 如何设计 n 位二进制同步**减 1**计数器? 关键在于**借位传递函数**的获得。

例2 用D触发器组成的 4 位二进制同步减 1 计数器。



① 次态方程

$$Q_1^{n+1} = \overline{Q_1}$$

最低位根据时钟信号的到来进行
减 1 计数

$$Q_2^{n+1} = \overline{Q_1} \oplus Q_2$$

当 $Q_1 = 0$ 时，

低位向本位借位 $\rightarrow Q_2^{n+1} = \overline{Q_2}$

$$Q_3^{n+1} = (\overline{Q_2} \overline{Q_1}) \oplus Q_3$$

当 Q_2 、 Q_1 同时为 0 时，

低位向本位借位 $\rightarrow Q_3^{n+1} = \overline{Q_3}$

$$Q_4^{n+1} = (\overline{Q_3} \overline{Q_2} \overline{Q_1}) \oplus Q_4$$

当 Q_3 、 Q_2 、 Q_1 均为 0 时，

低位向本位借位 $\rightarrow Q_4^{n+1} = \overline{Q_4}$

$$Q_i^{n+1} = (\overline{Q_{i-1}} \overline{Q_{i-2}} \dots \overline{Q_1}) \oplus Q_i \quad (i \neq 1)$$

$$Q_1^{n+1} \neq Q_1$$

状态变化规律:

(1) 当 $\overline{Q}_{j-1} \cdot \overline{Q}_{j-2} \cdots \cdot \overline{Q}_1 = 1$ 时,

低位有借位;

$$Q_i^{n+1} = 1 \oplus Q_i = \overline{Q_i},$$

本位翻转。

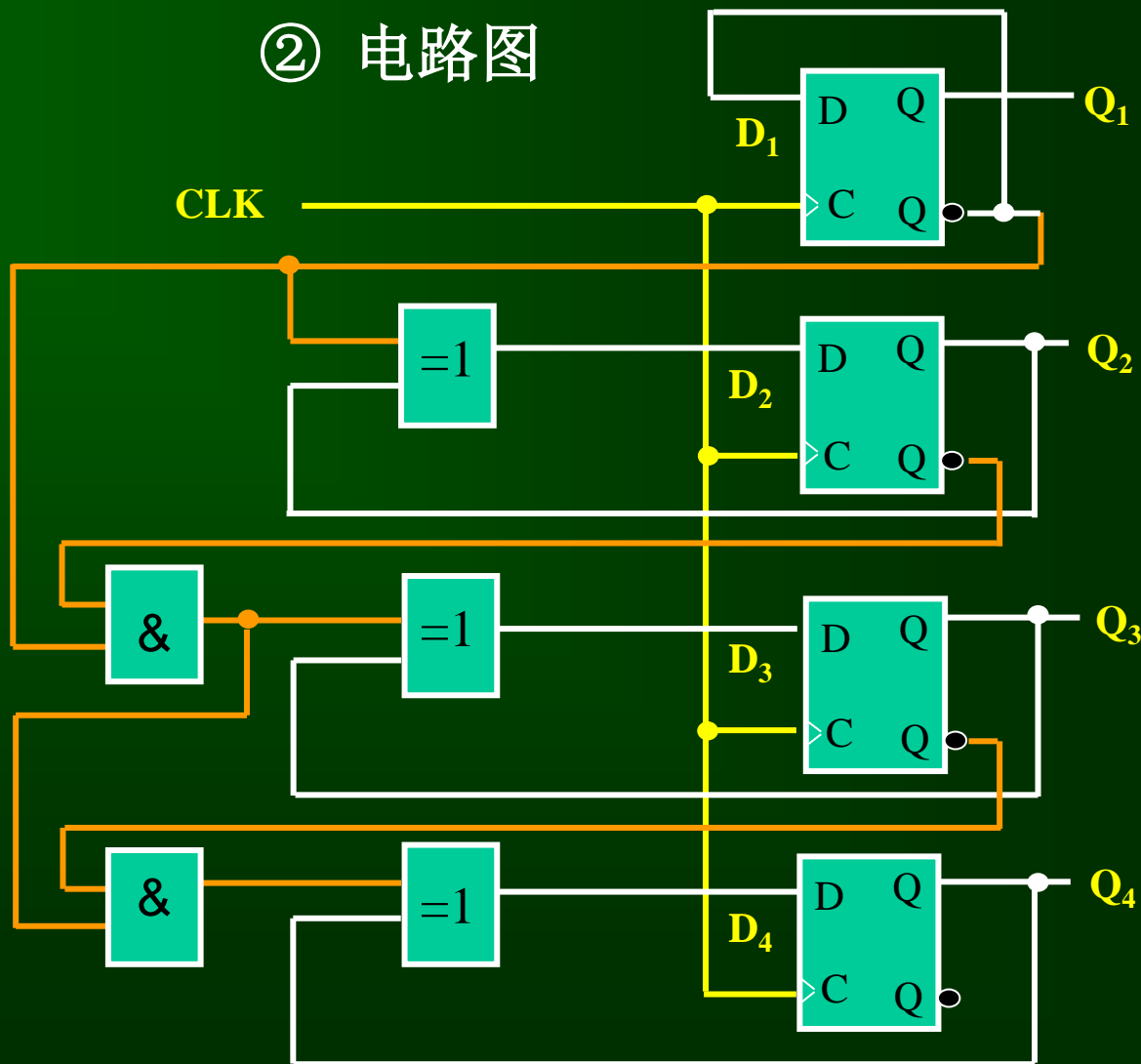
(2) 当 $\overline{Q}_{j-1} \cdot \overline{Q}_{j-2} \cdots \cdot \overline{Q}_1 = 0$ 时,

低位无借位:

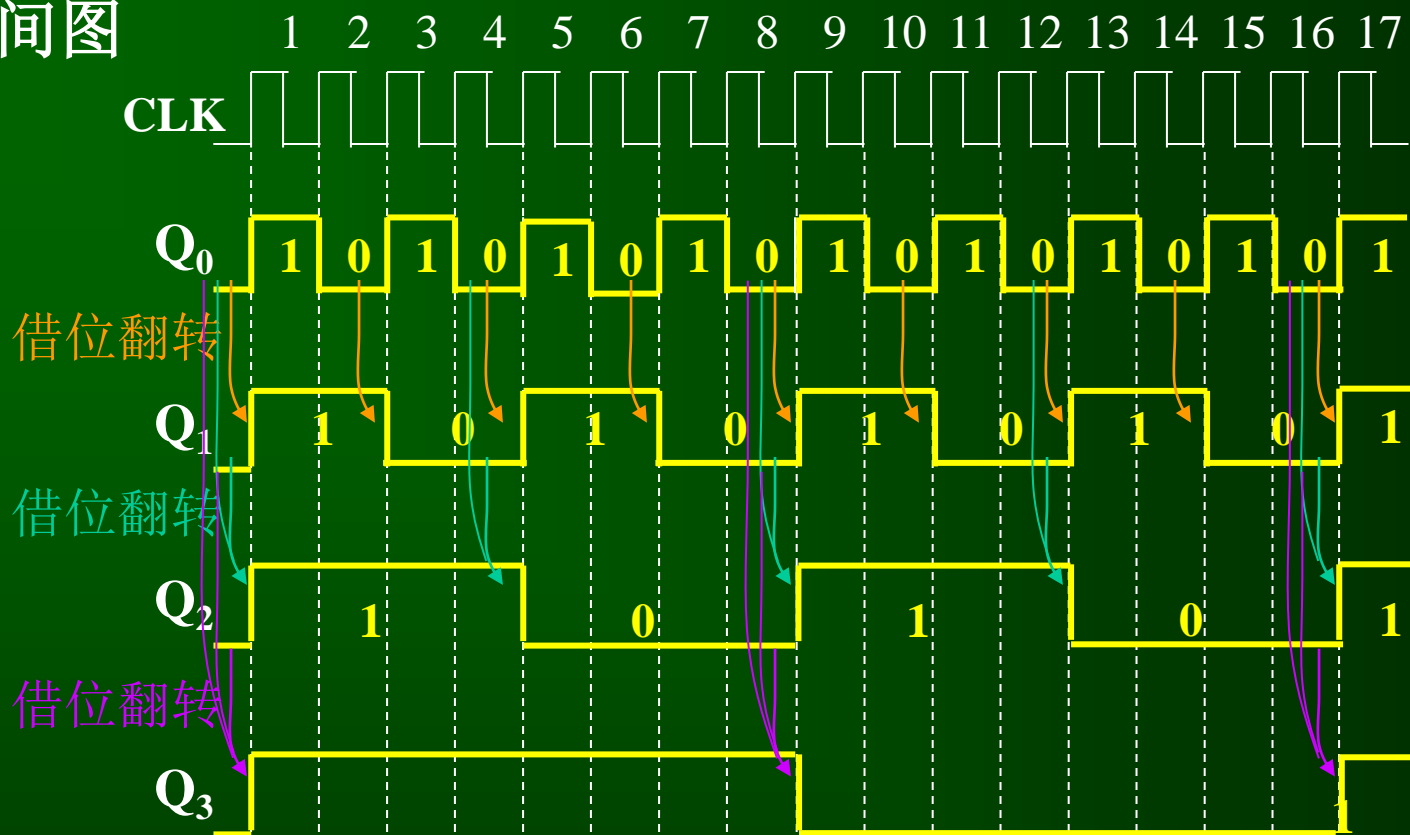
$$\mathbf{Q}_i^{n+1} = \mathbf{0} \oplus \mathbf{Q}_i = \mathbf{Q}_i,$$

本位维持。

② 电路图



③ 时间图



④ 由D触发器构成的 n 位二进制同步减 1 计数器的
连接规律 $D_i = (\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1}) \oplus Q_i \quad (i \neq 1)$

$$D_1 = \overline{Q_1}$$

其中: $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1}$ ——借位传递函数

按照“进位”的概念，同理推出JK 触发器、T触发器构成加1计数器的连接规律：

$$J_i = K_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \quad (i \neq 1)$$

$$J_1 = K_1 = 1$$

$$T_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \cdot EN \quad (i \neq 1)$$

$$T_1 = EN = 1$$

练习

按照“借位”的概念，同理推出JK 触发器、T触发器构成减1计数器的连接规律：

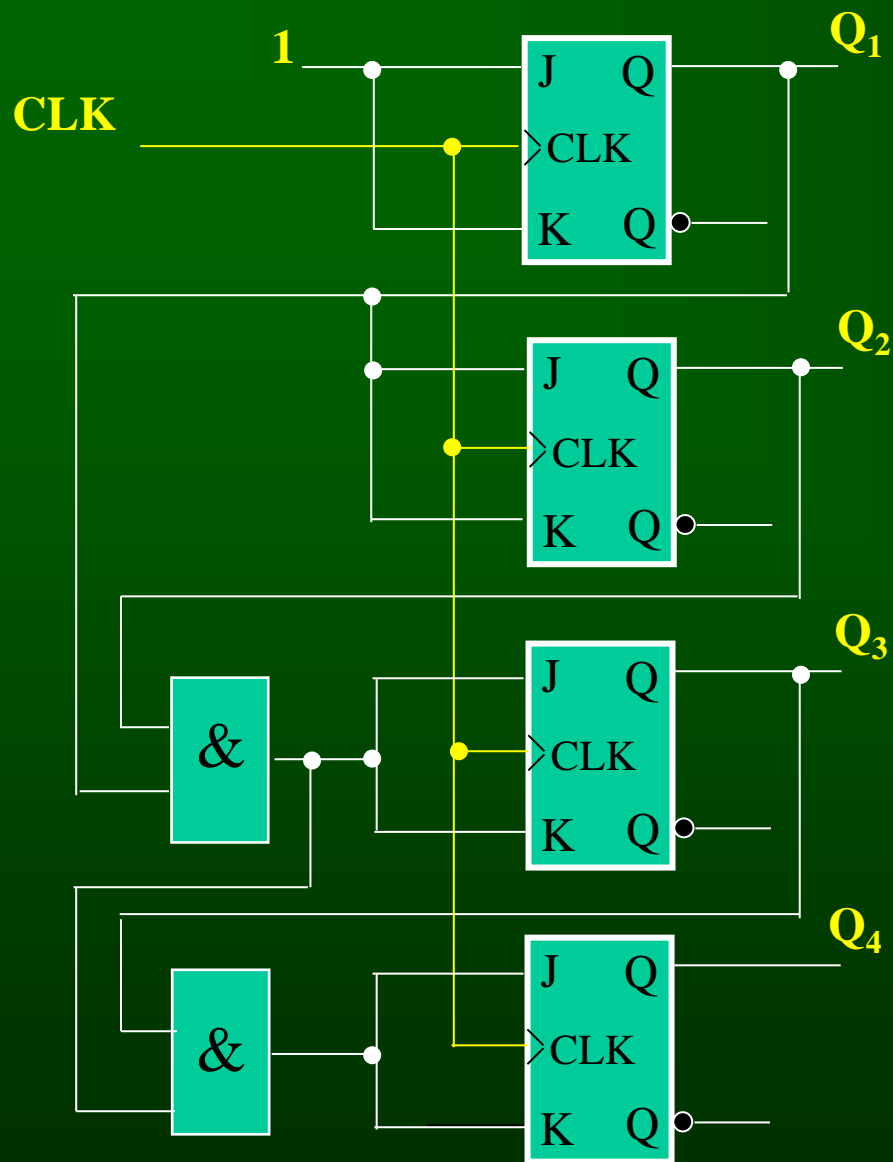
$$J_i = K_i = \overline{Q}_{i-1} \cdot \overline{Q}_{i-2} \cdot \cdots \cdot \overline{Q}_1 \quad (i \neq 1)$$

$$J_1 = K_1 = 1$$

$$T_i = \overline{Q}_{i-1} \cdot \overline{Q}_{i-2} \cdot \cdots \cdot \overline{Q}_1 \cdot EN \quad (i \neq 1)$$

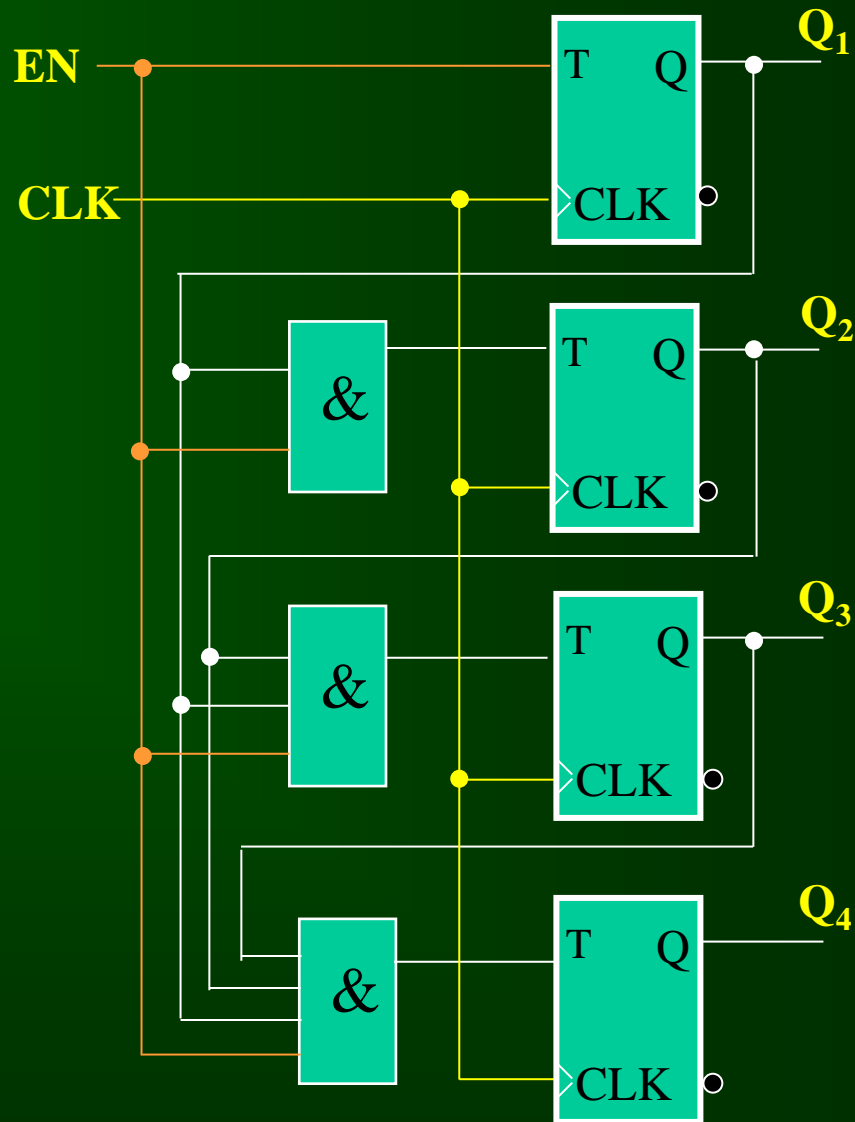
$$T_1 = EN = 1$$

电路图:



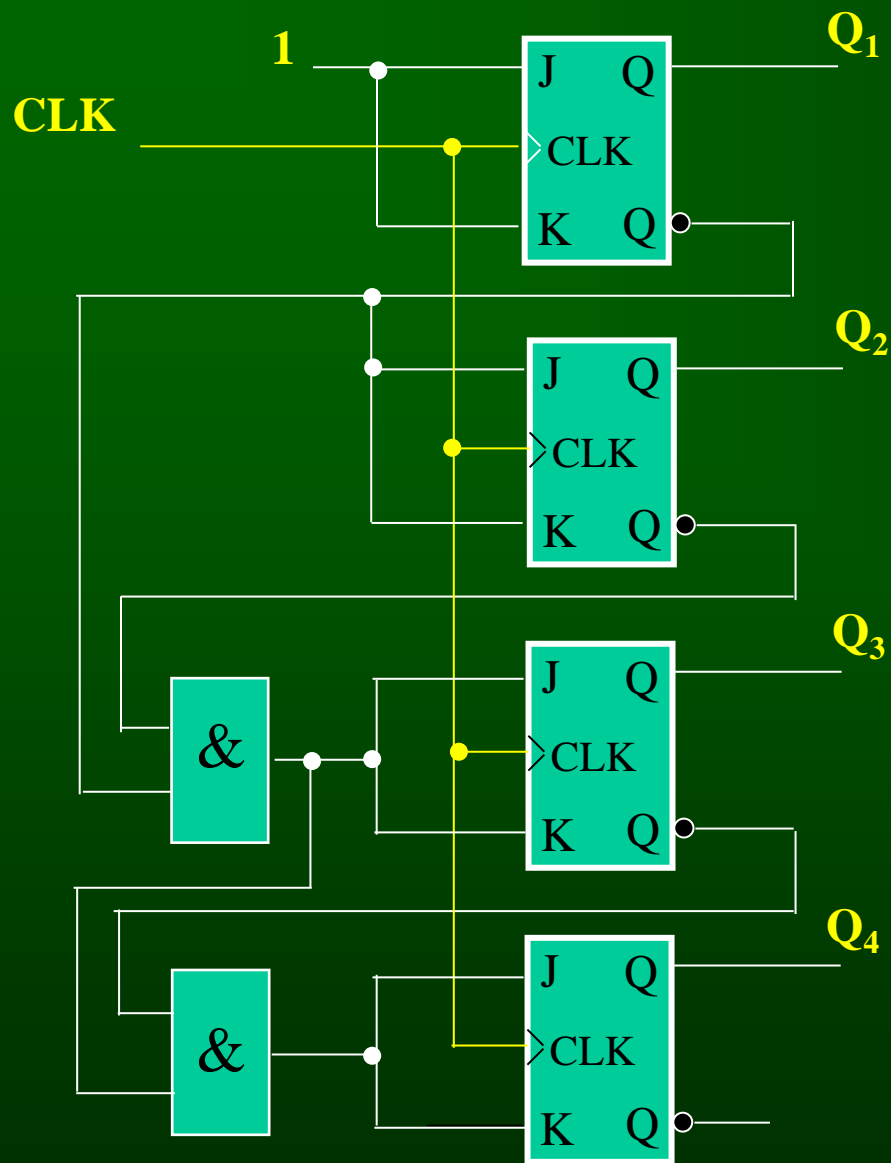
用JK触发器构成的加1计数器

练习



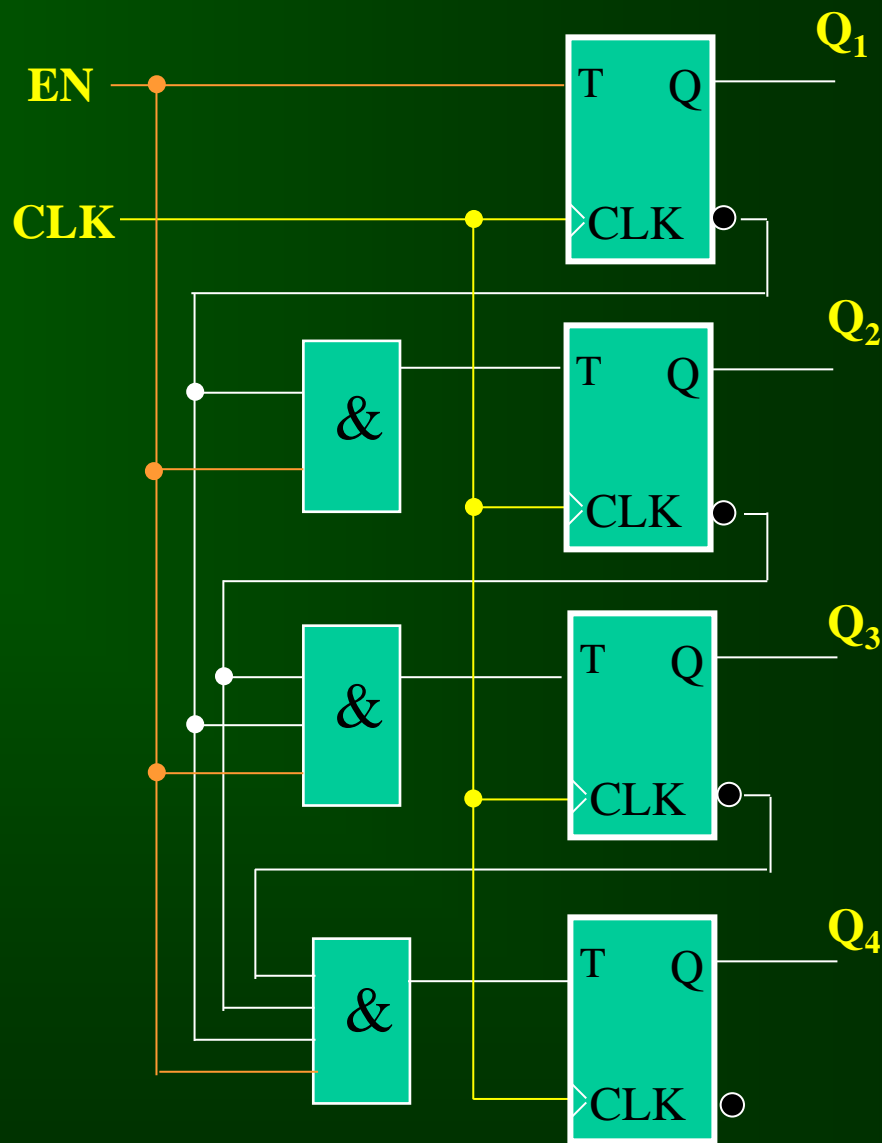
用T 触发器构成的加1计数器

电路图:



用JK触发器构成的减1计数器

练习



用T 触发器构成的减1计数器

2. 二进制串行计数器 *Ripple Counters*

- 串行计数器是指其进位或借位按串行方式工作:

加 1 计数	减 1 计数
(前沿触发、 后沿触发)：	(前沿触发、 后沿触发)：

$$Q_4 Q_3 Q_2 Q_1$$

0 0 0 0

0 0 0 1

0 0 1 0

0 0 1 1

0	0	1	1
0	1	0	0

0	1	0	0
0	1	0	1

0	1	0	1
0	1	1	0

0	1	1	0
0	1	1	1

0	1	1	1
1	0	0	0

$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 \end{pmatrix}$$
$$\begin{pmatrix} 1 & 0 & 0 & 1 \\ 1 & 0 & 1 & 0 \end{pmatrix}$$

1 0 1 0
1 0 1 1

1 0 1 1

1 1 0 0

1 1 0 1

1 1 1 0

1 1 1 1

减 1 计数

(前沿触发、后沿触发)：

$Q_4 Q_3 Q_2 Q_1$

1 1 1 1

1 1 1 0

1 1 0 1

1 1 0 0

1 1 0 0
1 0 1 1

1	0	1	1
1	0	1	0

1	0	1	0
1	0	0	1

$$\begin{pmatrix} 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \end{pmatrix}$$
$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 1 \end{pmatrix}$$
$$\begin{bmatrix} 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix}$$
$$\begin{pmatrix} 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{pmatrix}$$

0 1 0 1

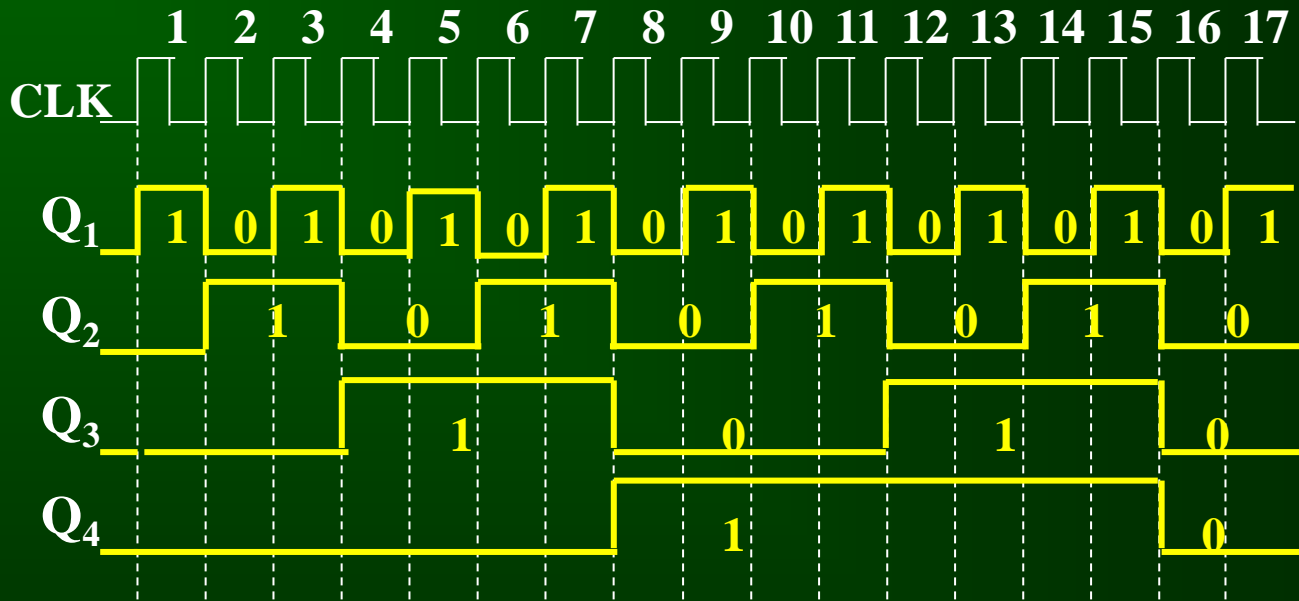
0 1 0 0

0 0 1 1

0 0 1 0

0 0 0 1

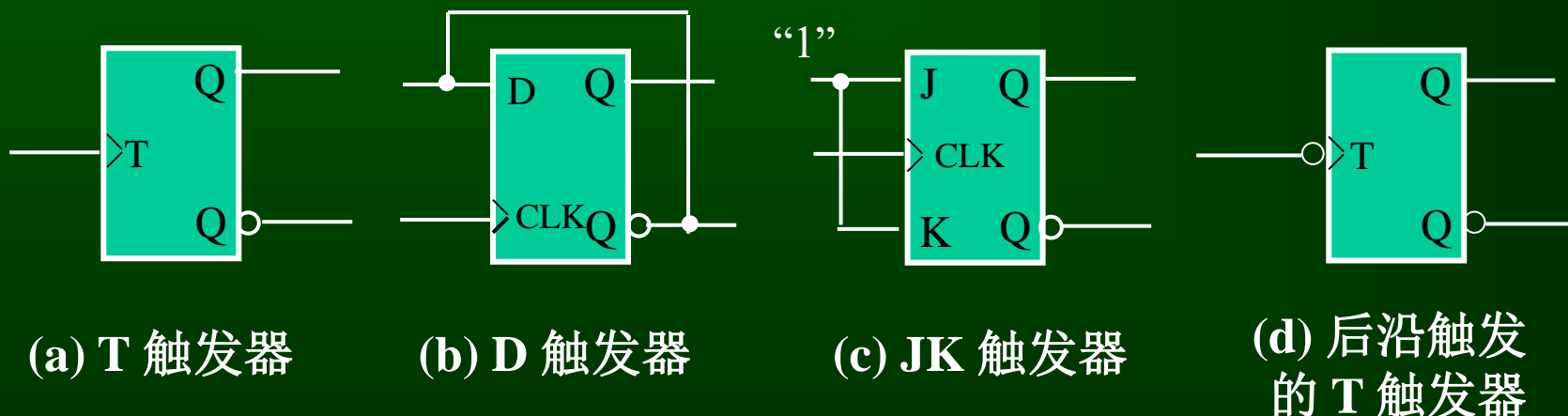
0 0 0 0



(1) 一个 **n 位二进制** 串行计数器可直接由边沿触发的触发器为基本单元的 **n 个触发器** 构成。

各个基本单元的次态方程为： $Q^{n+1} = \overline{Q}$ (计数状态)

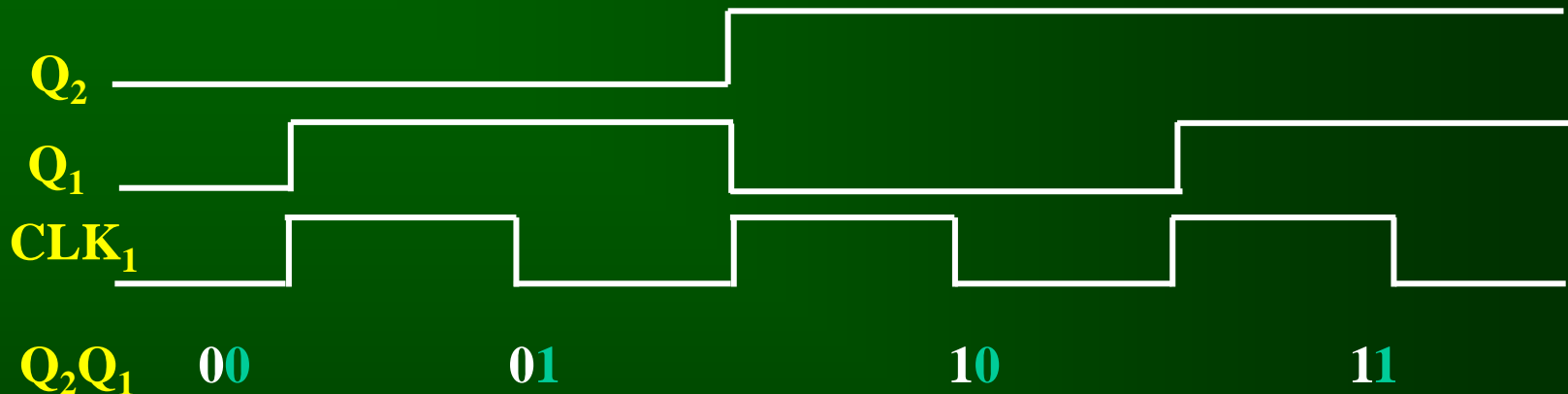
由各种类型的触发器所构成的串行计数器的基本单元



最低位触发器的时钟脉冲是**外加计数脉冲**，其他各位的时钟脉冲均由**低一位的触发器**输出提供。

阅读 ➤ 计数器中的每一位均可能产生进位或借位，因此每一位触发器的状态变化只同它低一位的触发器状态变化有关，即：

两位加 1 计数（前沿触发）：



第 $i-1$ 位触发器状态从 $1 \rightarrow 0$ 时产生进位，应使第 i 位触发器状态变反（加 1）；

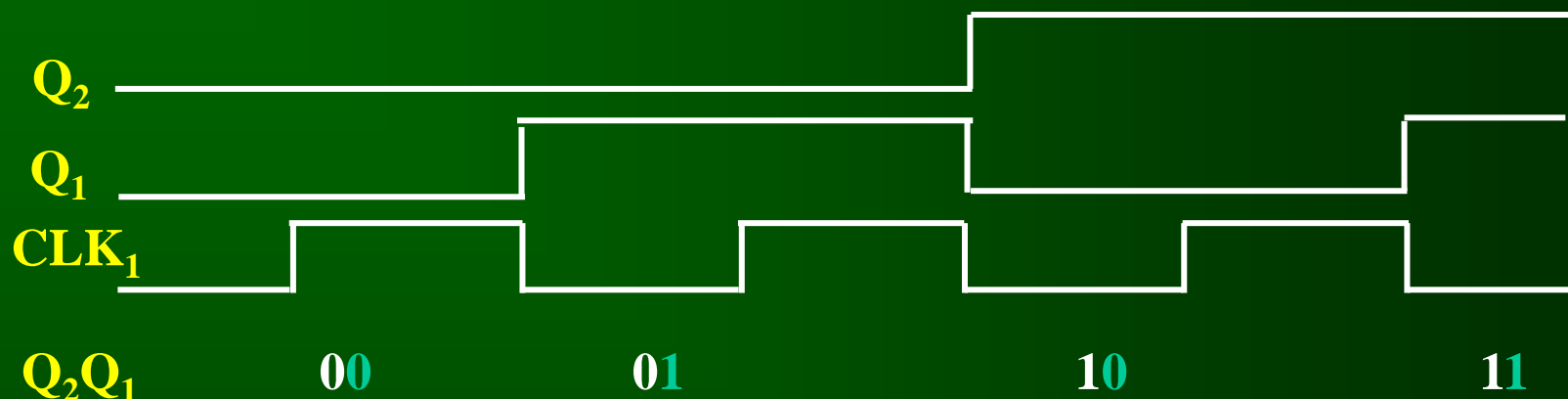
第 $i-1$ 位触发器状态从 $0 \rightarrow 1$ 时不产生进位，应使第 i 位触发器状态保持不变。

$Q_{i-1} \rightarrow CLK_i$ ：

前沿触发的触发器： $CLK_i = \overline{Q}_{i-1}$

最低位的触发器： $CLK_1 = CLK$
（外加计数脉冲）

两位加 1 计数（后沿触发）：



第 $i-1$ 位触发器状态从 $1 \rightarrow 0$ 时产生进位，应使第 i 位触发器状态变反（加 1）；

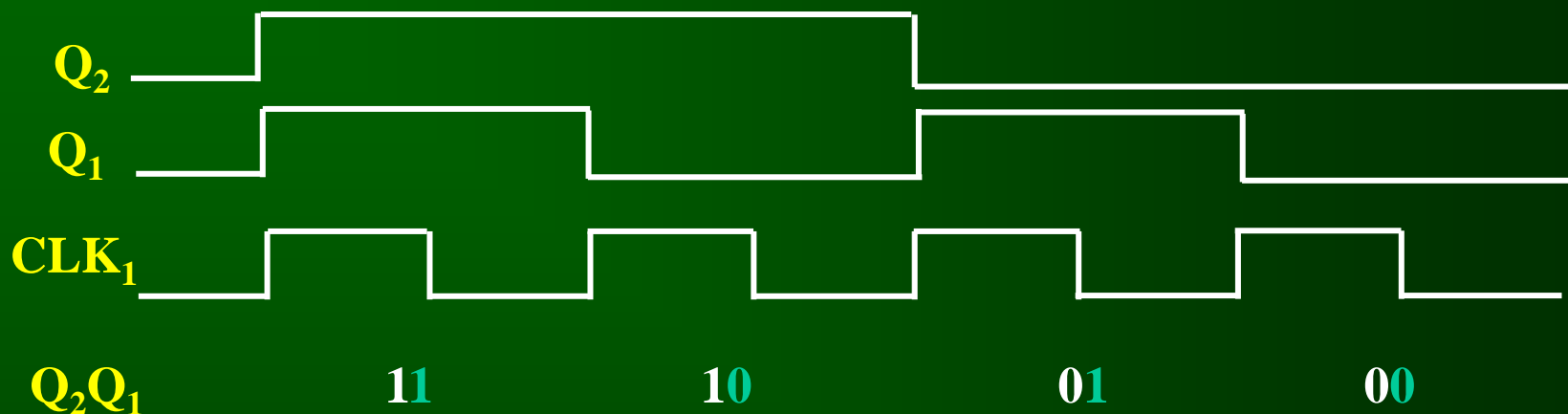
第 $i-1$ 位触发器状态从 $0 \rightarrow 1$ 时不产生进位，应使第 i 位触发器状态保持不变。

$Q_{i-1} \rightarrow \text{CLK}_i$ ：

后沿触发的触发器： $\text{CLK}_i = Q_{i-1}$

最低位的触发器： $\text{CLK}_1 = \text{CLK}$
（外加计数脉冲）

两位减 1 计数（前沿触发）：



第 $i-1$ 位触发器状态从 $0 \rightarrow 1$ 时产生借位，应使第 i 位触发器状态变反（减 1）；

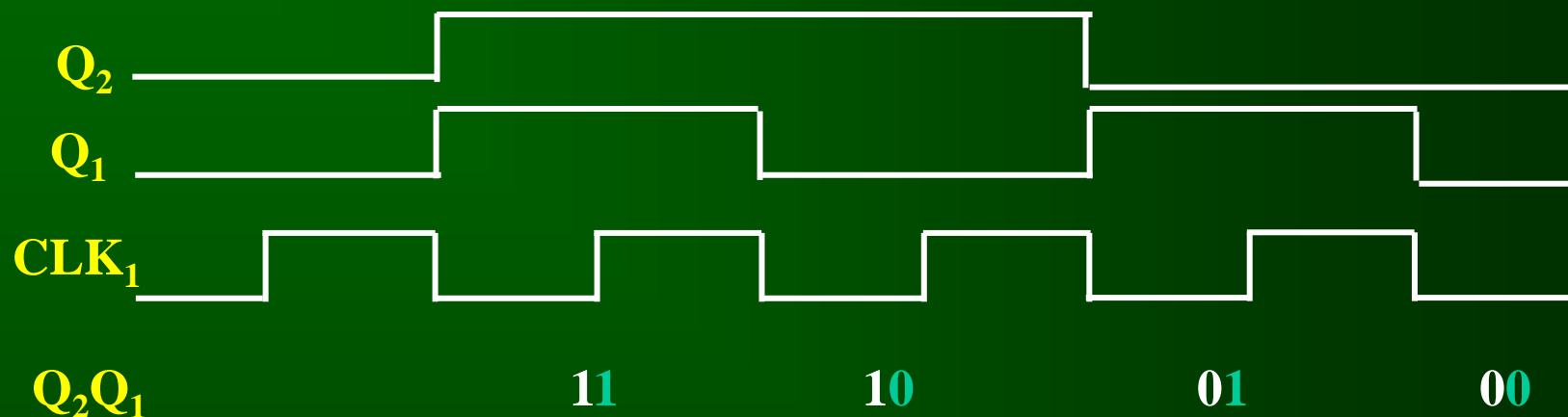
第 $i-1$ 位触发器状态从 $1 \rightarrow 0$ 时不产生借位，应使第 i 位触发器状态保持不变。

$Q_{i-1} \rightarrow CLK_i$:

前沿触发的触发器： $CLK_i = Q_{i-1}$

最低位的触发器： $CLK_1 = CLK$
(外加计数脉冲)

两位减 1 计数（后沿触发）：



第 $i-1$ 位触发器状态从 $0 \rightarrow 1$ 时产生借位，应使第 i 位触发器状态变反（减 1）；

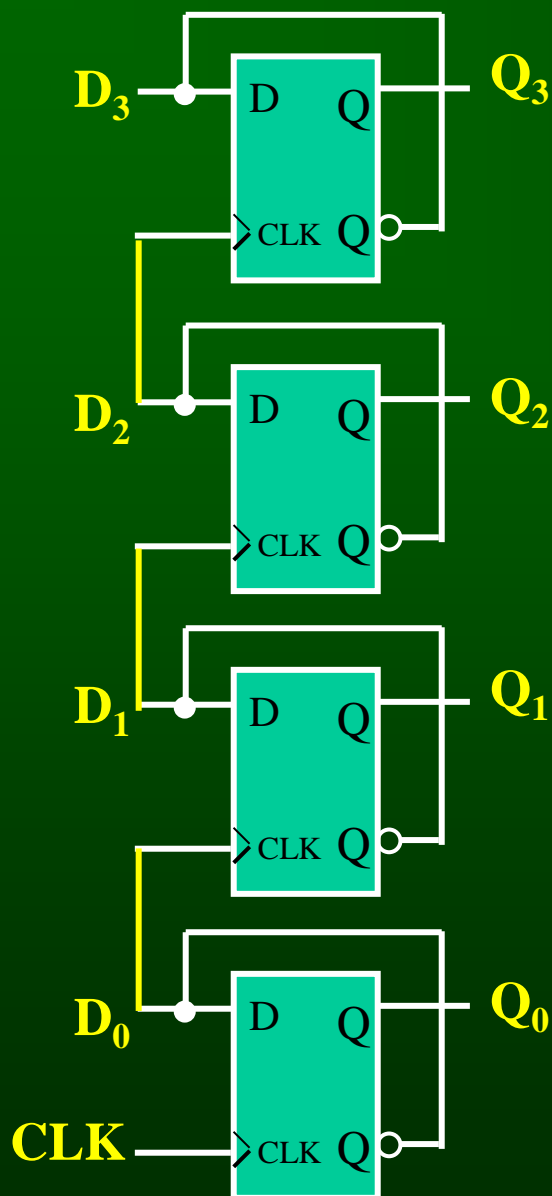
第 $i-1$ 位触发器状态从 $1 \rightarrow 0$ 时不产生借位，应使第 i 位触发器状态保持不变。

$Q_{i-1} \rightarrow CLK_i$:

后沿触发的触发器： $CLK_i = \overline{Q_{i-1}}$

最低位的触发器： $CLK_1 = CLK$
(外加计数脉冲)

串行计数器的连接结构



(2) 计数器中的每一位均可能产生进位或借位，因此每一位触发器的状态变化只同它低一位的触发器状态变化有关，即：

Q_i 的变化 \rightarrow CLK_{i+1} 的变化，
使有可能 CLK_{i+1} 的变化 \rightarrow Q_{i+1} 的变化

例 分析左图所示电路。

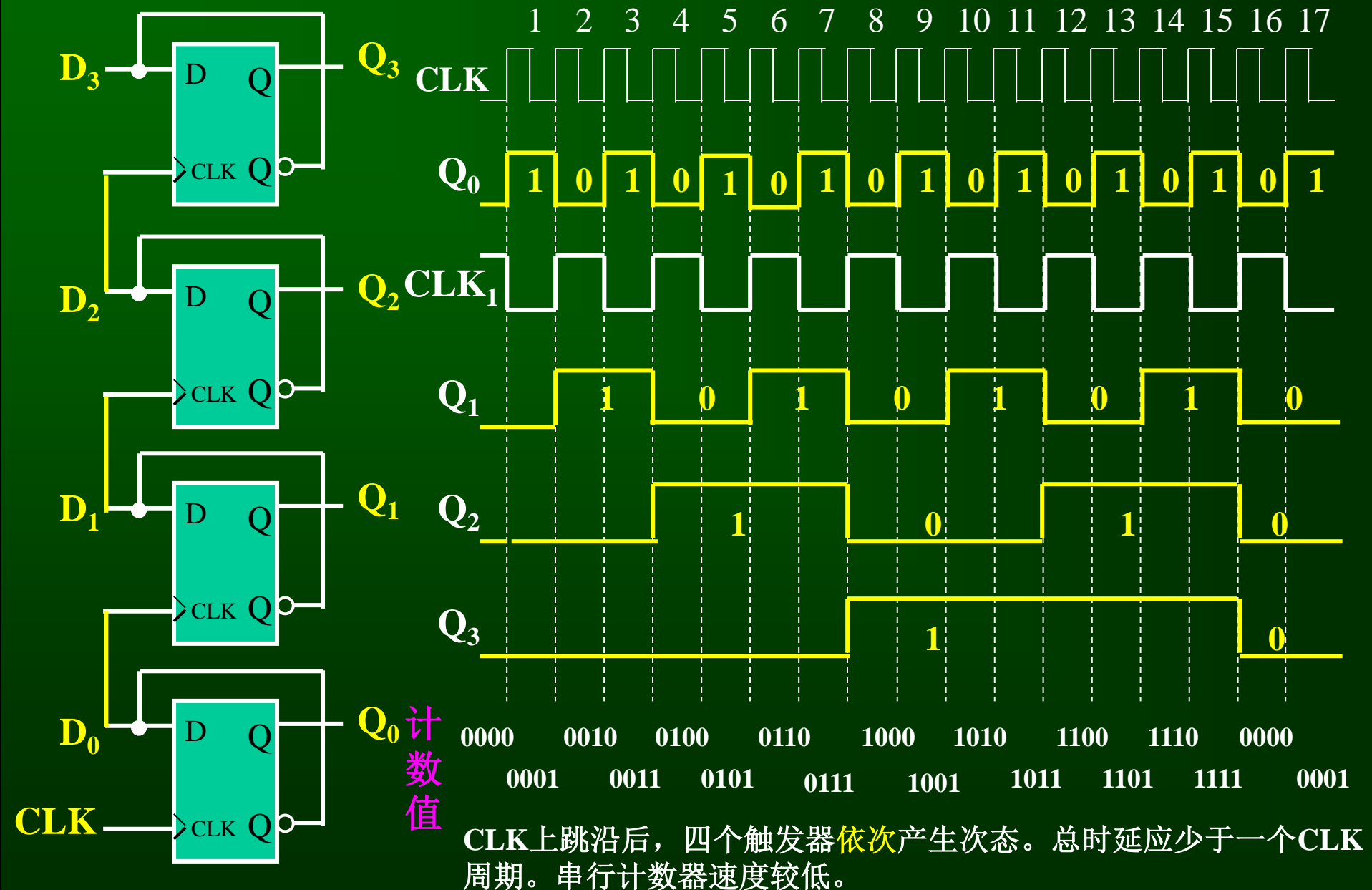
$$Q_3^{n+1} = \overline{Q_3}$$

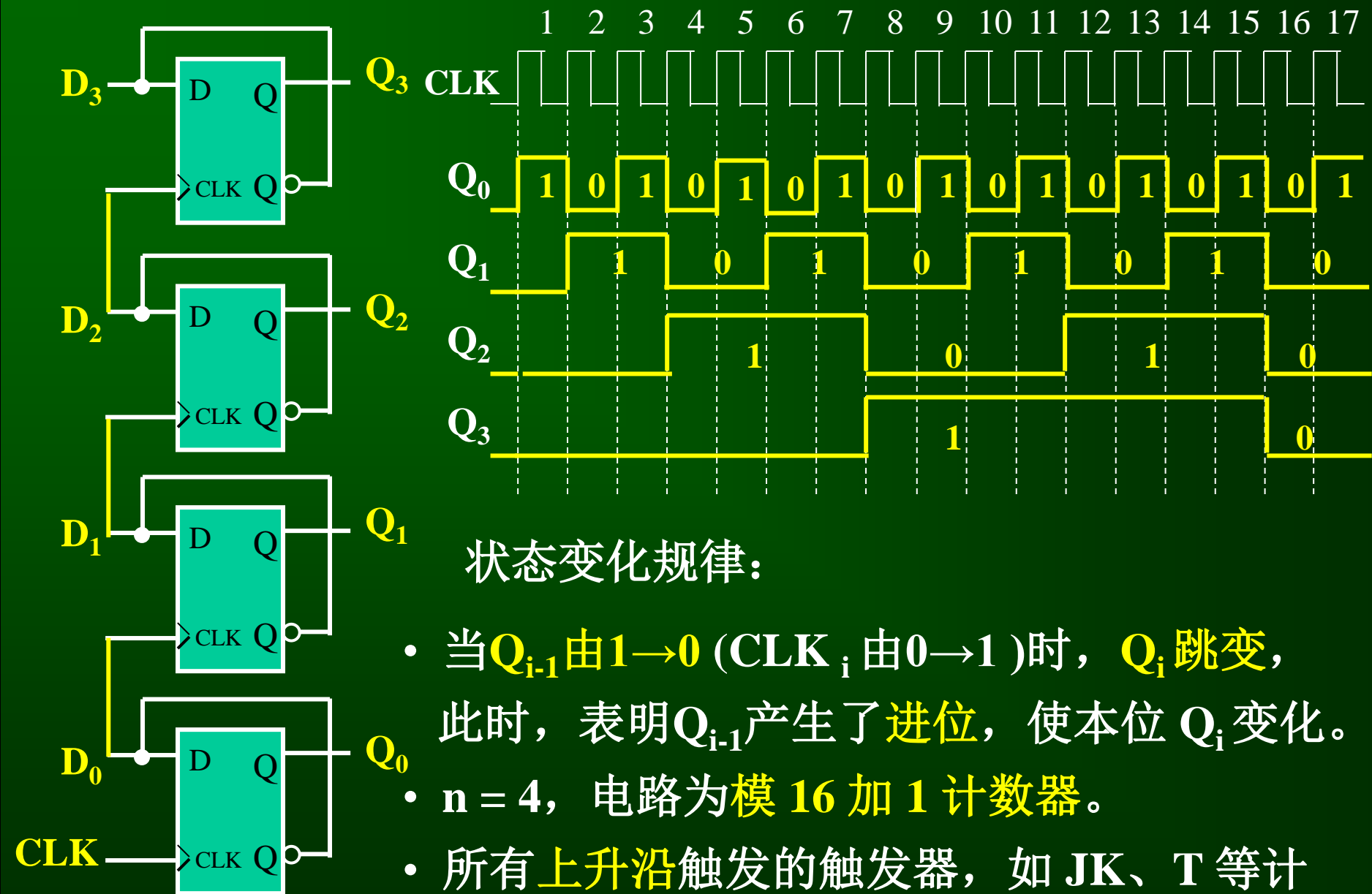
$$Q_1^{n+1} = \overline{Q_1}$$

$$Q_2^{n+1} = \overline{Q_2}$$

$$Q_0^{n+1} = \overline{Q_0}$$

设：初态 $Q_3 Q_2 Q_1 Q_0 = 0000$





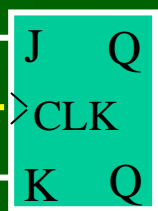
状态变化规律:

- 当 Q_{i-1} 由 1 \rightarrow 0 (CLK_i 由 0 \rightarrow 1) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。
- $n = 4$, 电路为模 16 加 1 计数器。
- 所有上升沿触发的触发器, 如 JK、T 等计数功能一样, $CLK_i = \overline{Q_{i-1}}$

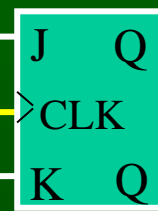
阅读

1

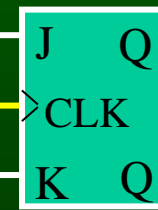
CLK



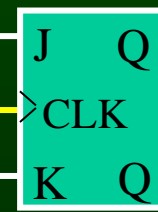
Q_0



Q_1

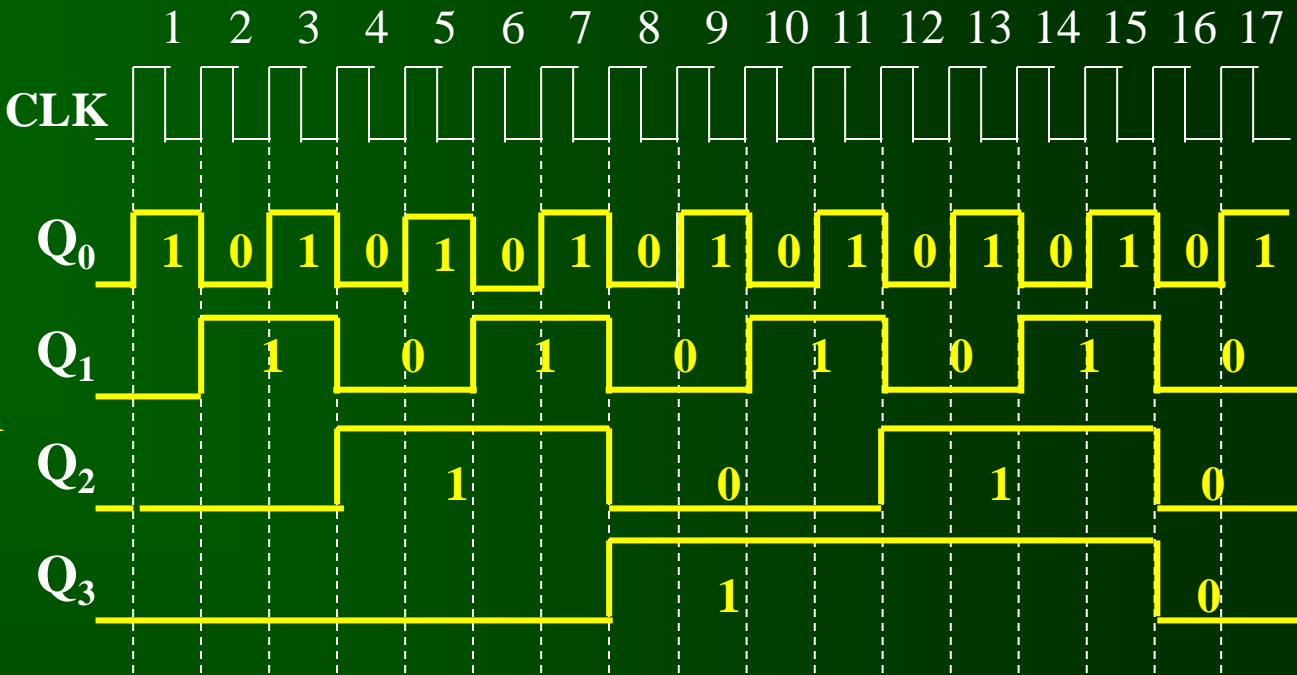


Q_2



Q_3

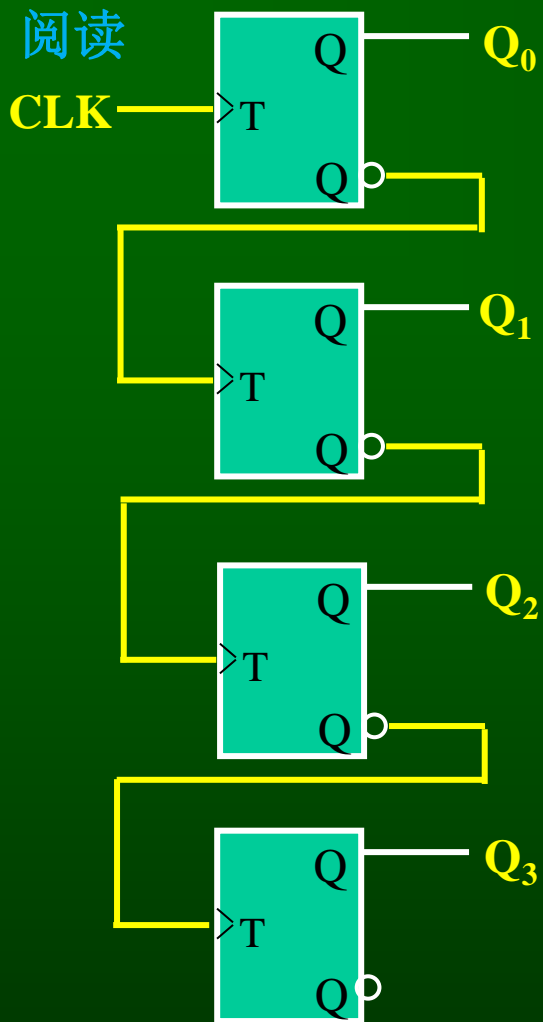
JK 触发器组成的
4 位加 1 计数器



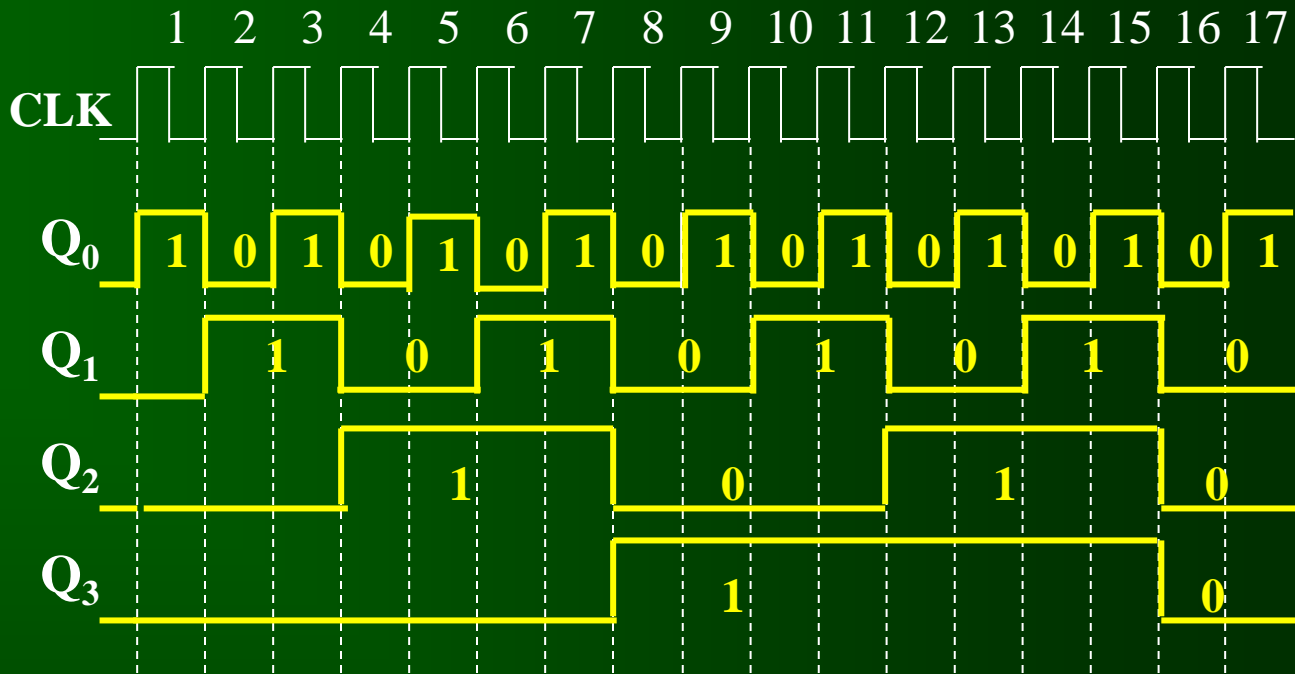
状态变化规律:

- 当 Q_{i-1} 由 1 \rightarrow 0 (CLK_i 由 0 \rightarrow 1) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。 $CLK_i = \overline{Q_{i-1}}$
- $n = 4$, 电路为模 16 加 1 计数器。

阅读

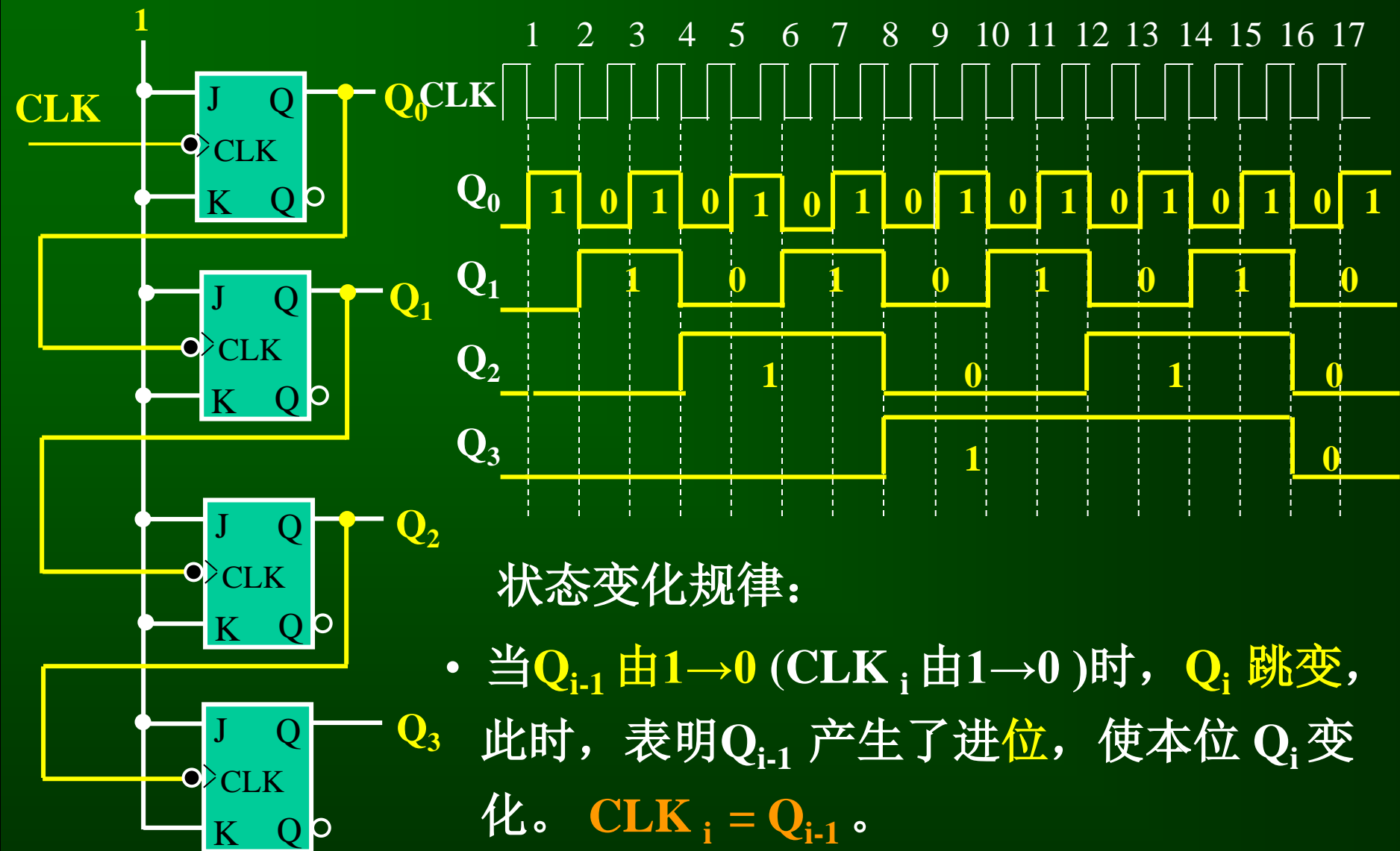


T 触发器组成的
4 位加 1 计数器



状态变化规律:

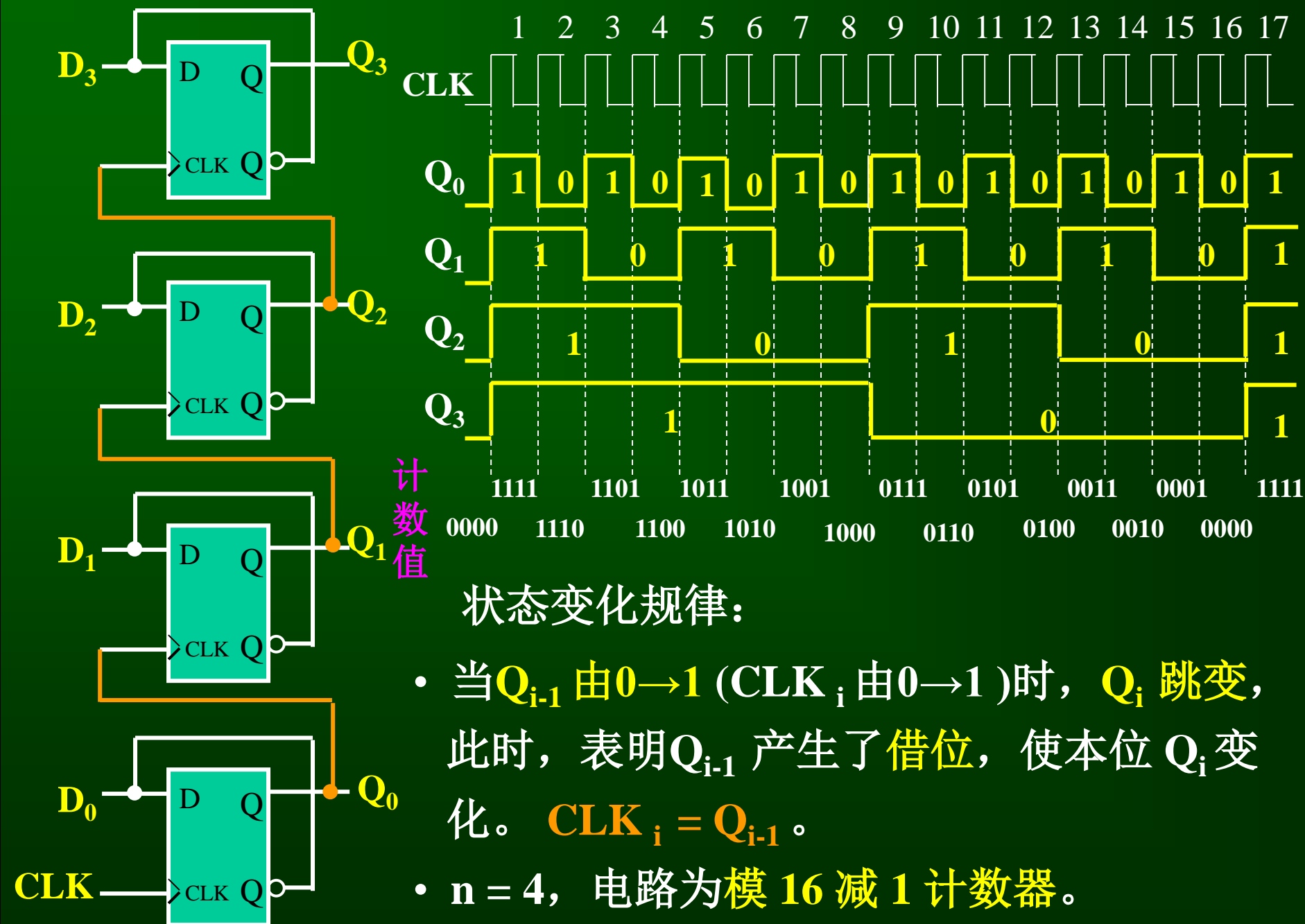
- 当 Q_{i-1} 由 1 \rightarrow 0 (CLK_i 由 0 \rightarrow 1) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。 $CLK_i = \overline{Q_{i-1}}$
- $n = 4$, 电路为模 16 加 1 计数器。

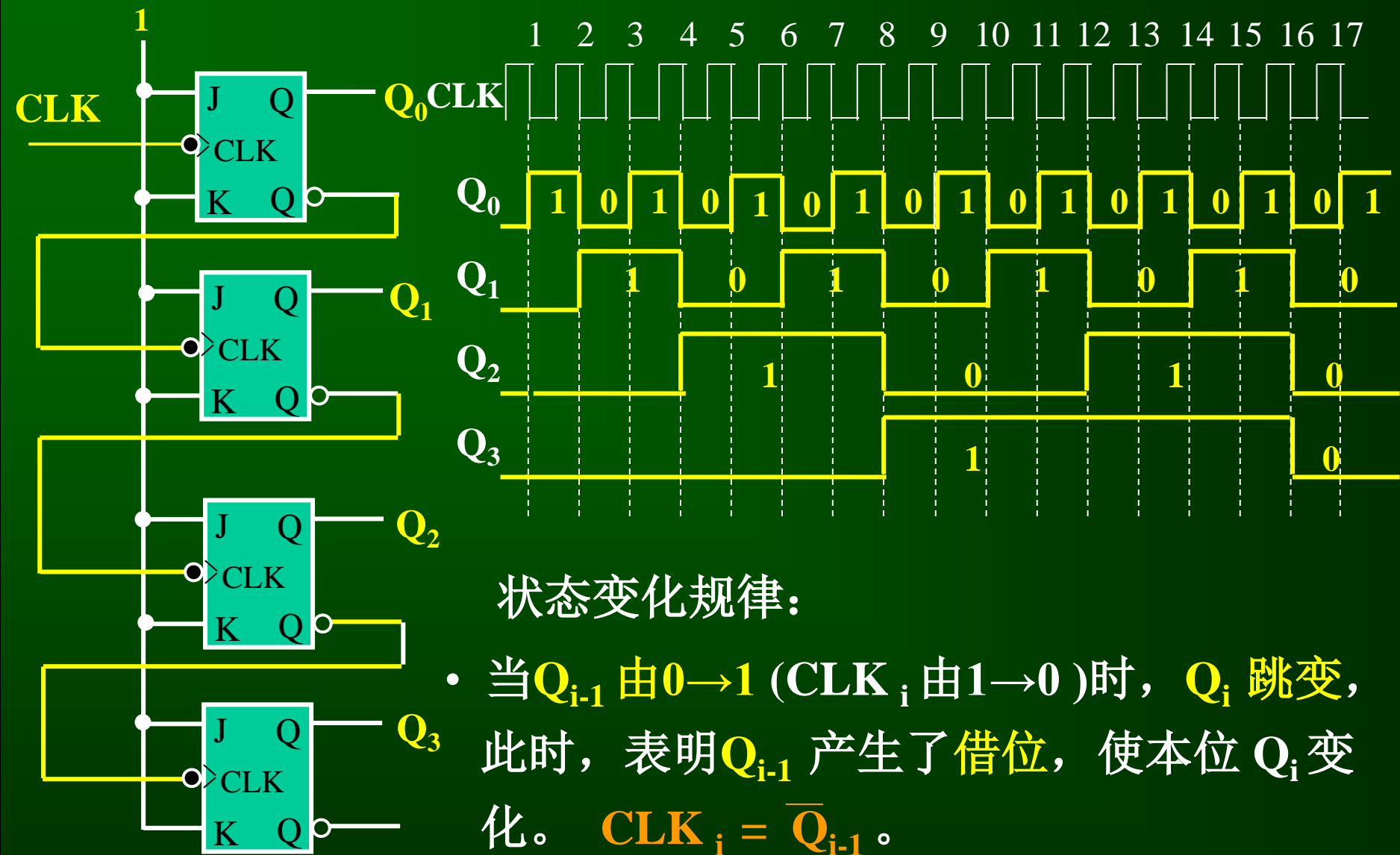


状态变化规律:

- 当 Q_{i-1} 由 1 \rightarrow 0 (CLK_i 由 1 \rightarrow 0) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。 $CLK_i = Q_{i-1}$ 。
- 所有下降沿触发的触发器计数功能一样。
- $n = 4$, 电路为模 16 加 1 计数器。

JK 触发器组成的
4 位加 1 计数器





JK 触发器组成的
4 位减 1 计数器

小结：二进制串行计数器连接规律

加1计数器：低一级的后沿触发高一级

前沿触发的触发器： $\text{CLK}_i = /Q_{i-1}$

后沿触发的触发器： $\text{CLK}_i = Q_{i-1}$

最低位的触发器： $\text{CLK}_1 = \text{CLK}$ (外加计数脉冲)

减1计数器：低一级的前沿触发高一级

前沿触发的触发器： $\text{CLK}_i = Q_{i-1}$

后沿触发的触发器： $\text{CLK}_i = /Q_{i-1}$

最低位的触发器： $\text{CLK}_1 = \text{CLK}$ (外加计数脉冲)

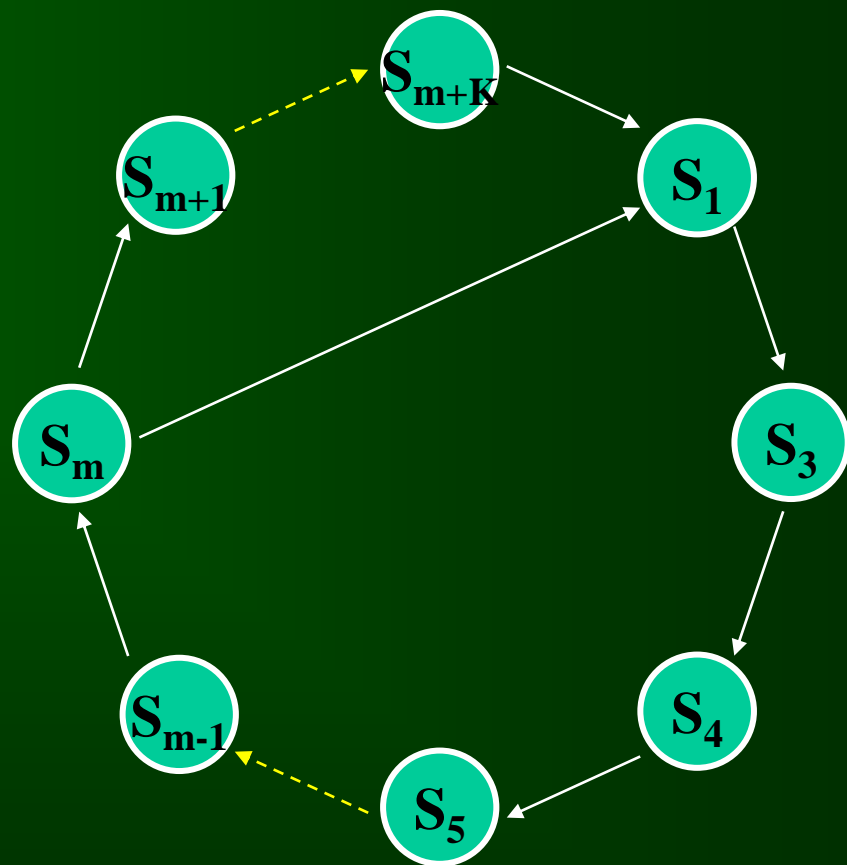
3. 用跳越的方法实现任意模数的计数器

跳越的概念：

在实际应用中，往往计数器的模 $m \neq 2^n$ ，为了能用模为 2^n 的二进制计数器实现模为 m 的计数器：

即 $2^{n-1} < m < 2^n$

电路从 2^n 个状态中跳越过 $K = 2^n - m$ 个状态，使计数器以 m 为周期循环，而在正常循环中不出现跳过的 K 个状态。



例1 设计一个 $m = 6$ 的计数器。

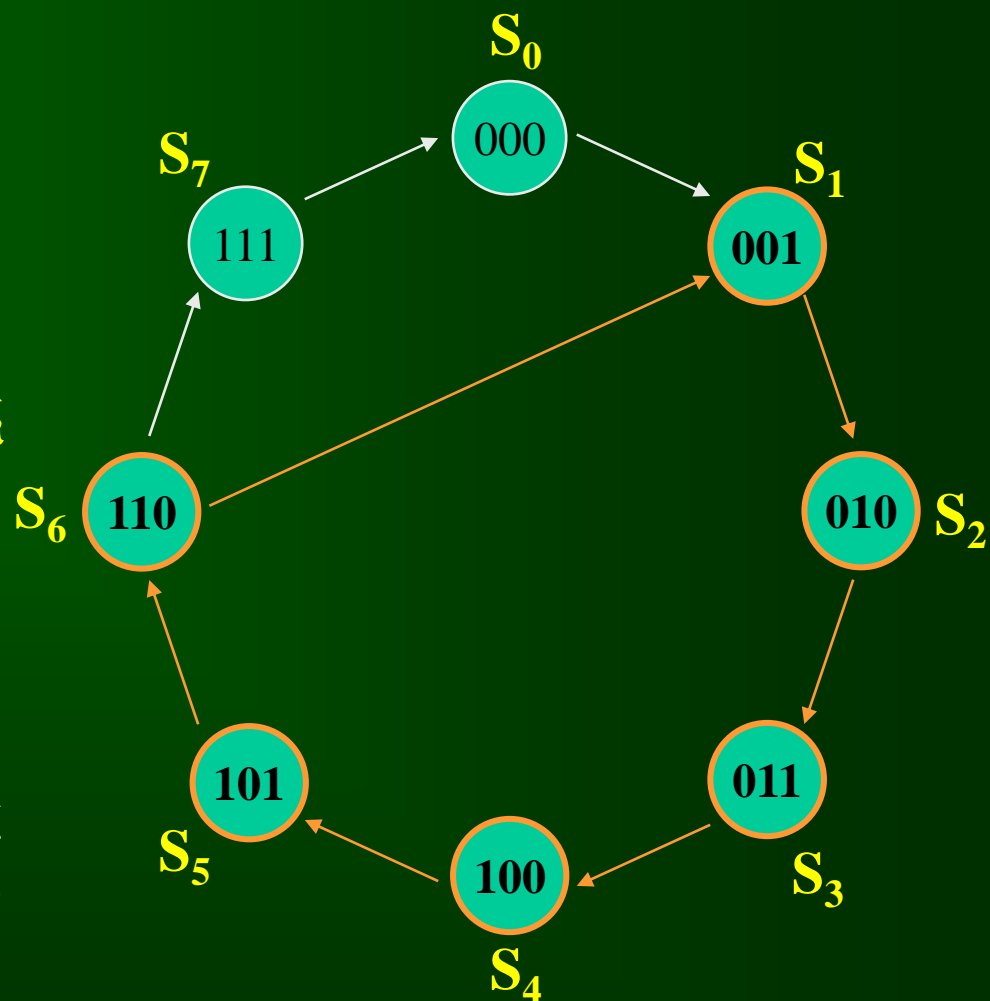
选择模 8 的二进制计数器
实现模 6 计数器，即：

$S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow S_4 \rightarrow S_5 \rightarrow S_6 \rightarrow S_1$

需要从 8 个状态中跳越过
 S_7 、 S_0 两个状态， S_6 为起跳
状态。

所谓多余状态

- 电路中要跳跃过的状态是在
正常工作循环中不出现的状
态，称为多余状态或无用状
态，如 S_7 、 S_0 。



从 8 个状态中跳越过 2 个状态
只用其中 6 个状态

多余状态的处理

阅读

- 逻辑电路加电时，初始状态是一个随机状态。如果初始状态是无用状态，则经过有限节拍后系统自行进入有用状态，并在有用状态中循环，则称这种电路具有**自恢复功能**。
- 随机出现的**无用状态**应当经过有限节拍后自动进入**有用状态**(也称**有效状态**)，不允许停在无用状态或在无用状态中循环（**挂起**）。
- 若出现挂起现象，为了解挂，通常采用的措施是：

① 从动式起动电路

使电路在开始工作时处于有用状态。通过**人工按键**置位/复位、或设计一个**电源启动**的能输出强置位信号的电路、或由**其他电路**提供初始化信号。

② 主动式电路

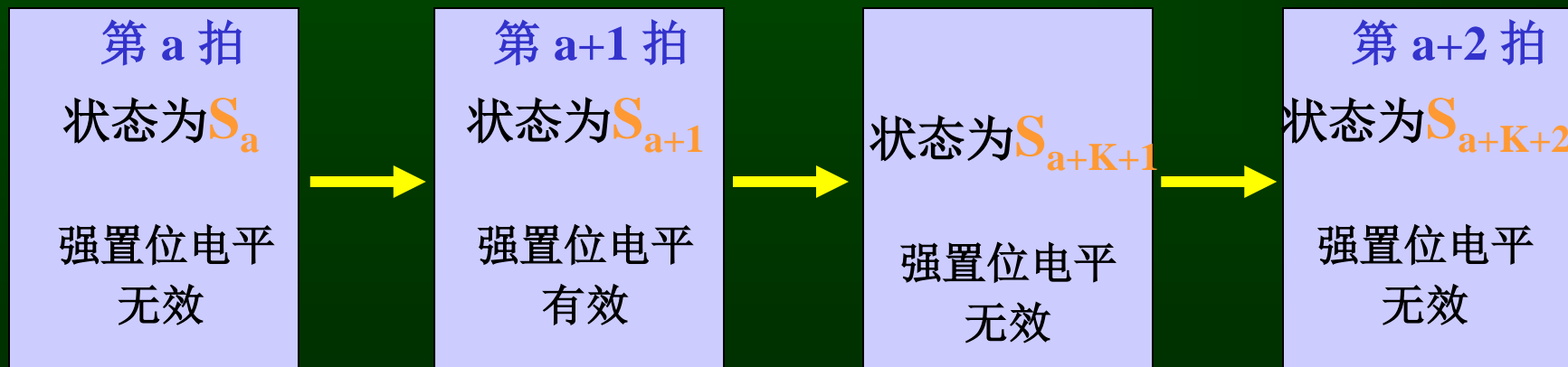
由状态测试电路识别计数器是否处于无用状态，若是，则该电路输出一个有效电平，强置使计数器进入或创造条件使计数器进入有用状态。

1) 强置位计数器 (*Resetting*)

设计电路时，先设计一个二进制计数器，然后再加入强置位电路。假设起跳状态为 S_a ，则有：

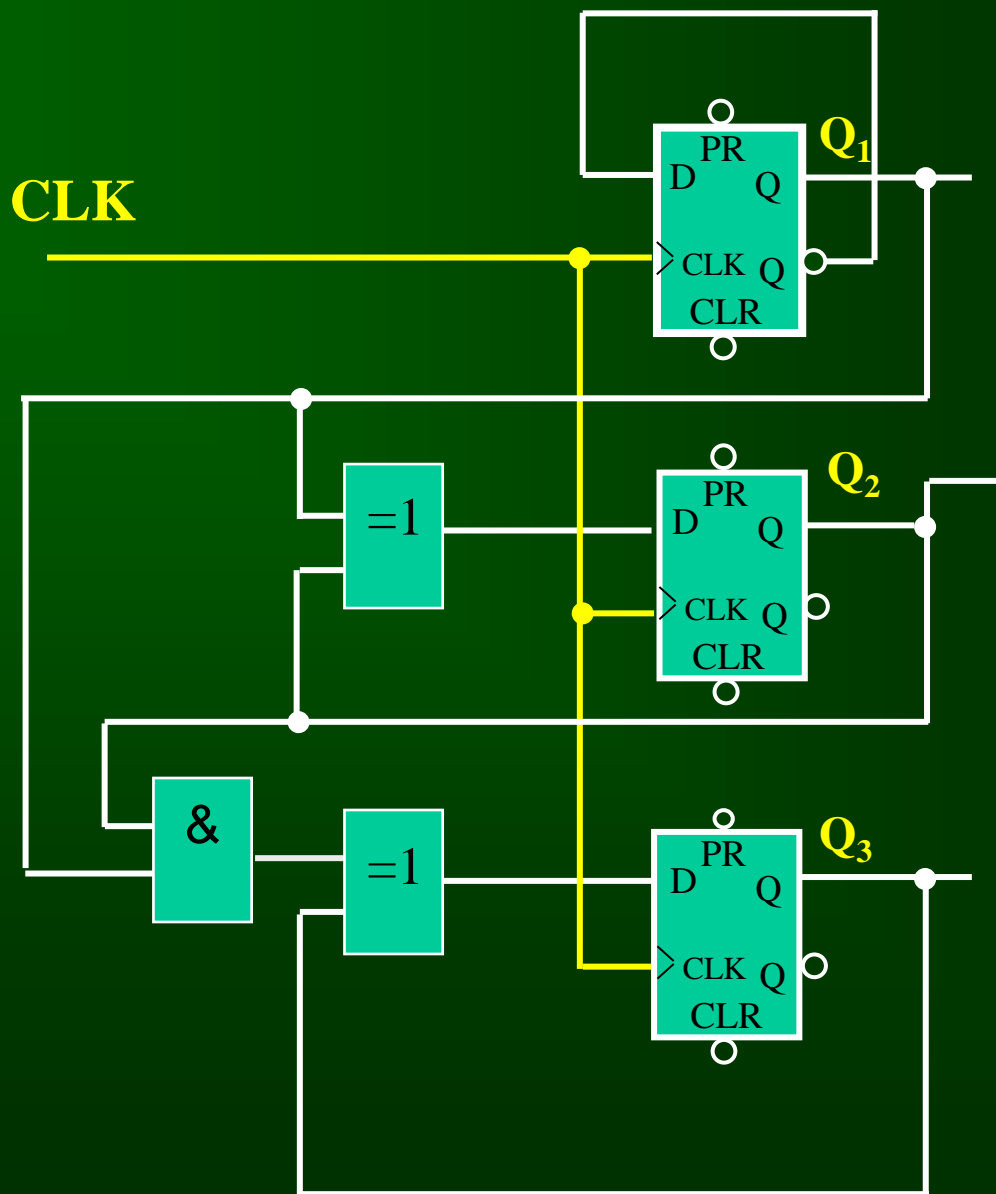
- 在没有出现 S_{a+1} 时，不影响二进制计数器的状态转换规律，强置位的逻辑电平为无效。
- 在出现 S_{a+1} 时，强置位电平有效，从而对预定的某些位触发器实行预定的强置置位或复位。

计数器的跳跃过程如下：



例 分析图示的六进制计数器。

该电路为由三个
D 触发器构成的
模8加1同步计数
器。



该电路为由三个
D 触发器构成的
模8加1同步计数
器。

考虑门 G_C 及信
号 G_{CO} 的作用：

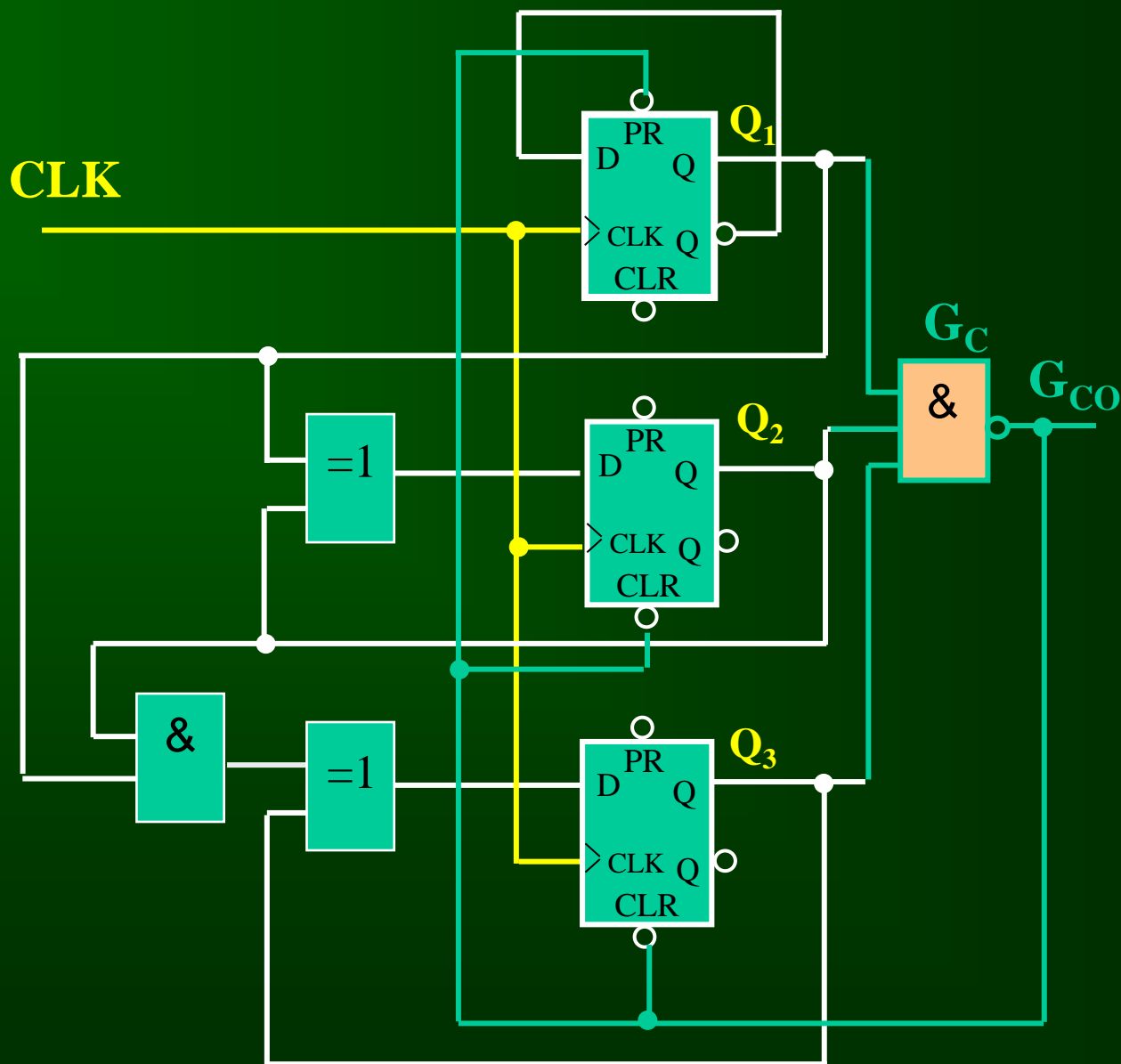
$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$

/PR和**/CLR**是强制
置位，异步置位

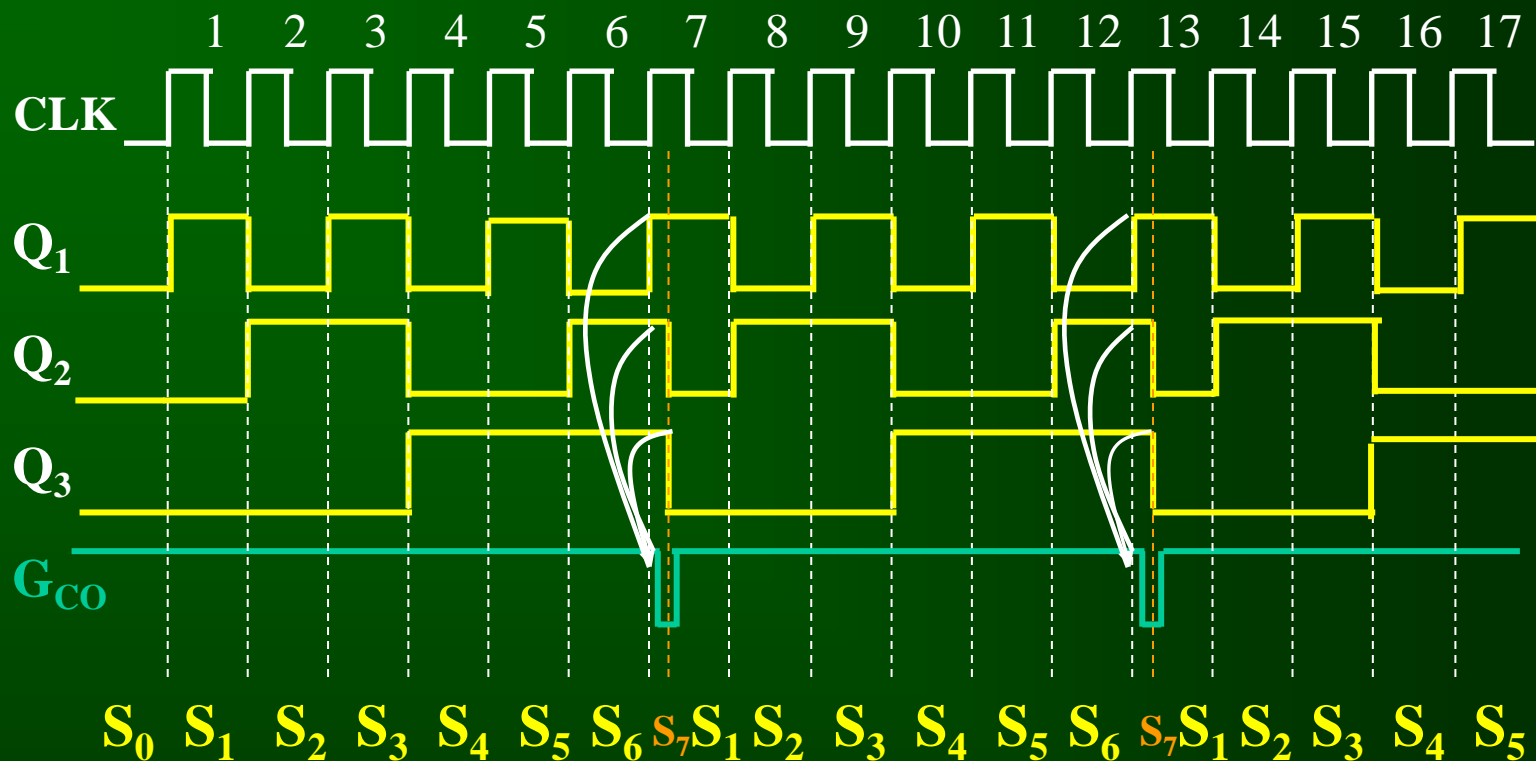
当电路状态为
 S_7 (111) 时，

$G_{CO} = 0 \rightarrow S_1(001)$

时间图参见下页。



六进制计数器的时间图 初态 $Q_3 Q_2 Q_1 = S_0 (000)$



$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$

电路在时钟脉冲序列 **CLK**作用下，将在 S_1 至 S_6 中循环，电路的起跳状态为 $S_6(110)$ ，跳过的状态为 S_7 、 S_0 。

强置位计数器的特点

- (1) 强置位法适用于同步(*Synchronously*)及异步(*Asynchronously*)电路。
- (2) 异步式强置置位或复位。
- (3) 有一个短暂的状态 $S_7(111)$ ，使 $S_1(001)$ 变窄。

2)预置位计数器

预置位计数器是在起跳状态 S_a （而不是 S_{a+1} ）出现以后就预先做好跳越的准备，使之在下一拍时钟有效沿到达时通过预置有关的触发器数据端输入，使计数器立即进入 S_{a+K+1} 状态。这样就可以避免强置位电路的缺点。

预置位法适用于同步(Synchronously)电路。

在设计电路时，先设计一个二进制计数器，然后再加入预置位电路。假设起跳状态为 S_a ，则有：

- 在没有出现 S_a 时，不影响二进制计数器的状态转换规律，预置位电平无效。
- 在出现 S_a 时，预置位电平有效，使预定的某些位触发器数据端加上预置数(1或0)，则在下一拍时钟有效沿到达时，该触发器处于 S_{a+K+1} 的对应位中的状态。



预置位电平的确定：

可逐位比较计数器中各触发器在正常计数状态和跳越后的状态中的差异，有些不需改变，有些则要预置1或0。

设预置位电平为 M_Y （高电平），则

进行1的预置时有： $D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1) \oplus Q_i + M_Y$

进行0的预置时有： $D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1) \oplus Q_i \cdot \overline{M_Y}$

例 用预置位法设计六进制计数器。

用三个 **D** 触发器 Q_3 、 Q_2 、 Q_1 构成

起跳状态: $S_a = S_5 (101)$

预置位电路: $M_Y = Q_3 Q_1$

$$\overline{M}_Y = \overline{Q_3} \overline{Q_1}$$

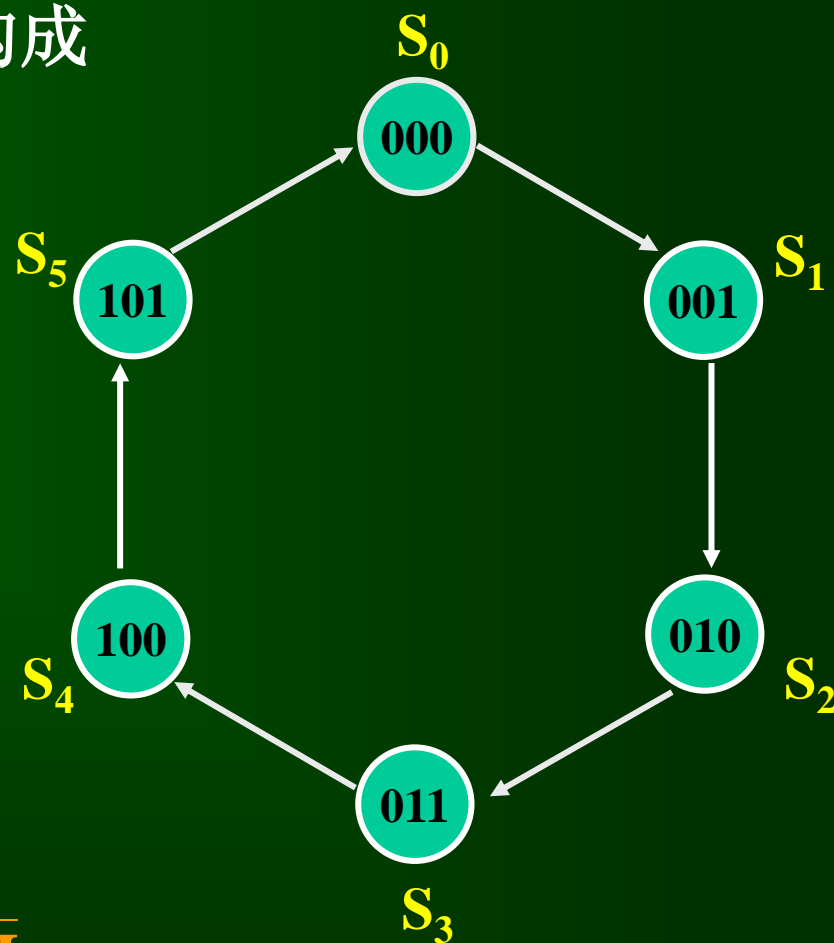
由于 $S_{a+1} = S_6 (110)$

$$S_{a+K+1} = S_0 (000)$$

因此要对 D_3 、 D_2 进行预置:

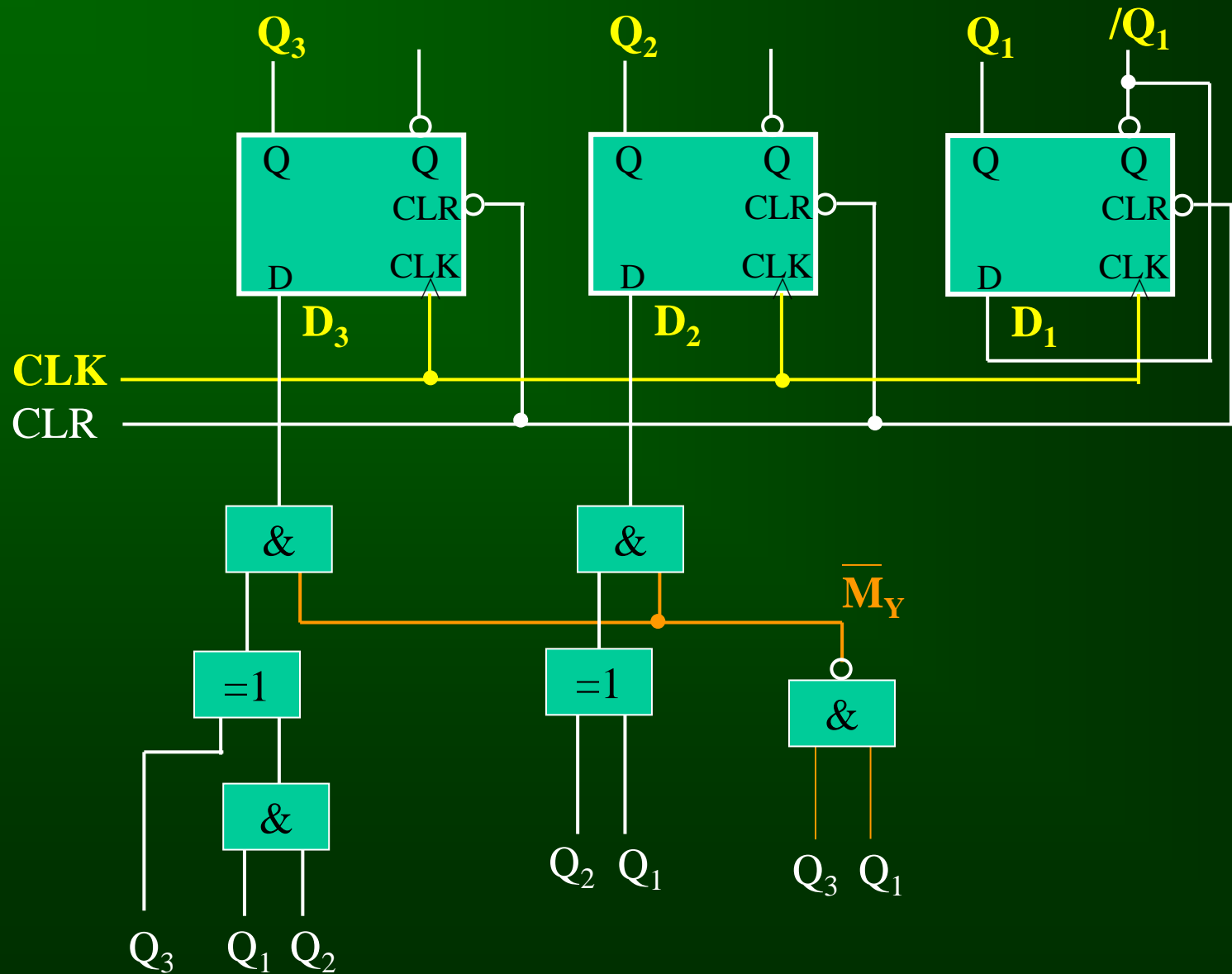
$$D_2 = (Q_1 \oplus Q_2) \cdot \overline{M}_Y$$

$$D_3 = ((Q_2 \oplus Q_1) \oplus Q_3) \cdot \overline{M}_Y$$

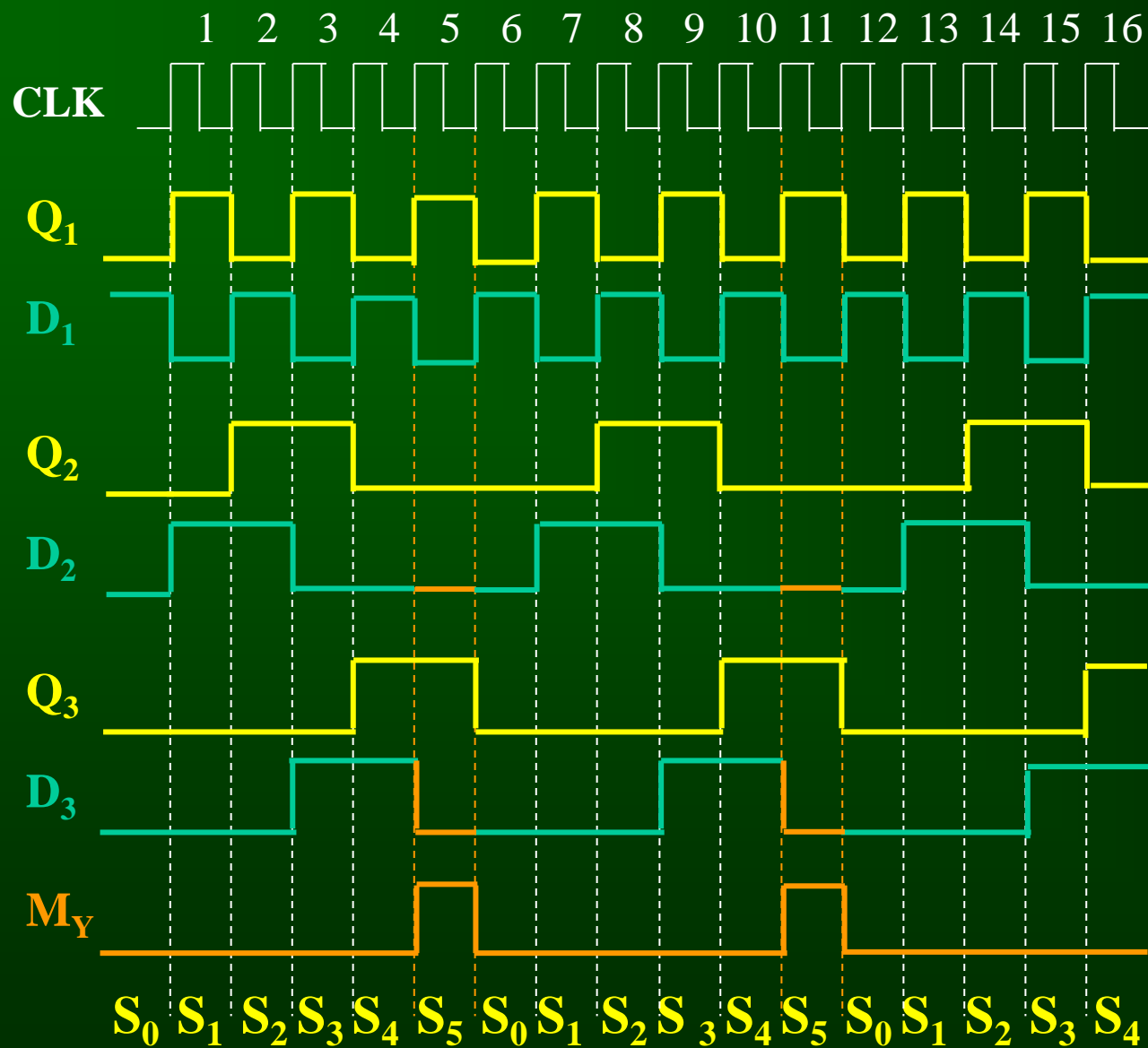


六进制计数器状态图

用 D 触发器实现的预置位计数器



用 D 触发器实现的预置位计数器的时间图



➤ 修正式计数器

修正式计数器类似于预置位计数器，区别在于预置位电路中，二进制计数器电路的连接方式完整地保持着，而修正式计数器中对二进制计数器的某些位的输入端电路连接作适当修正，使电路本身就具有实现跳越的功能。

设计方法类似于预置位计数器，只是在完成了预置位计数器之后，**继续简化触发器置数输入端的表达式**，按置数输入端的逻辑表达式，重新连接各触发器，从而得到修正式计数器。

例 用修正式方法设计的模 6 计数器。

由预置位法得到：

$$M_Y = Q_3 Q_1$$

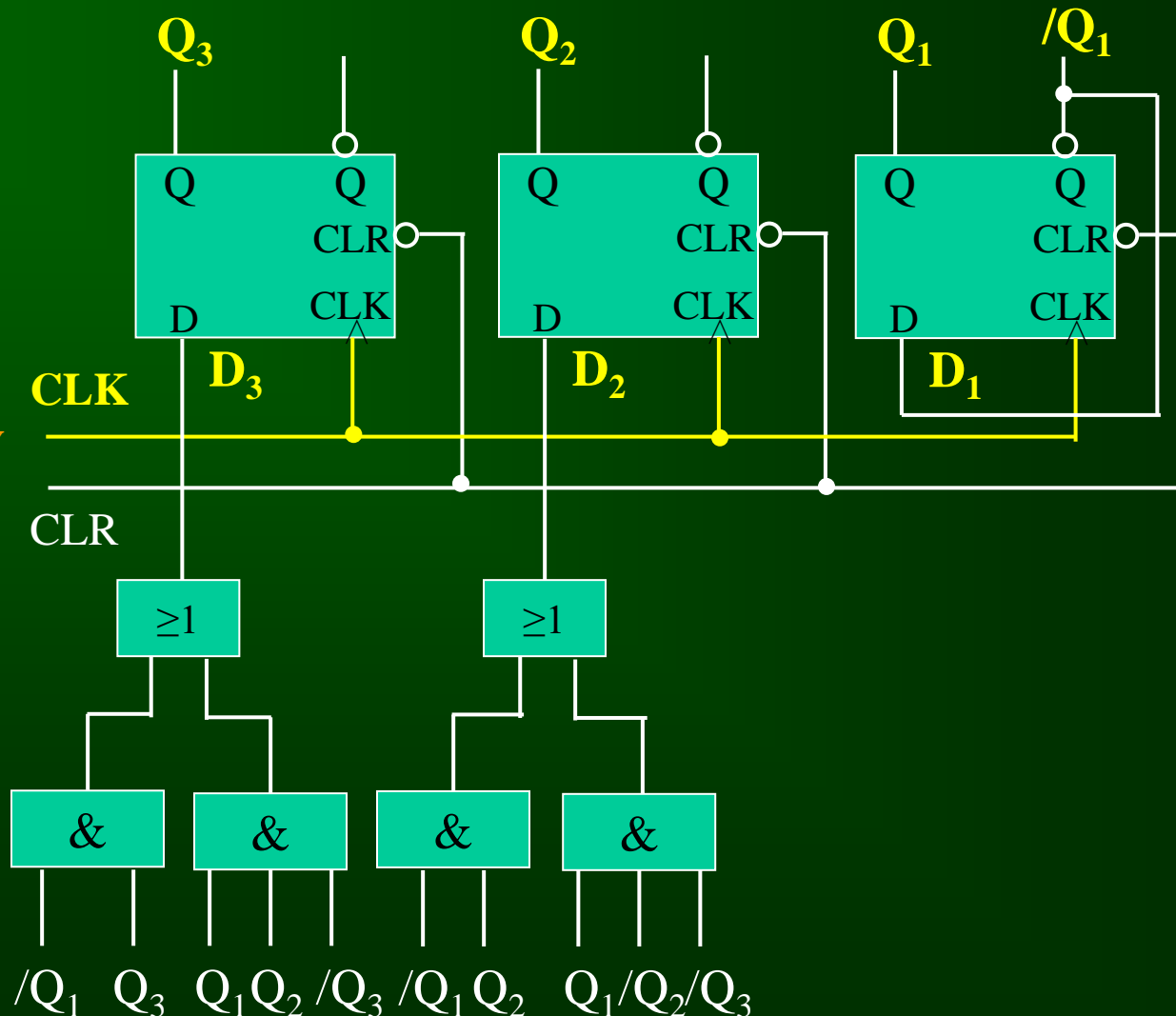
$$D_1 = \overline{Q_1}$$

$$D_2 = (Q_1 \oplus Q_2) \cdot \overline{M_Y}$$

$$= \overline{Q_1} Q_2 + Q_1 \overline{Q_2} \overline{Q_3}$$

$$D_3 = ((Q_2 Q_1) \oplus Q_3) \cdot \overline{M_Y}$$

$$= \overline{Q_1} Q_3 + Q_1 Q_2 \overline{Q_3}$$



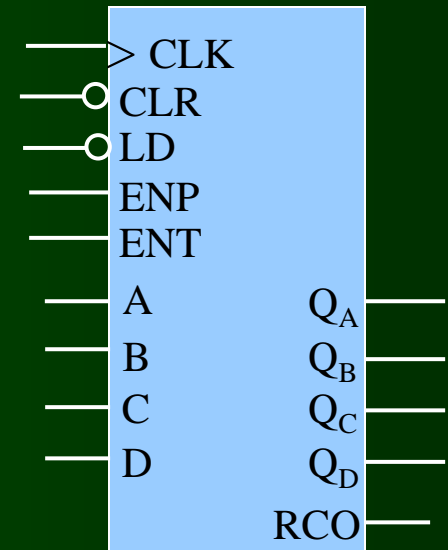
4. MSI 计数器及应用 *MSI Counters and Applications*

1) 74LS163

74LS163是一个四位同步二进制计数器，

- 由 **D**触发器组成的，输出在时钟**CLK**的上升沿改变。
- 具有加载(**LD**)和清除(**CLR**)输入端：
 - 当/**CLR**输入有效，输出为0；
 - 当/**LD**有效而 /**CLR**无效，输入**A,B,C,D**被送到输出端；
 - 如果 /**CLR**和/**LD**都无效，而使能输入端**ENP**、**ENT**都有效，74LS163进行加1计数。
- RCO**信号是最高位的进位：当计数位都是1且使能(**ENT**)有效，则**RCO**为1，这一信号用于多个74LS163级联。
- /**CLR**是同步清零端，它仅在时钟脉冲作用下，才能使各触发器清零。

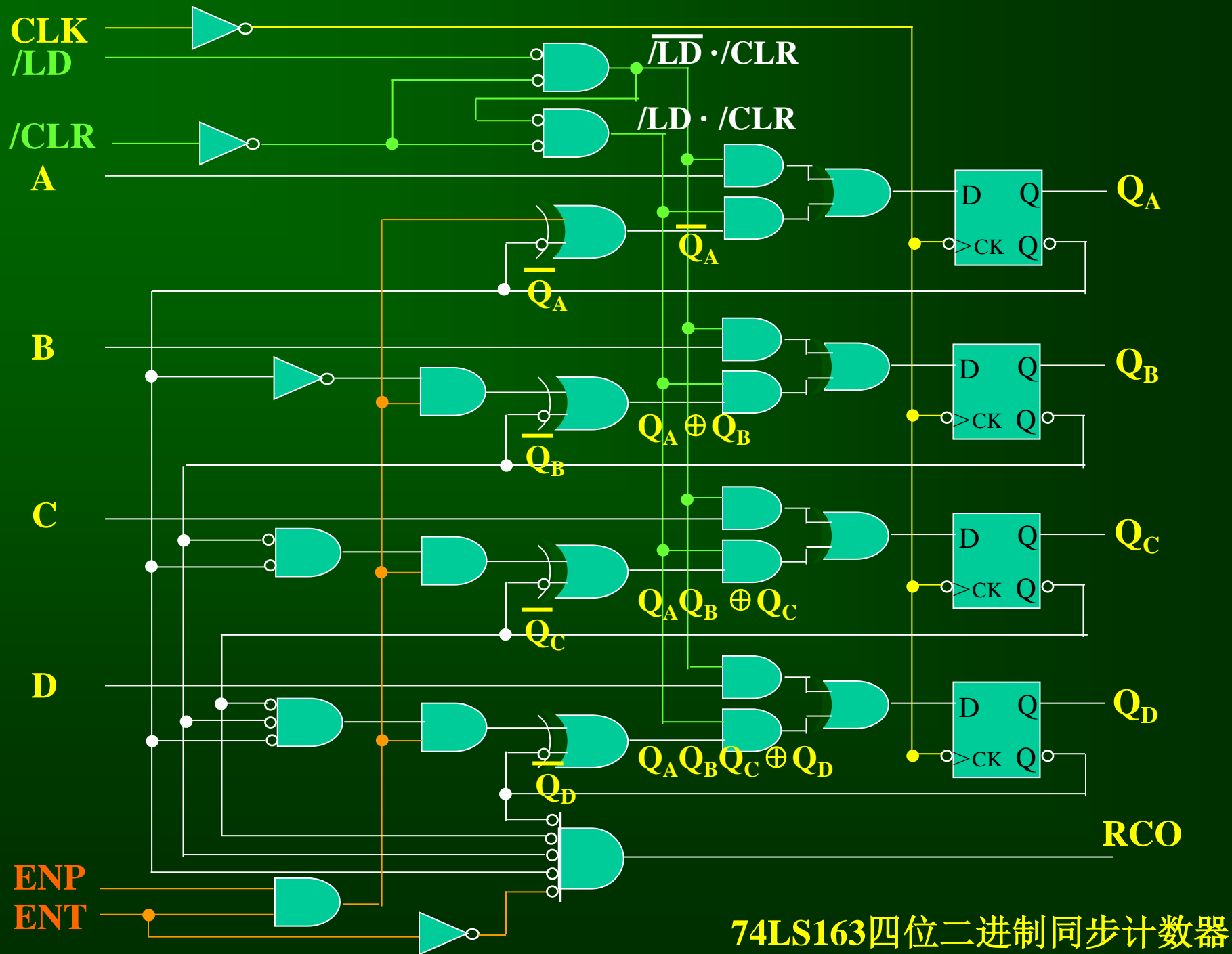
74LS163



$$RCO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ENT$$

74LS163 4位二进制计数器状态表

输 入				现 态				次 态				
/CLR	/LD	ENT	ENP	Q _D	Q _C	Q _B	Q _A	Q _D ⁿ⁺¹	Q _C ⁿ⁺¹	Q _B ⁿ⁺¹	Q _A ⁿ⁺¹	
0	×	×	×	×	×	×	×	0	0	0	0	清零
1	0	×	×	×	×	×	×	D	C	B	A	置数
1	1	0	×	×	×	×	×	Q _D	Q _C	Q _B	Q _A	保持
1	1	×	0	×	×	×	×	Q _D	Q _C	Q _B	Q _A	
1	1	1	1	0	0	0	0	0	0	0	1	计数
.				.				.			.	
.				.				.			.	
.				.				.			.	
1	1	1	1	1	1	1	0	1	1	1	1	
1	1	1	1	1	1	1	1	0	0	0	0	



2) 其它类型MSI计数器

74LS161类似于74LS163，74LS161的 /CLR为异步清零端，可用强置位法实现任意进制计数器。

74LS160和**74LS162**分别类似于74LS161和74LS163，但它们是**模10**计数器：

$$RCO = Q_A \cdot \overline{Q_B} \cdot \overline{Q_C} \cdot Q_D \cdot ENT$$

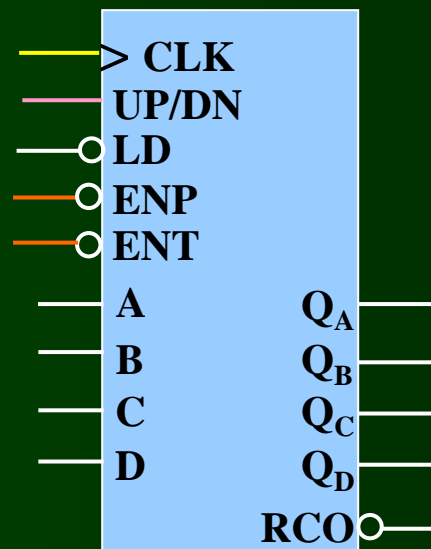
74LS169也类似于74LS163，但输出位/RCO和使能输入 /ENP、 /ENT都是低有效。另一个更重要的不同之处是：**74LS169**是一个可逆计数器，输入信号 **UP/DN** 的值决定是**加1**计数还是**减1**计数。

UP/DN=1，加1计数，其 /RCO在输出数据端全为1时有效；

UP/DN=0，减1计数，其 /RCO在输出数据端全为0时有效。

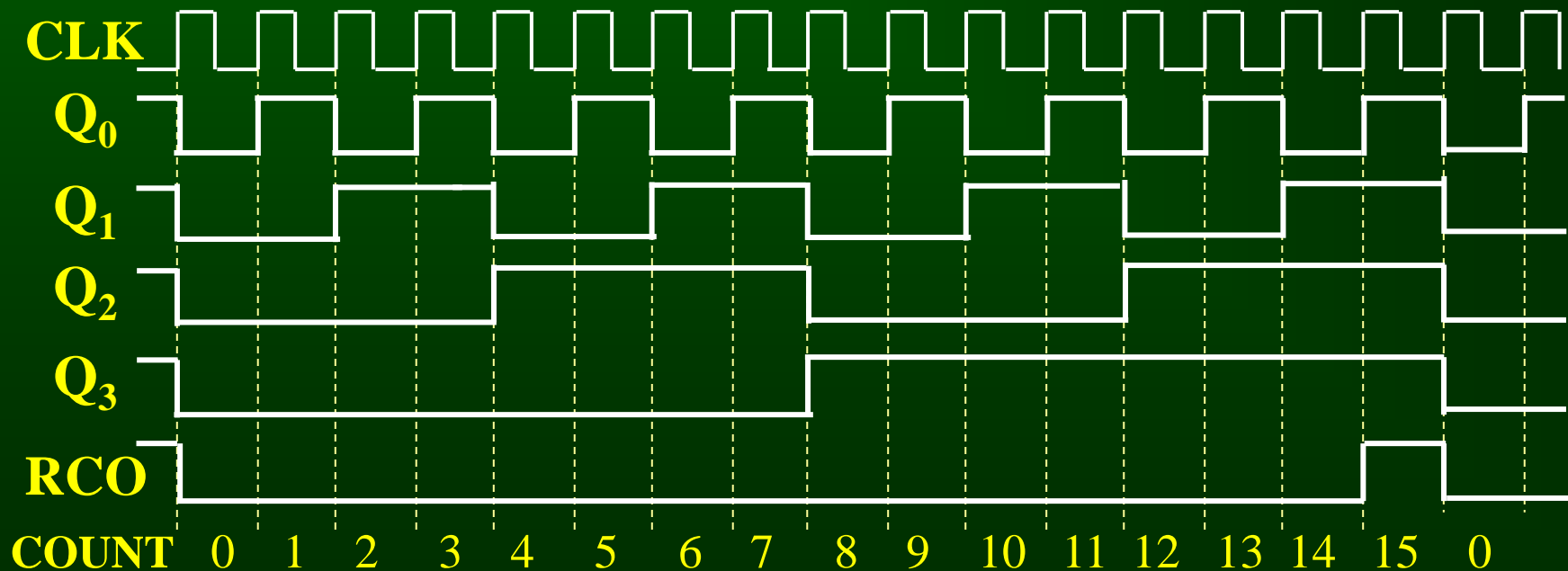
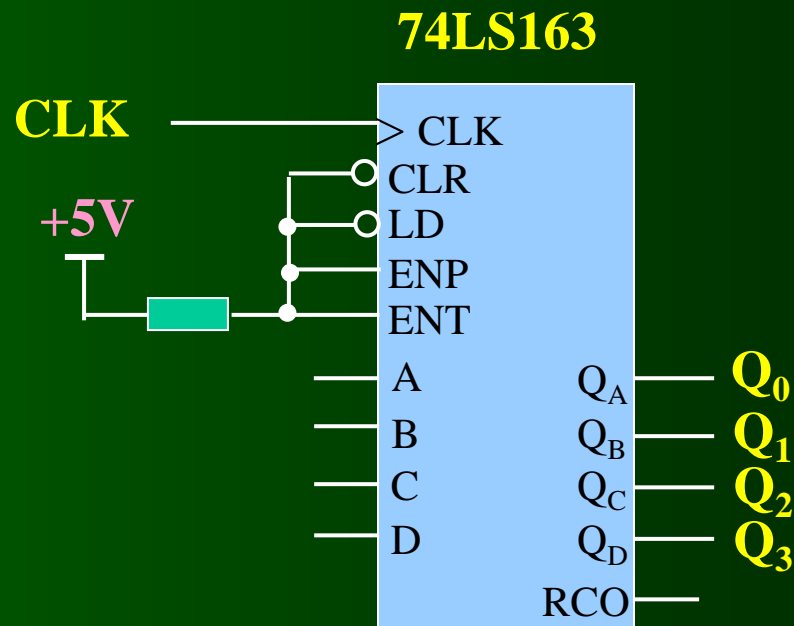
$$\overline{RCO} = Q_A \cdot Q_B \cdot Q_C \cdot Q_D \cdot \overline{ENT} \cdot UP/DN + \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} \cdot \overline{Q_D} \cdot \overline{ENT} \cdot \overline{UP/DN}$$

74LS169



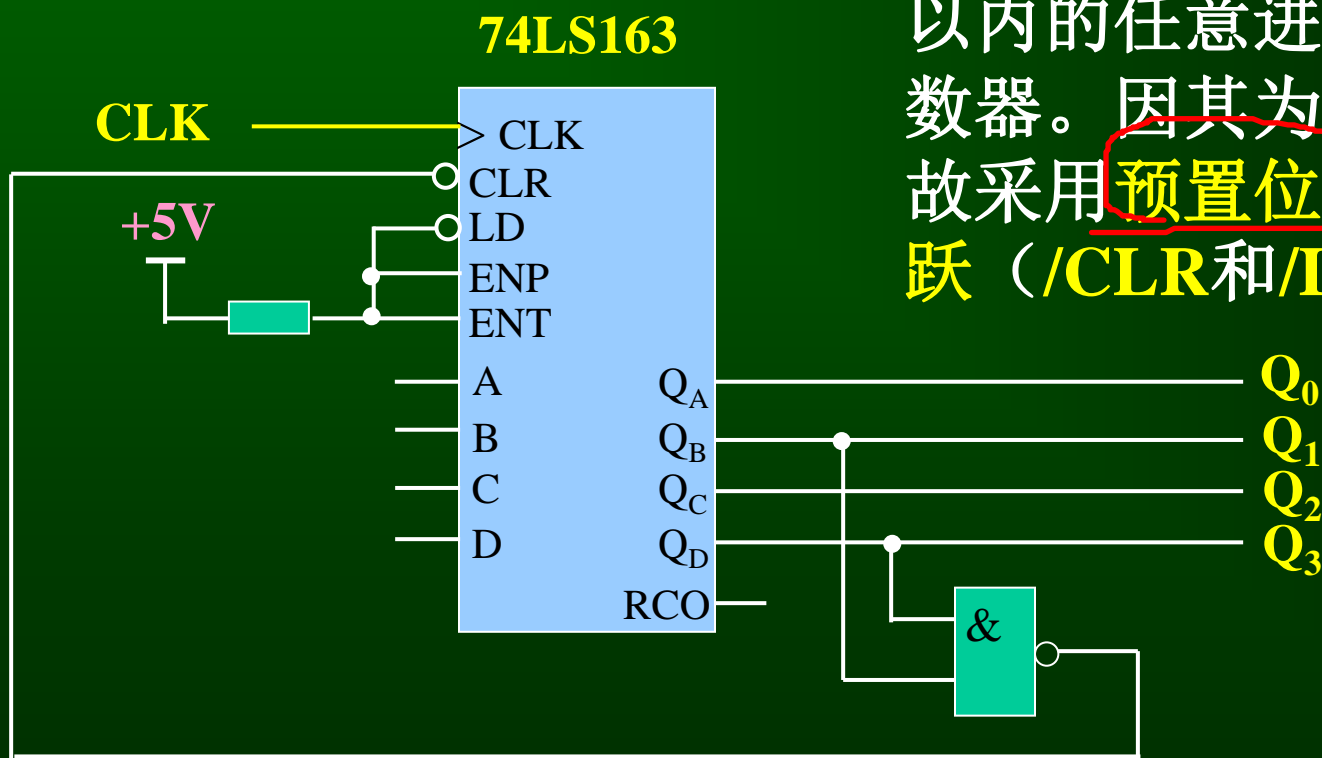
3)74LS163应用

① 用74LS163实现分频器



② 用74LS163实现计数值为0,1,...,10 的模11计数器。

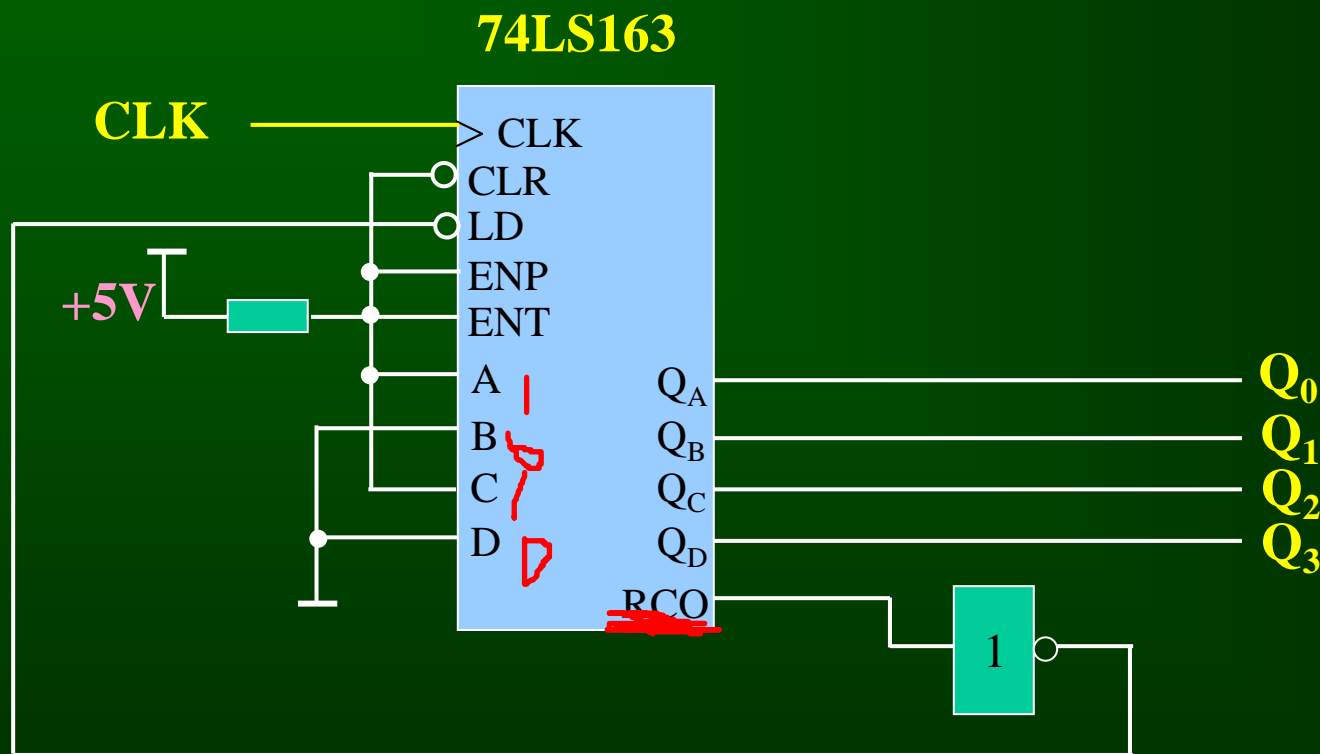
方式1: 利用 **/CLR**(同步清零)完成跳越的次态为全零的预置。



单片74LS163可实现16以内的任意进制加1计数器。因其为同步器件故采用**预置位法**完成跳跃（**/CLR**和**/LD**）。

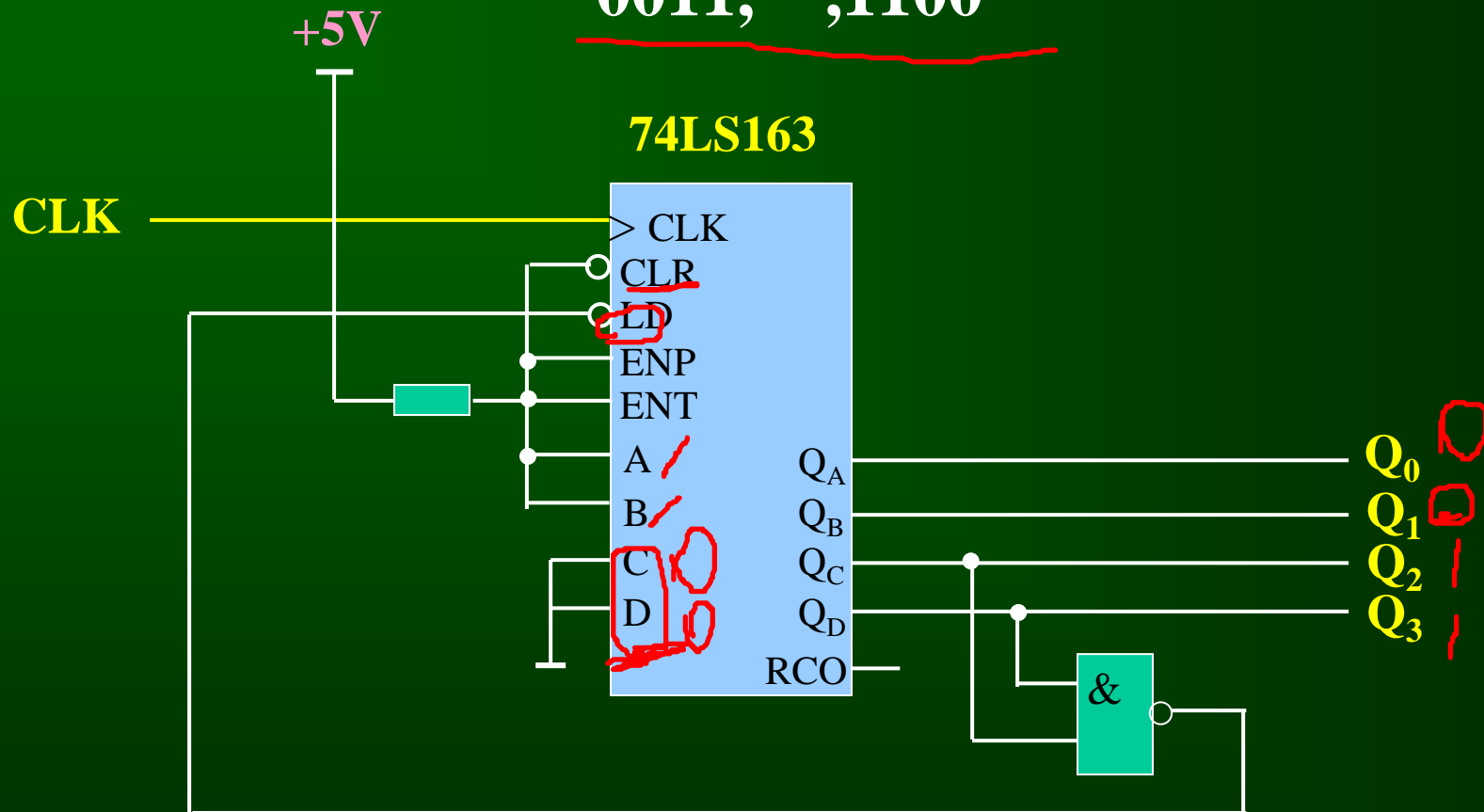
② 用74LS163实现计数值为5,6,...,15 的模11计数器。

方式2: 利用 $\overline{\text{LD}}$ (置数)完成跳越的次态为任意值的预置。



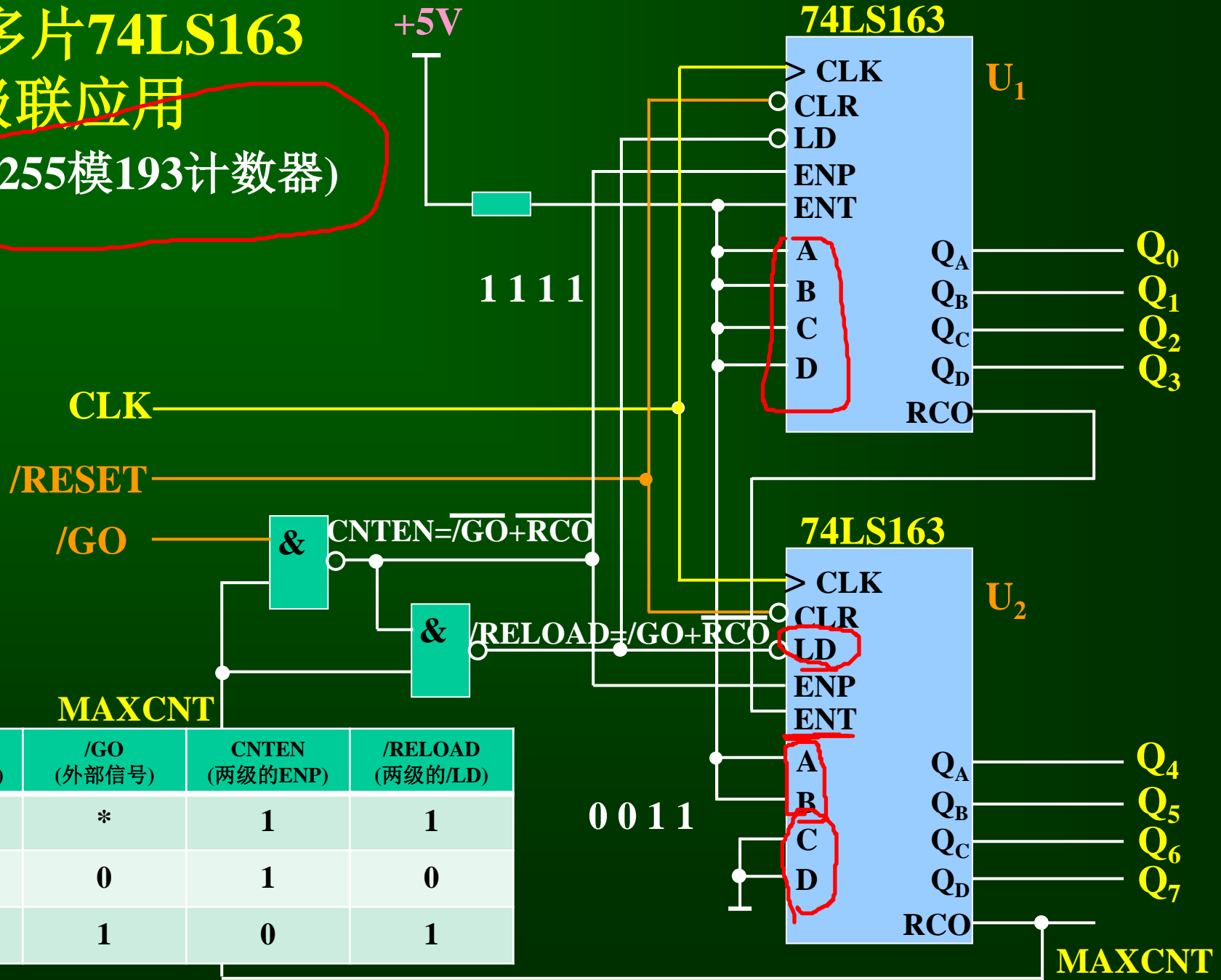
② 用74LS163实现余3码计数器。

0011, ..., 1100



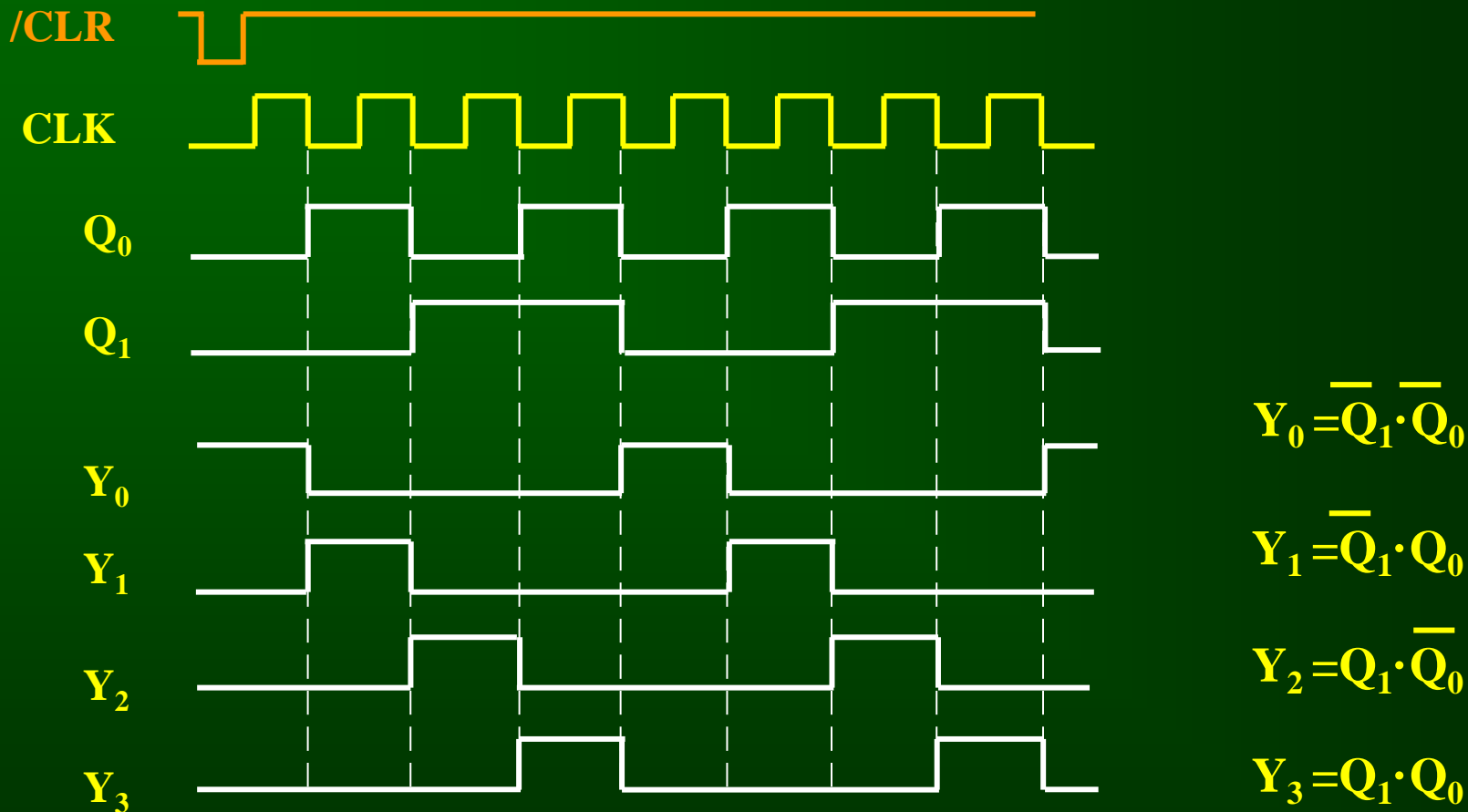
③ 多片74LS163 的级联应用

(63~255模193计数器)

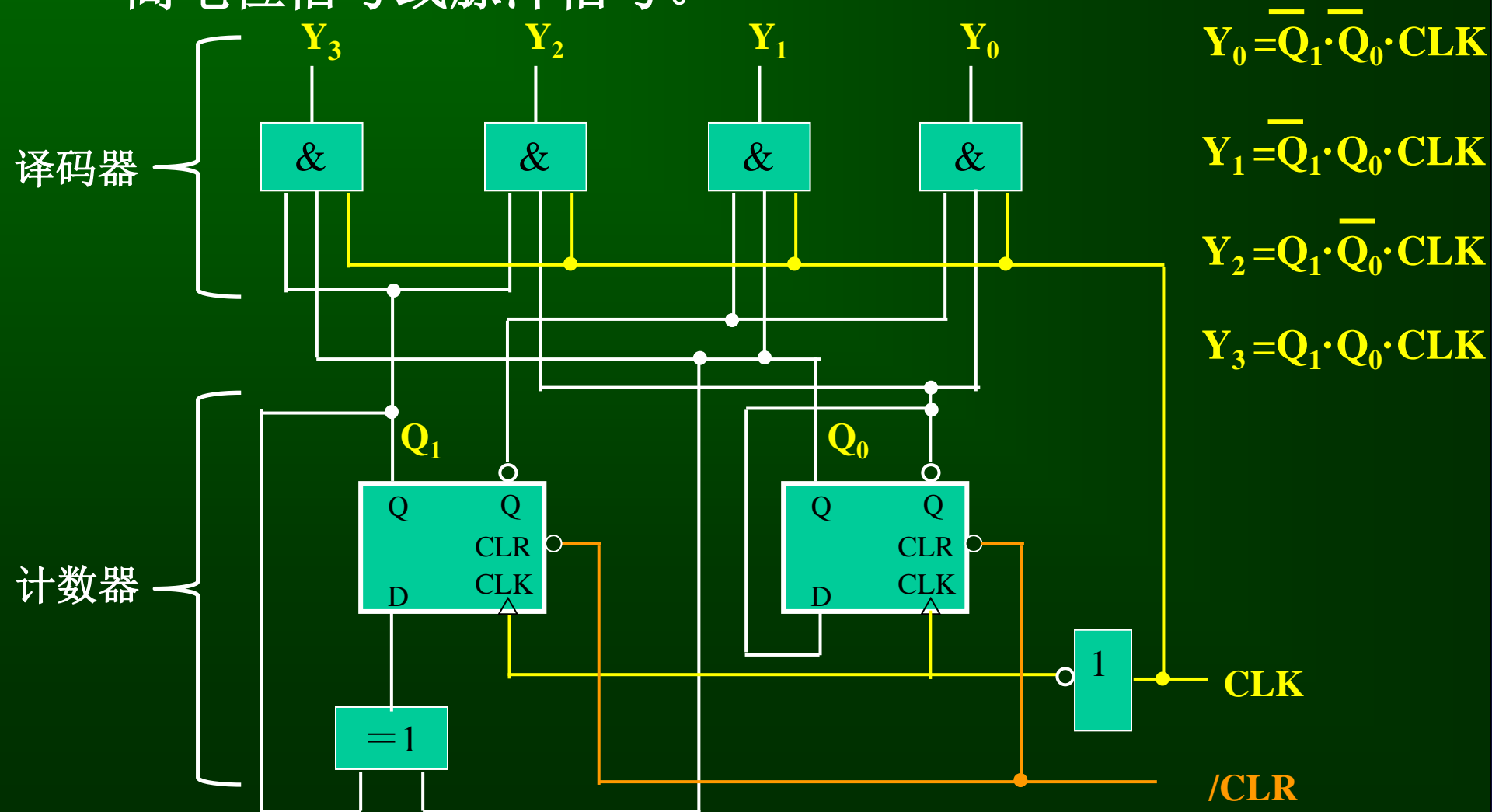


④用计数器实现计数型(*Binary*)节拍分配器（节拍发生器）

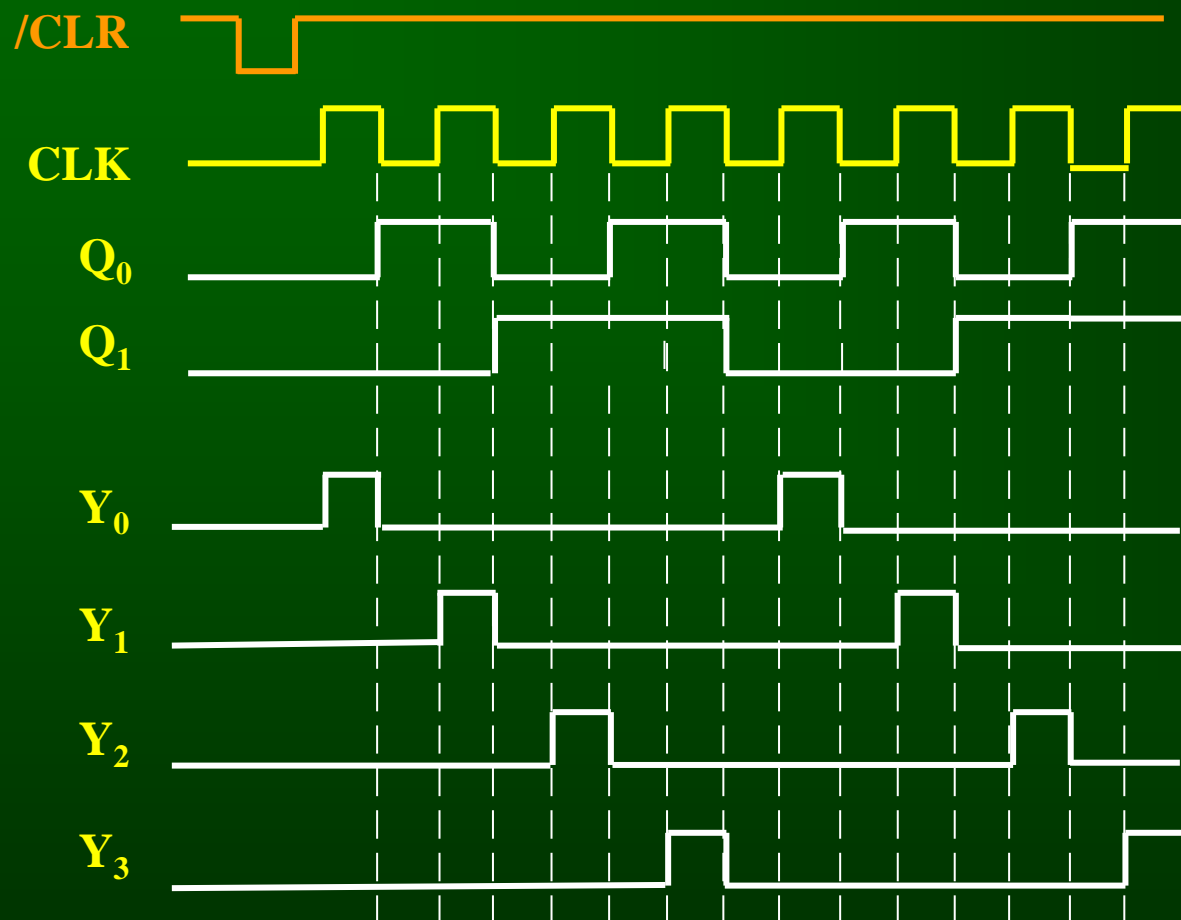
四输出节拍分配器波形图（电平发生器）



- 由二进制计数器和译码器组成
- 在时钟脉冲序列作用下，从译码器的各输出端轮流输出高电位信号或脉冲信号。



四输出节拍分配器波形图（脉冲发生器）



$$Y_0 = \overline{Q_1} \cdot \overline{Q_0} \cdot \text{CLK}$$

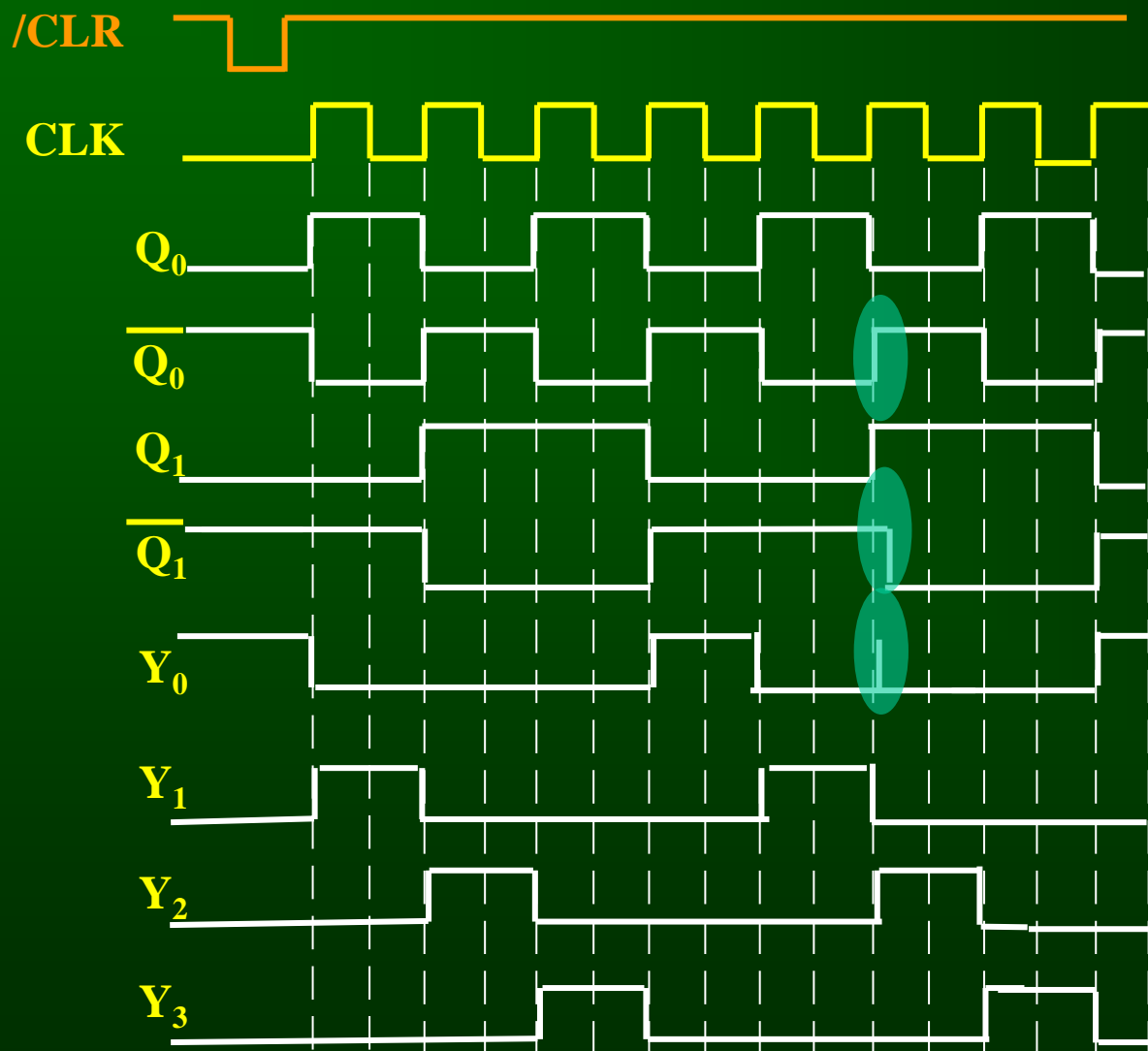
$$Y_1 = \overline{Q_1} \cdot Q_0 \cdot \text{CLK}$$

$$Y_2 = Q_1 \cdot \overline{Q_0} \cdot \text{CLK}$$

$$Y_3 = Q_1 \cdot Q_0 \cdot \text{CLK}$$

四输出节拍分配器波形图

(电平发生器: 输出没有与CLK, CLK没有加反相器)



$$Y_0 = \overline{Q_1} \cdot \overline{Q_0}$$

$$Y_1 = \overline{Q_1} \cdot Q_0$$

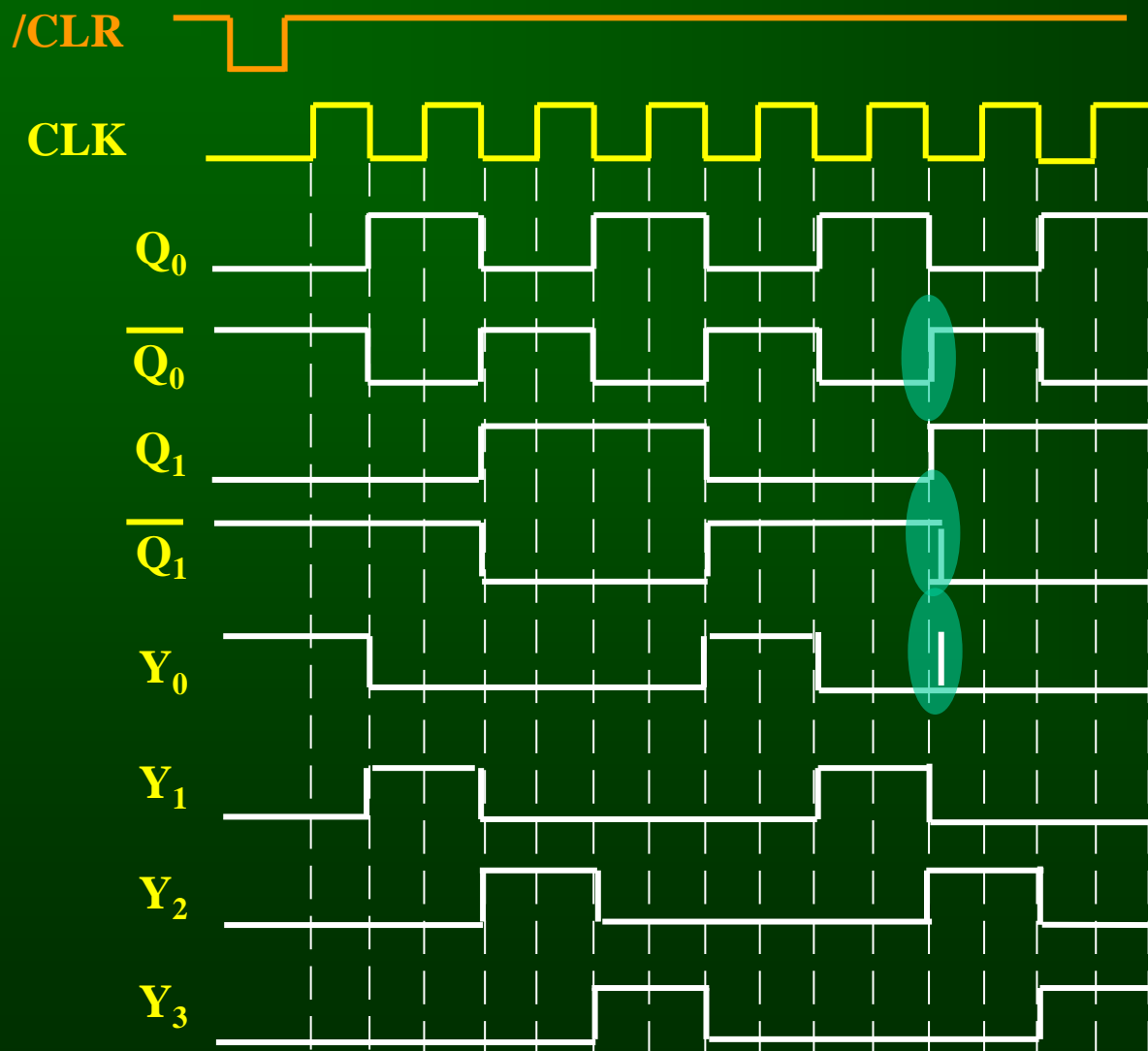
$$Y_2 = Q_1 \cdot \overline{Q_0}$$

$$Y_3 = Q_1 \cdot Q_0$$

Q_0 、 $\overline{Q_0}$ 、 Q_1 、 $\overline{Q_1}$ 的变化相对于CLK的有效沿均有一个时延。图中略。

四输出节拍分配器波形图

(电平发生器: 输出没有与CLK, CLK加反相器)



$$Y_0 = \overline{Q_1} \cdot \overline{Q_0}$$

$$Y_1 = \overline{Q_1} \cdot Q_0$$

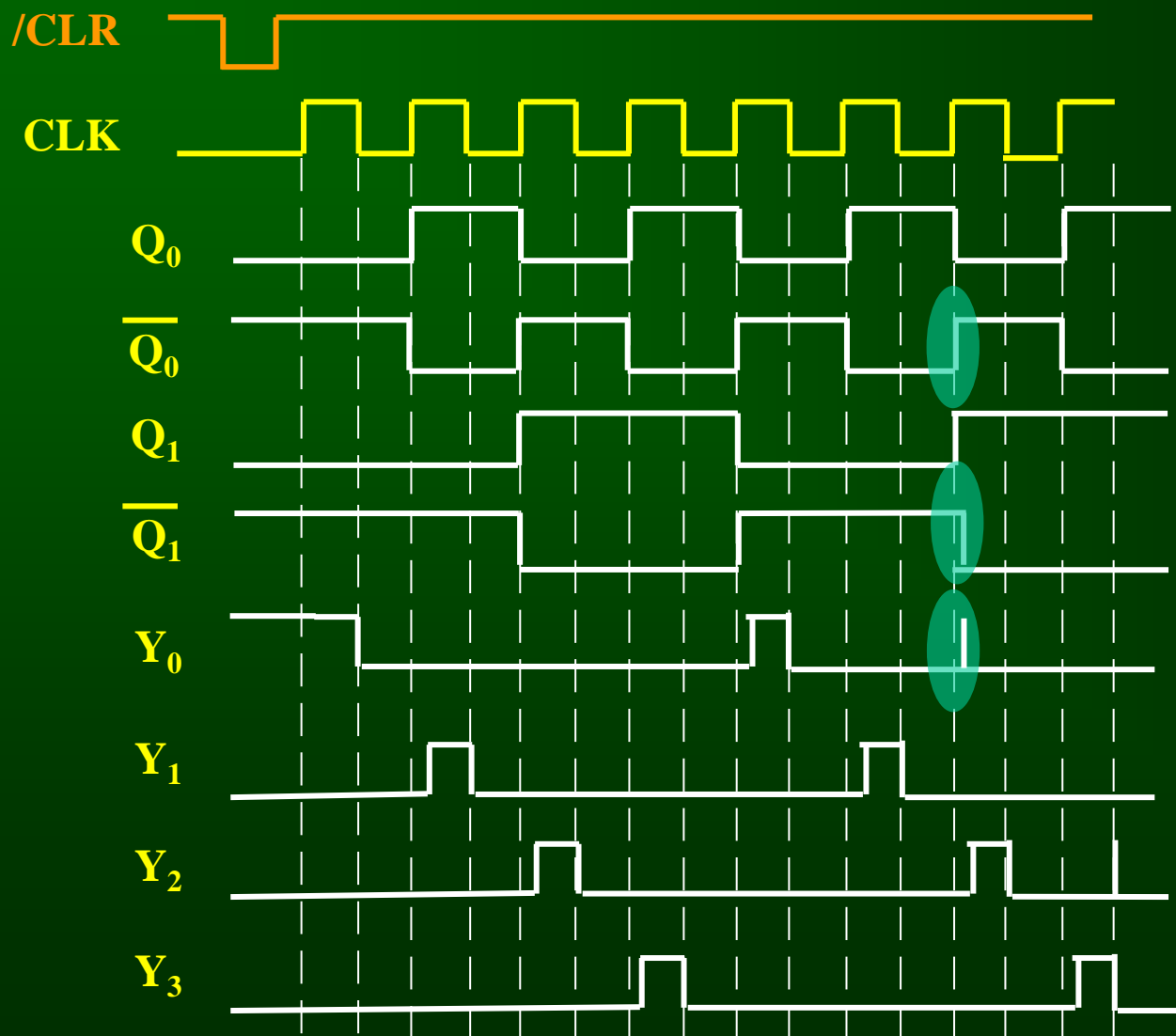
$$Y_2 = Q_1 \cdot \overline{Q_0}$$

$$Y_3 = Q_1 \cdot Q_0$$

Q_0 、 $\overline{Q_0}$ 、 Q_1 、 $\overline{Q_1}$ 的变化相对于CLK的有效沿均有一个时延。图中略。

四输出节拍分配器波形图

(脉冲发生器: 输出与CLK, CLK没有加反相器)



$$Y_0 = \overline{Q_1} \cdot \overline{Q_0} \cdot CLK$$

$$Y_1 = \overline{Q_1} \cdot Q_0 \cdot CLK$$

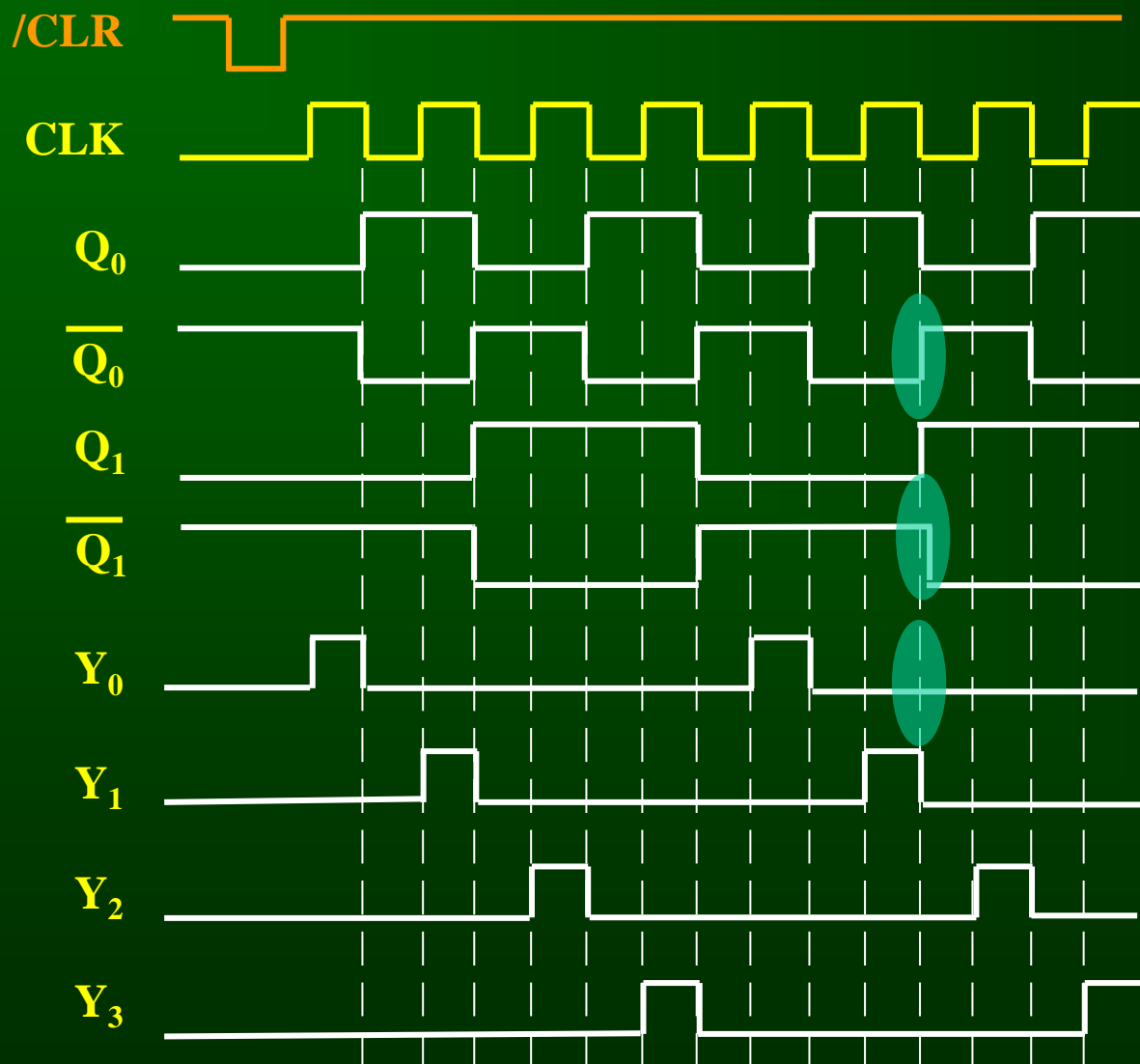
$$Y_2 = Q_1 \cdot \overline{Q_0} \cdot CLK$$

$$Y_3 = Q_1 \cdot Q_0 \cdot CLK$$

Q_0 、 $\overline{Q_0}$ 、 Q_1 、 $\overline{Q_1}$ 的变化相对于CLK的有效沿均有一个时延。图中略。

四输出节拍分配器波形图

(脉冲发生器: 输出与CLK, CLK加反相器)



$$Y_0 = \overline{Q_1} \cdot \overline{Q_0} \cdot \text{CLK}$$

$$Y_1 = \overline{Q_1} \cdot Q_0 \cdot \text{CLK}$$

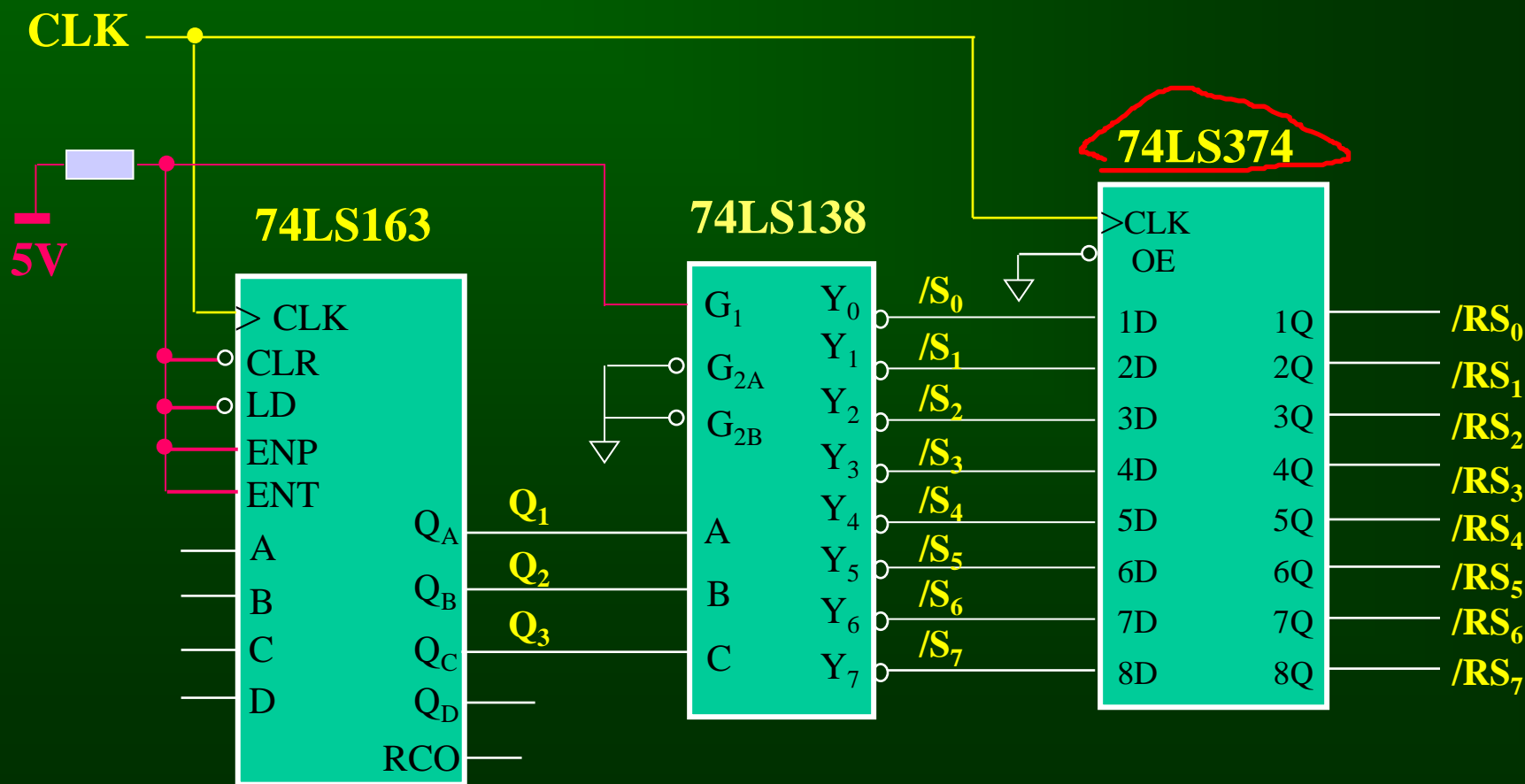
$$Y_2 = Q_1 \cdot \overline{Q_0} \cdot \text{CLK}$$

$$Y_3 = Q_1 \cdot Q_0 \cdot \text{CLK}$$

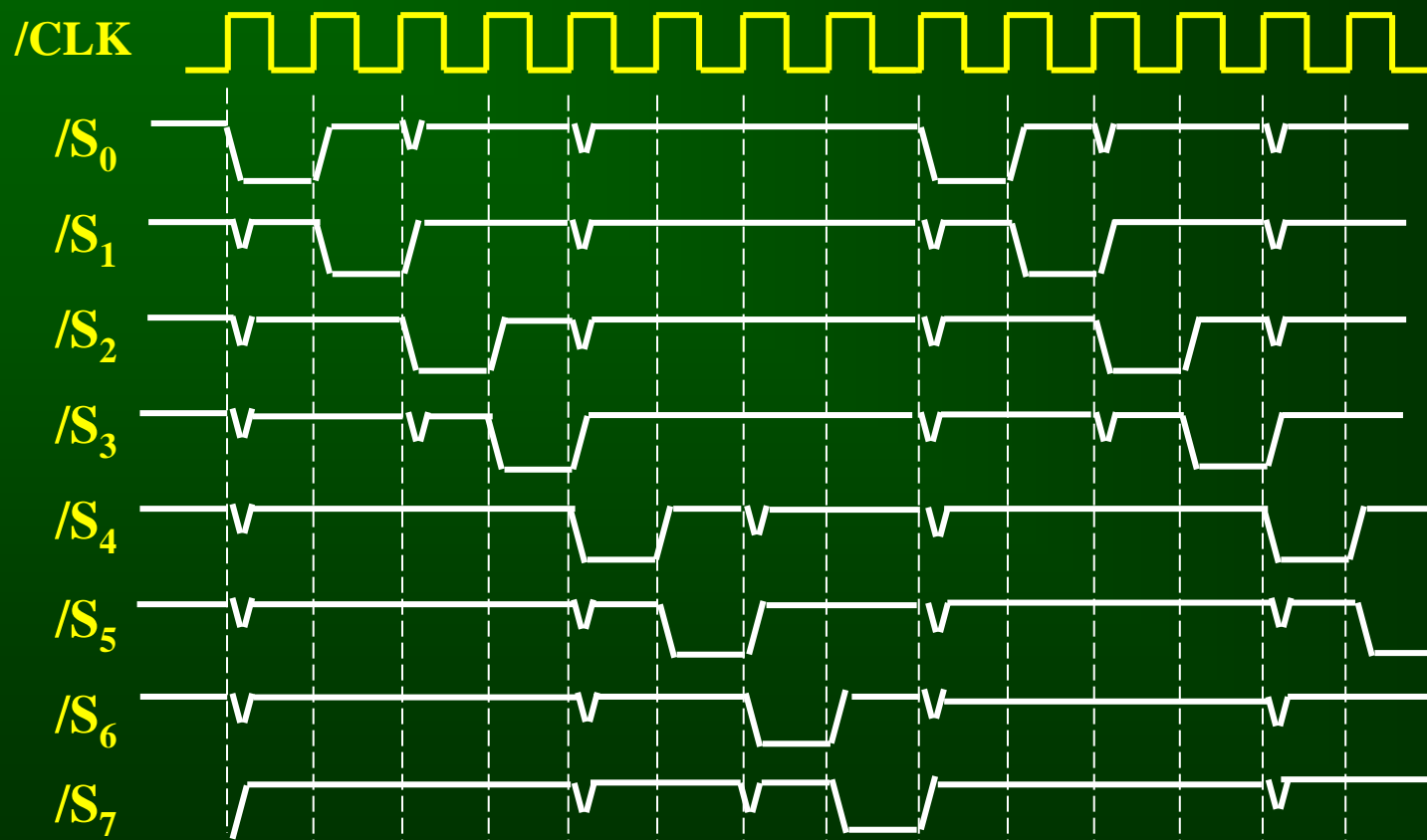
Q_0 、 $\overline{Q_0}$ 、 Q_1 、 $\overline{Q_1}$ 的变化相对于CLK的有效沿均有一个时延。图中略。

MSI节拍分配器举例

通常节拍分配器是由两片或多片 MSI计数器、寄存器、及译码器所构成。



译码器输出节拍信号时序图

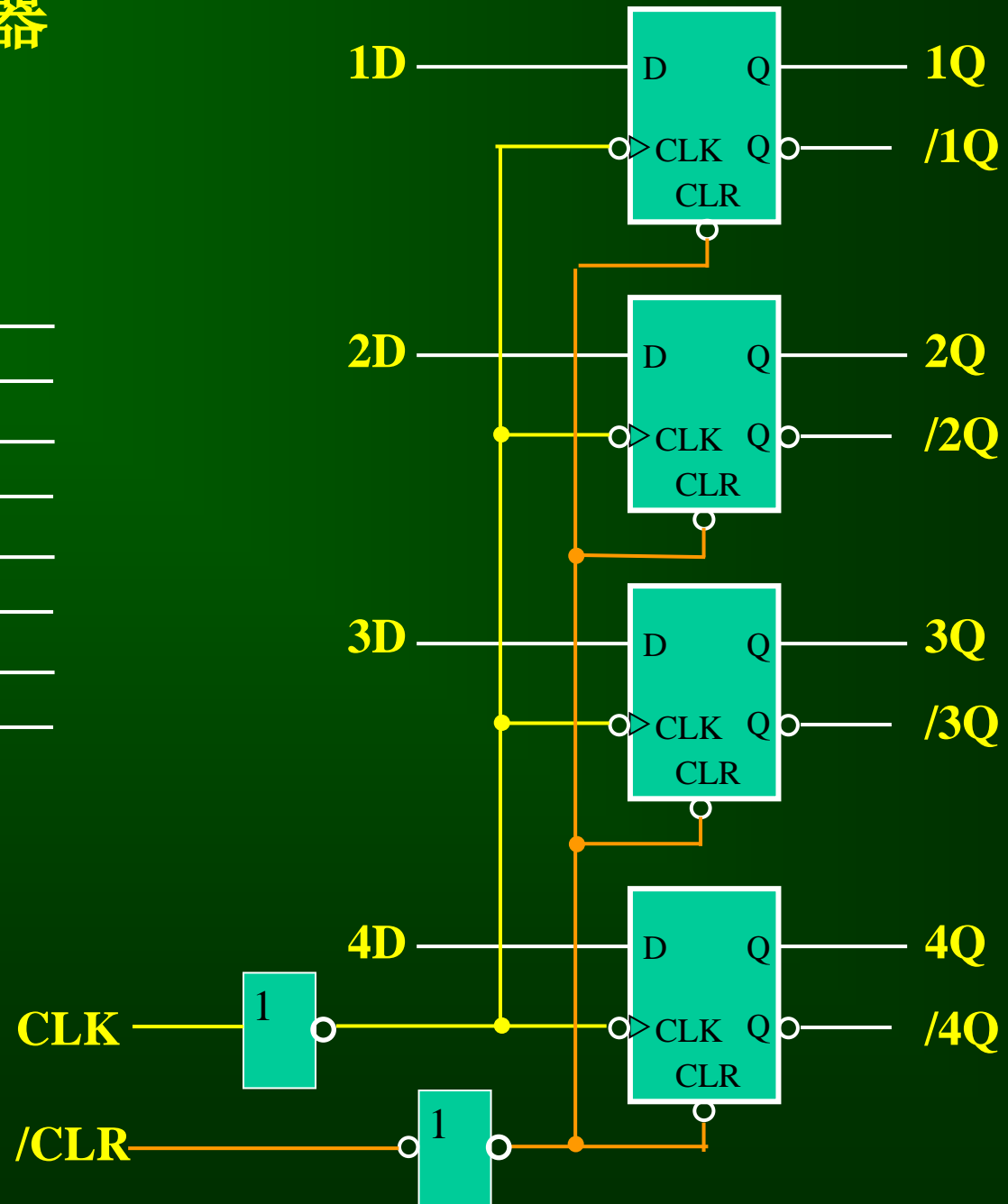
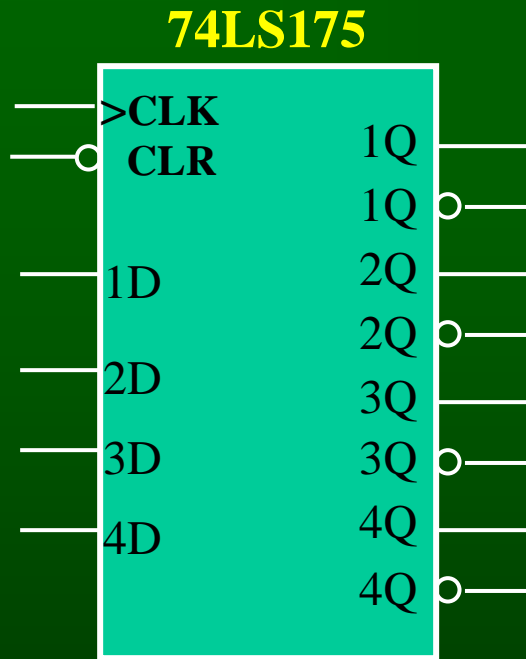


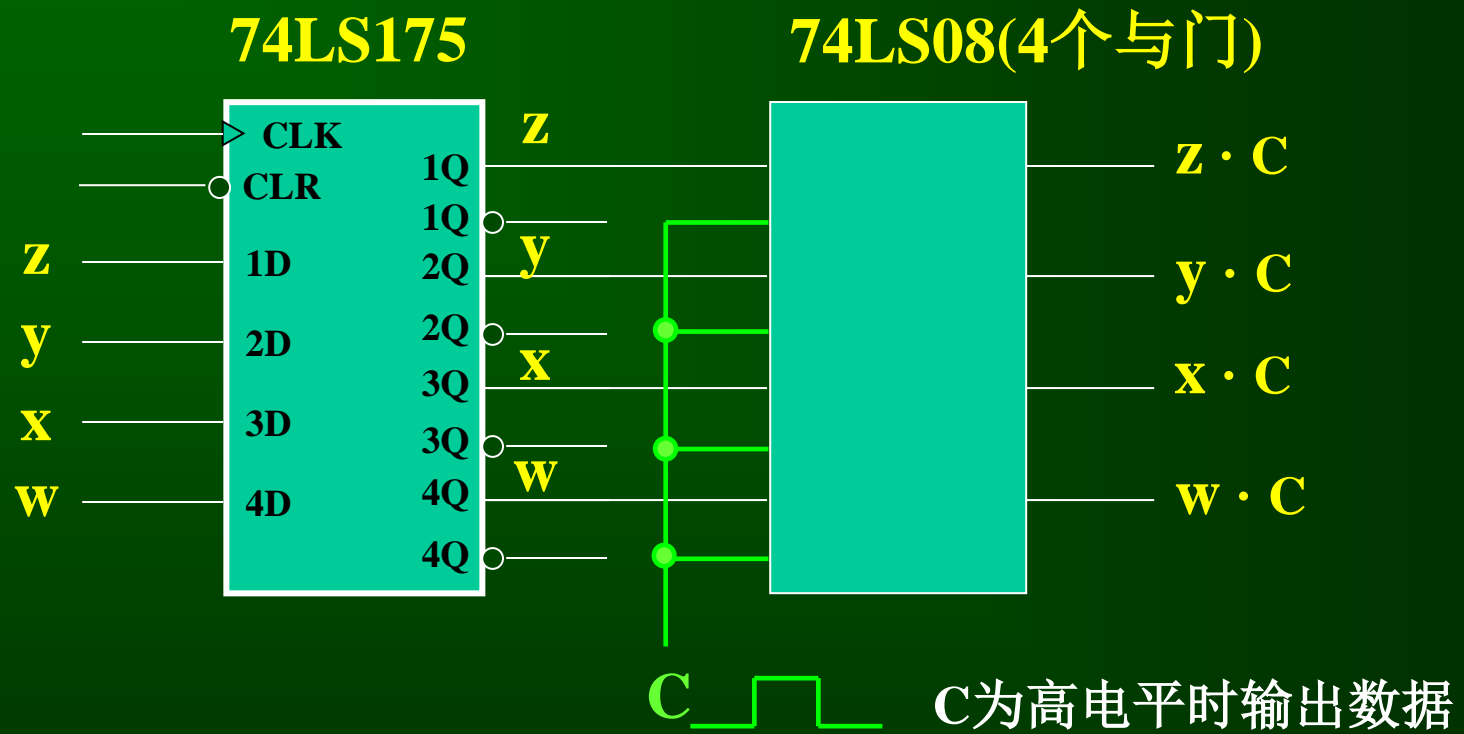
3.4.2. 寄存器 *Registers*

用于暂时存放二进制代码的逻辑器件称为寄存器。寄存器按功能分为并行寄存器、串行寄存器及串并行寄存器。并行寄存器没有移位功能，通常简称为寄存器 *Registers*；串行及串并行寄存器具有移位功能，通常称为移位寄存器 *Shift Registers*。

1. 并行寄存器

1) 74LS175





并行输出控制的 4 位寄存器

2) 74LS374通用8位寄存器 (*Generic 8-bit Register*)

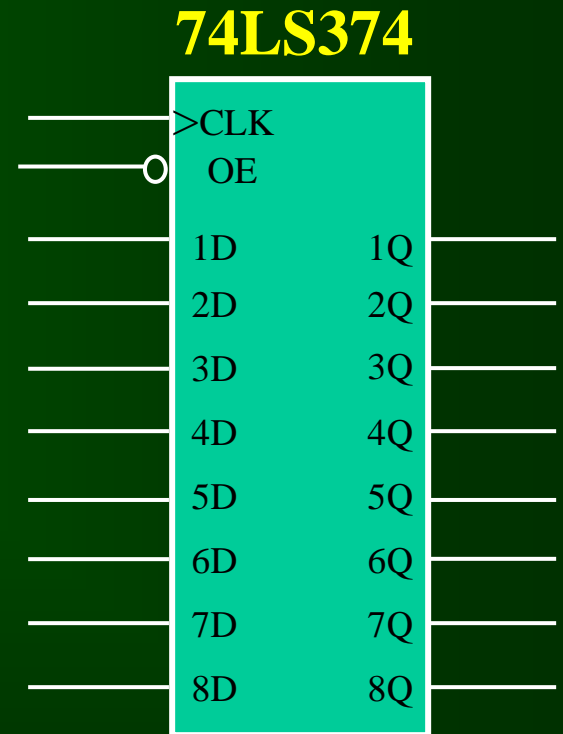
该寄存器输出通过三态缓冲

冲门：见书P132

- 当输出使能 **/OE**有效时，
8位寄存器中代码并行输出；

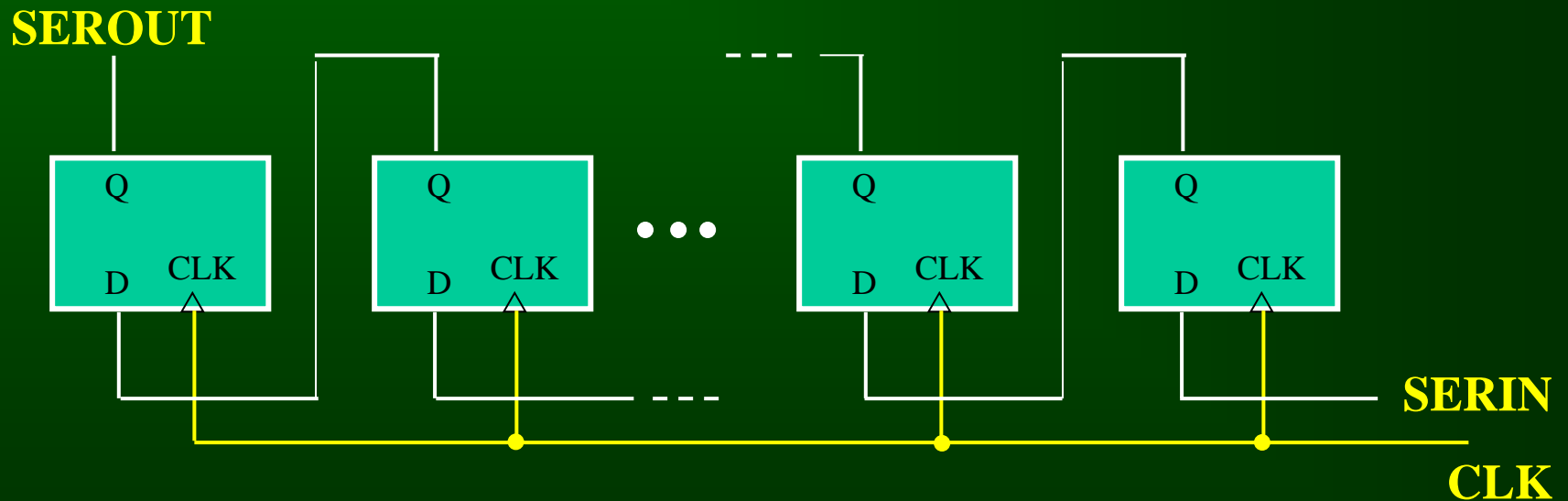
- 当/OE无效时，
寄存器输出端为高阻抗。

这样可以使多个寄存器挂接到公共总线上。

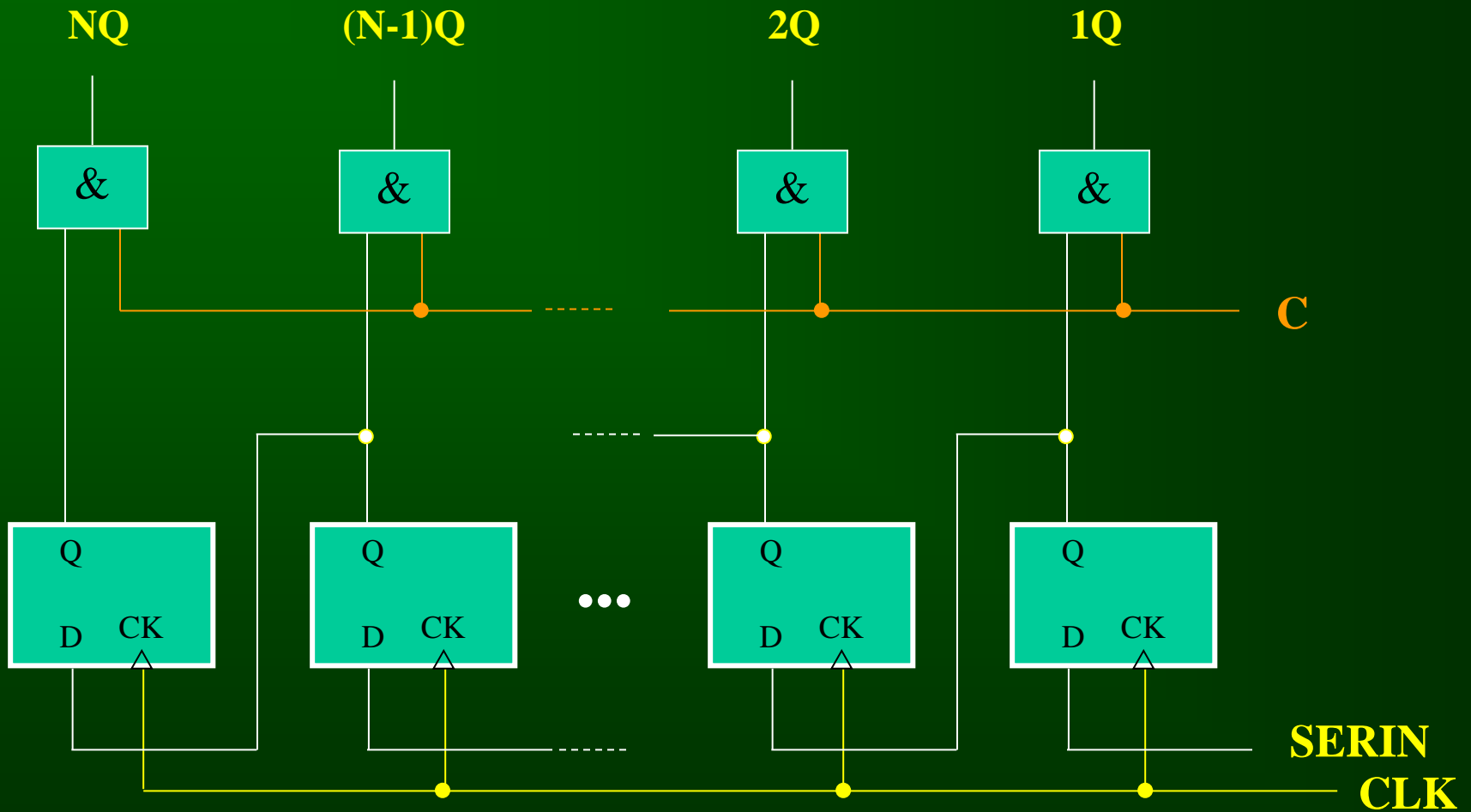


2. 移位寄存器 *Shift Registers*

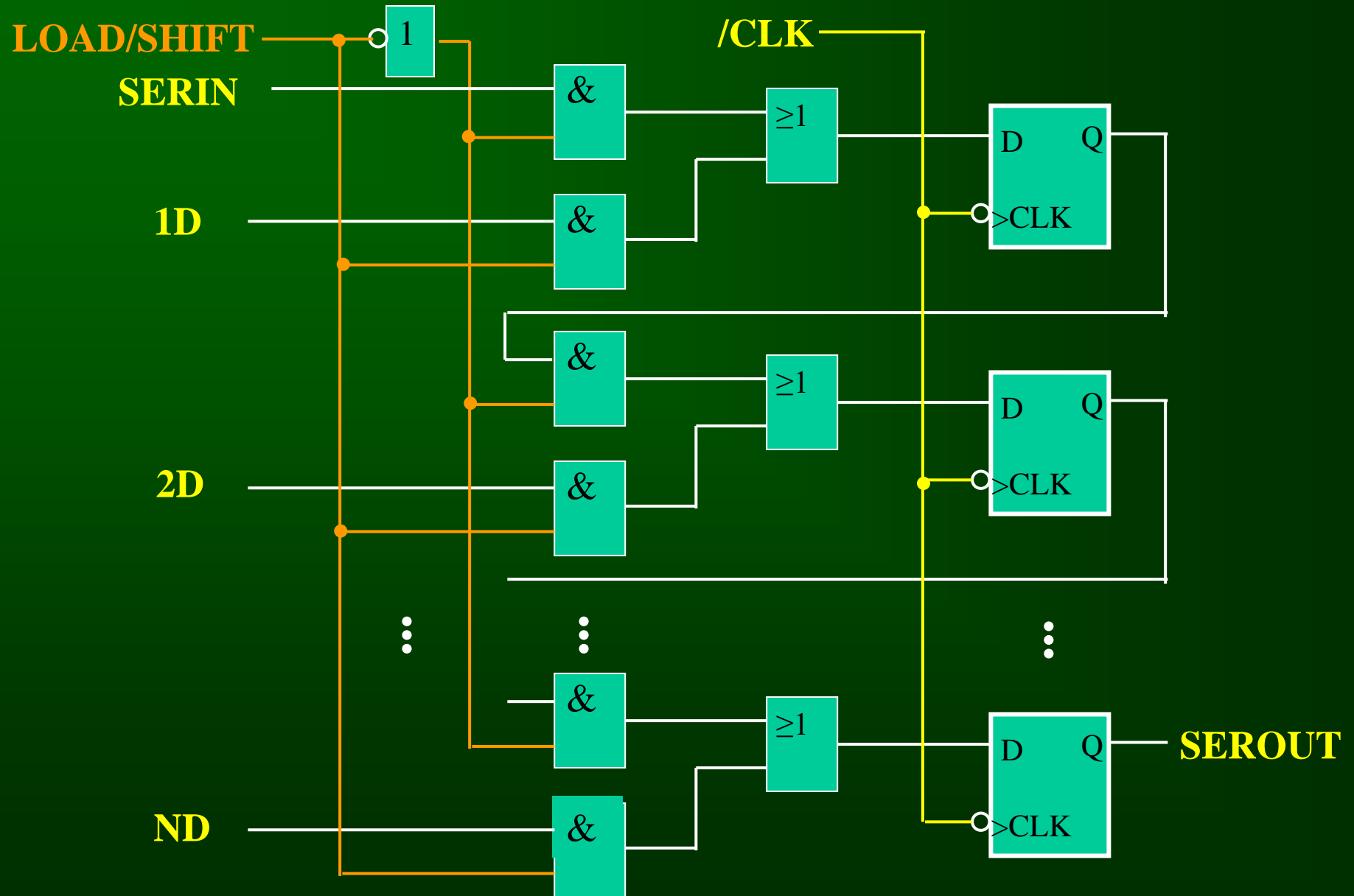
串入-串出结构 Serial in – Serial out



串入-并出结构 Serial in – Parallel out



并入-串出结构 Parallel in – serial out

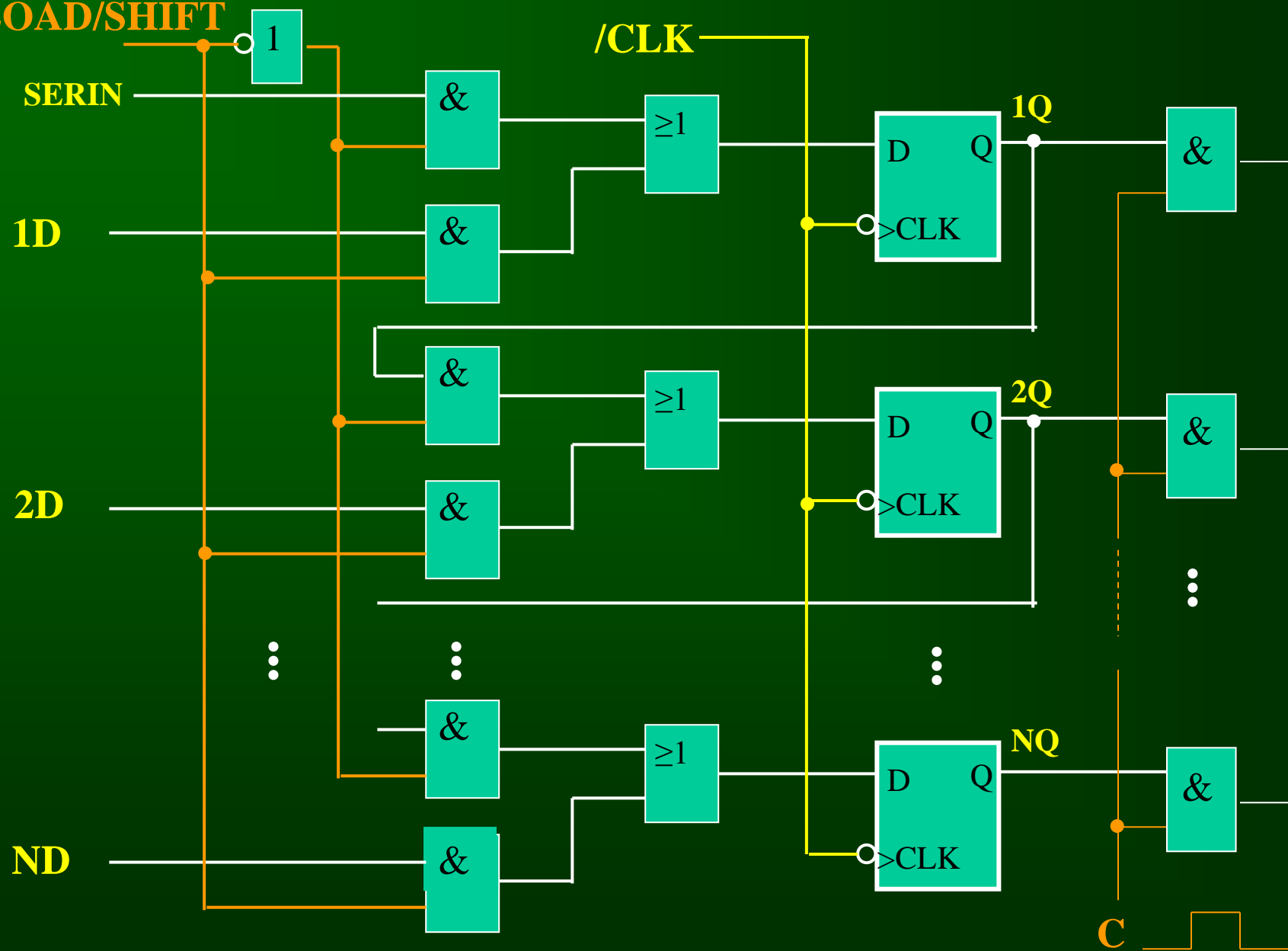


并入-并出结构 Parallel in – parallel out

该结构即是将上页图中的各个触发器Q端均引出，其它部分完全相同。当需要并行输出功能时，只需要外加读出控制门，在读出控制脉冲的作用下将寄存器中数据并行输出。这种结构的移位寄存器的功能覆盖了前三种，因此通用性更强。

并入-并出结构 Parallel in – parallel out

LOAD/SHIFT



外加读出控制门

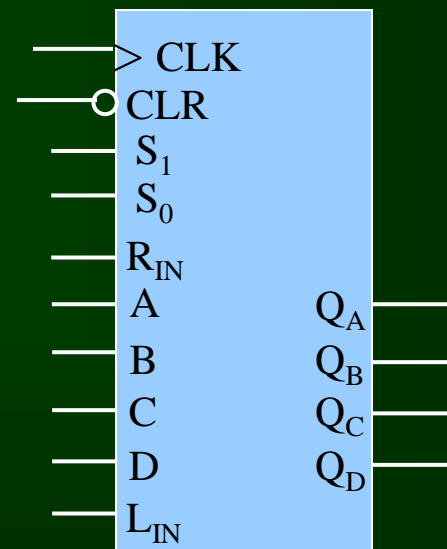
1) MSI 移位寄存器举例---74LS194

- **RIN**是右移串行输入端；
- **LIN**是左移串行输入端；
- **A、B、C、D**是并行输入端；
- **Q_D** 是右移串行输出端；
- **Q_A** 是左移串行输出端；
- **Q_A、Q_B、Q_C、Q_D** 是并行输出端；
- **/CLR** 是异步的寄存器清 “0”信号；
- **S₁S₀** 是工作方式控制。

功能	S ₁ S ₀	Q _A ⁿ⁺¹ Q _B ⁿ⁺¹ Q _C ⁿ⁺¹ Q _D ⁿ⁺¹			
保持	0 0	Q _A	Q _B	Q _C	Q _D
右移	0 1	R _{IN}	Q _A	Q _B	Q _C
左移	1 0	Q _B	Q _C	Q _D	L _{IN}
置数	1 1	A	B	C	D

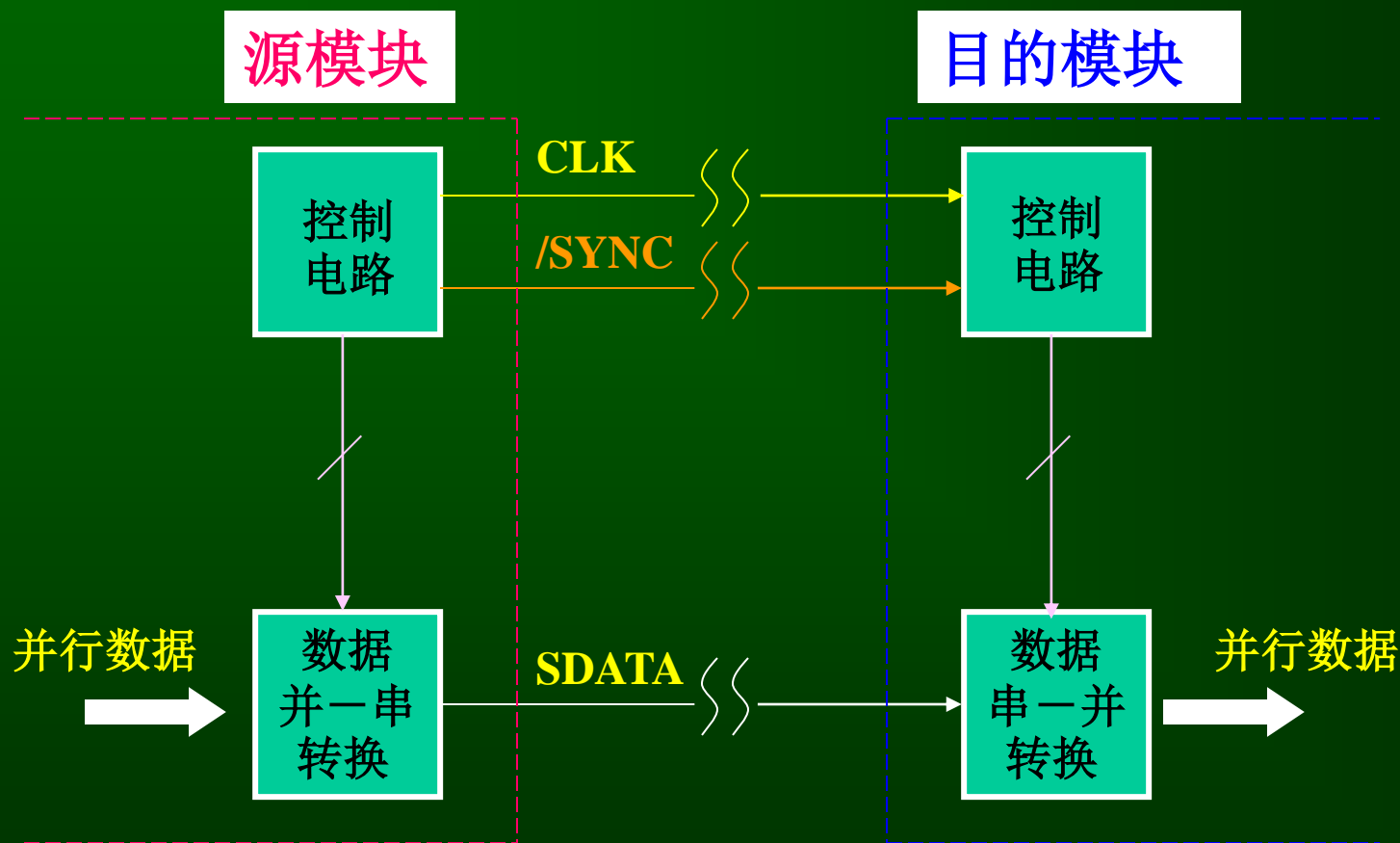
74LS194寄存器状态表

74LS194



2) MSI通用寄存器应用举例*

(1) 数据串并行的转换



两个模块间数据传送图

例 用MSI实现一典型数据通讯。

设：时钟信号**CLK**的频率为 2.048MHz，

每秒传送 32×8000 个字节(byte)，

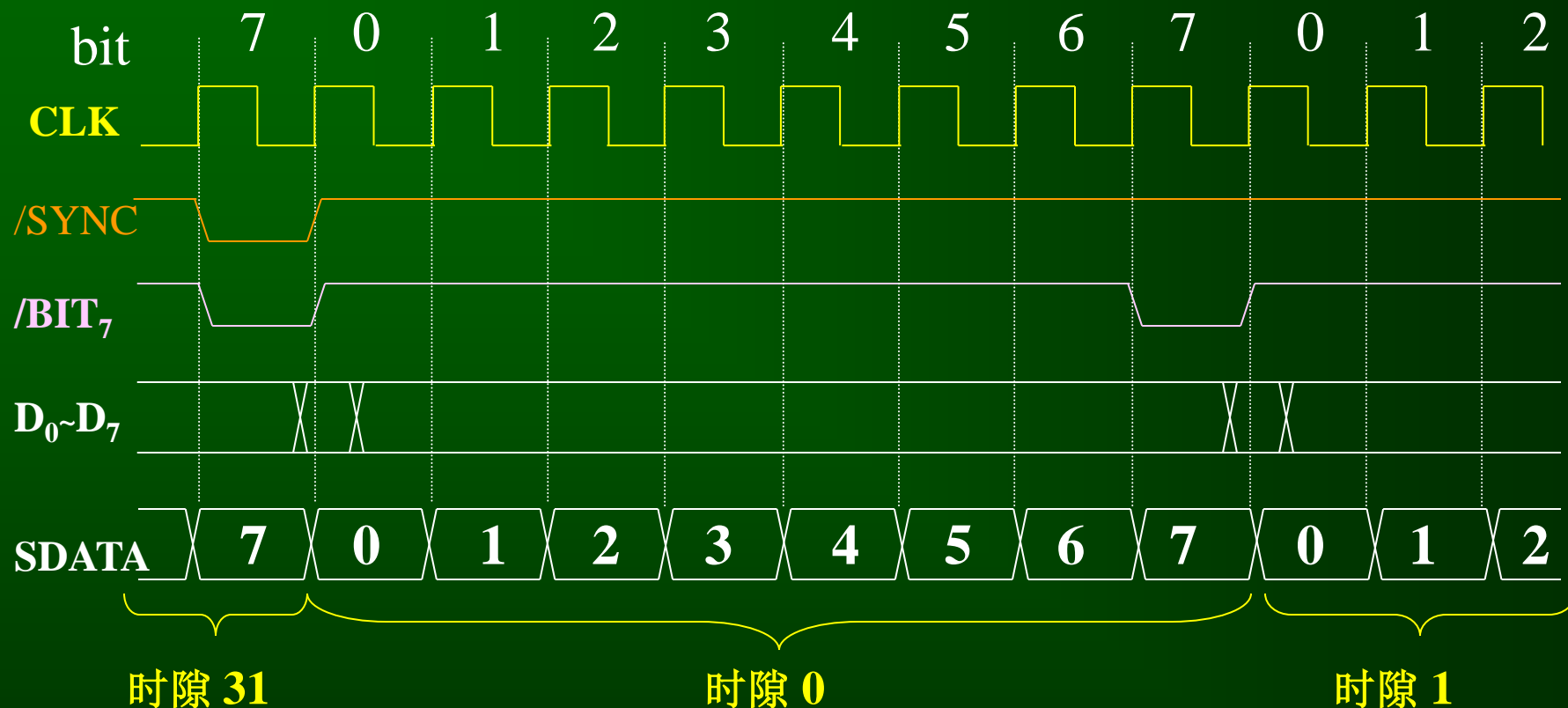
每**帧(frame)** 有 32 个时隙，

每个**时隙(time slot)** 传送 8**位(bit)**，即1个**字节(byte)**

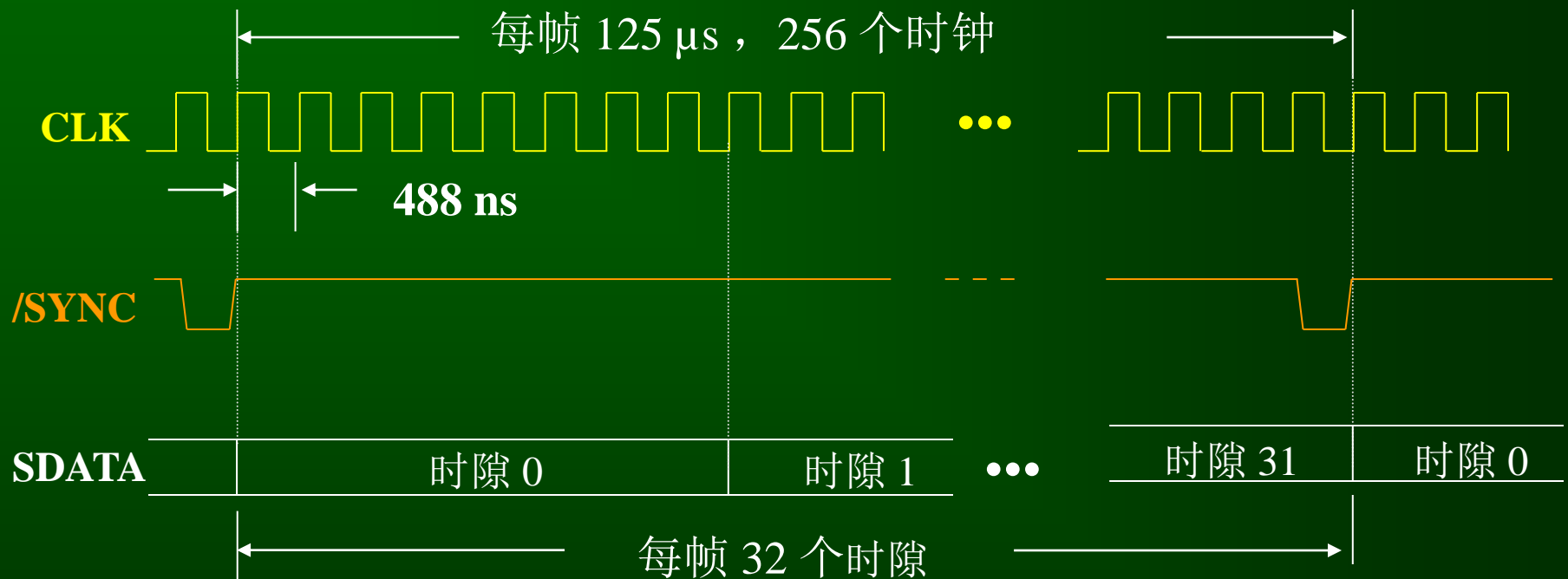
即 传送时间为 $125 \mu\text{s}$ / 帧

信号的时间关系如图所示，见下页。

并 — 串转换时序图



(a) 帧开始处的一个字节

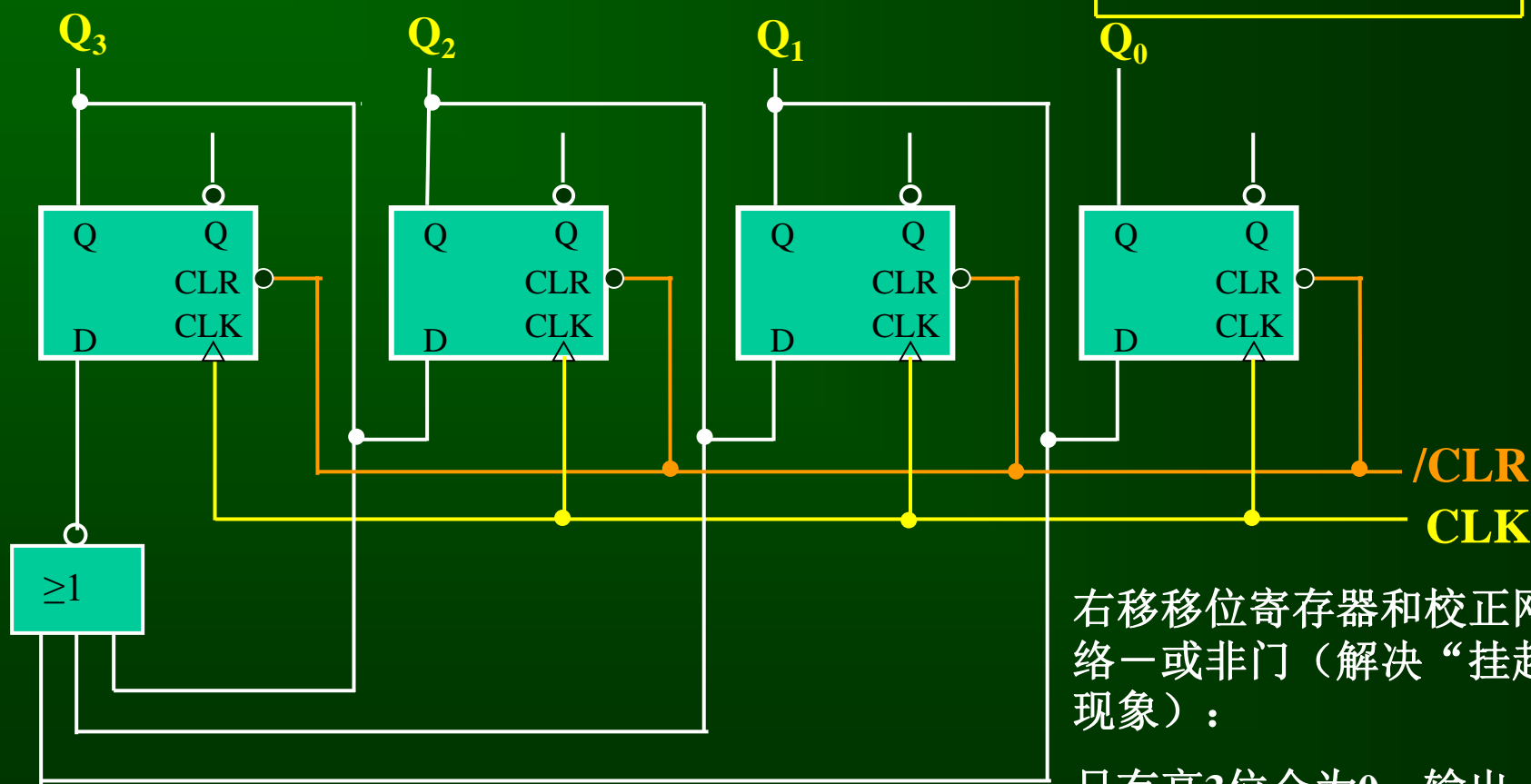


(b) 一个完整的数据帧

2) 通用寄存器的应用

(2) 移位型(*Ring/Twisted*)节拍分配器 (节拍发生器)

由移位寄存器和逻辑门组成。0000→1000→0100→0010→0001

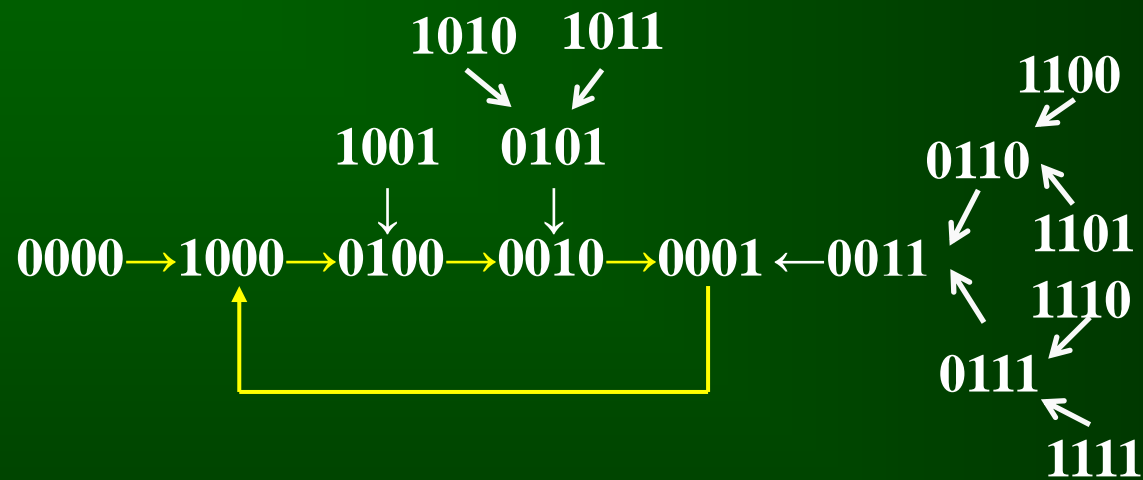


四输出移位型节拍分配器逻辑图

右移移位寄存器和校正网络—或非门（解决“挂起”现象）：

只有高3位全为0，输出“1”；高三位至少有1个1，输出“0”。保证4位中总是只有1个“1”。

四位移位型节拍分配器状态图：



(书P116例3-11与本题类似。)

练习

四输出移位型节拍分配器的波形图

