

第一章：

1. 1 (a)、(b)模拟量；(c)、(d)数字量

1. 2 107 16.1111 38.8 55.3125 1471.8889 348.2188

1. 3

十进制	二进制	八进制	十六进制
1.234	1.0011	1.1676	1.3BE7
73.4	1001001.0110	111.3146	49.6666
2014.8	11111011110.1100	3736.6314	7DE.CCCC

1. 4 $R > 4$ $R > 3$ $R = 5$

1. 5 (1) 1010010 (2) 11100 (3) 1323 (4) 401 (5)

F5C6 (6) 5144

1. 6 $n = 10(m-1)/3$; 10 位

1. 7

真值	原码	反码	补码
+1111	01111	01111	01111
-1111	11111	10000	10001
+0000	00000	00000	00000
-0000	10000	11111	00000
+1010	01010	01010	01010
-1010	11010	10101	10110

1. 8 (1) -10111 (2) -01000 (3) -01001 (4) +00000 (5) +11111 (6) +10000

1. 9 原码: +1.101000=01.101000

反码: 0.1010000

补码: 0.1010001

1. 10

真值	原码	反码	补码
11/64	0.0010110	0.0010110	0.0010110
13/128	0.0001101	0.0001101	0.0001101
15/256			
-11/64	1.0010110	1.1101001	1.1101010
-13/128	1.0001101	1.1110010	1.1110011
-15/256			

1. 11 BCD 码加法: (1)如果任何两个对应位 BCD 数相加的结果向高一位无进位,若得到的结果小于或等于 9,则该不需修正;若得到的结果大于 9 且小于 16 时,该位进行加 6 修正。(2)如果任何两个对应位 BCD 数相加的结果向高一位有进位时(即结果大于或等于 16, 注意不是修正时的进位),该位进行加 6 修正。(3)低位修正结果使高位大于 9 时,高位进行加 6 修正。

BCD 码减法: 两个组合 BCD 码进行减法运算时,当低位向高位有借位时,由于"借一作十六"与"借一作十"的差别,将比正确的结果多 6,所以有借位时,可采用"减 6 修正法"来修正.两个 BCD 码进行加减时,先按二进制加减指令进行运算,再对结果用 BCD 调整指令进行调整,就可得到正确的十进制运算结果。

1. 12

$$(1010111.01110101)_{BCD} = (57.75)_{10} = (1011010.01110101)_{\text{余3码}} \\ = (10111101.11011011)_{2421} = (111001.11)_2 = (1110100.01000111)_{\text{gray}}$$

1. 13

	奇校验	偶校验
10101010	1	0
11111110	0	1

1. 14 不正确 $S_3 S_2 S_1 = 100$ ，所以正确海明码为 0101101

1. 15 成立，详见课本 21 页

1. 16 可以

1. 17

$$(1) \bar{F} = (\bar{A} + \bar{B})(\bar{A}\bar{B} + \bar{C}\bar{D}\bar{E})$$

$$F' = (A + B)(\bar{A}\bar{B} + CDE)$$

$$(2) \bar{F} = \bar{A}(\bar{B} + C) + A(D + \bar{E})$$

$$F' = A(B + \bar{C}) + \bar{A}(D + \bar{E})$$

$$(3) \bar{F} = \bar{A} \oplus B \oplus 0 = \bar{A} \oplus \bar{B}$$

$$F' = A \oplus \bar{B} \oplus 0 = A \oplus B$$

1. 18

$$(1) \text{右边} = (A + B)(B + C)(C + A) = (AB + AC + BB + BC)(C + A) \\ = (AB + AC + B * 1 + BC)(C + A) = [(A + 1)B + AC + BC](C + A) \\ = [(C + 1)B + AC](C + A) = (B + AC)(C + A) \\ = BC + ACC + AB + AAC = BC + AC + AB + AC \\ = AB + BC + CA = \text{左边}$$

$$(2) \text{左边} = (X\bar{Y} + \bar{X}Y) \oplus Z = (X\bar{Y} + \bar{X}Y)\bar{Z} + \overline{(X\bar{Y} + \bar{X}Y)}Z \\ = X\bar{Y}\bar{Z} + \bar{X}Y\bar{Z} + \overline{X\bar{Y}}\overline{\bar{X}Y}Z \\ = X\bar{Y}\bar{Z} + \bar{X}Y\bar{Z} + (\bar{X} + Y)(X + \bar{Y})Z \\ = X\bar{Y}\bar{Z} + \bar{X}Y\bar{Z} + \bar{X}\bar{Y}Z + XYZ \\ \text{右边} = X \oplus (\bar{Y}Z + Y\bar{Z}) = \bar{X}(\bar{Y}Z + Y\bar{Z}) + X\overline{(\bar{Y}Z + Y\bar{Z})} \\ = \bar{X}(\bar{Y}Z + Y\bar{Z}) + X\bar{Y}\bar{Z} + XY\bar{Z} \\ = \bar{X}\bar{Y}Z + \bar{X}YZ + X(\bar{Y} + \bar{Z})(\bar{Y} + Z) \\ = \bar{X}\bar{Y}Z + \bar{X}YZ + X\bar{Y}\bar{Z} + XYZ = \text{左边}$$

1. 19

1. 20

$$(1) F = \sum m^4(3, 4, 5, 6, 7, 11) = \pi M^4(0, 1, 2, 8, 9, 10, 12, 13, 14, 15)$$

$$(2) F = \sum m^4(4, 6, 7, 10, 11, 14, 15) = \pi M^4(0, 1, 2, 3, 5, 8, 9, 12, 13)$$

$$(3) F = \sum m^4(0, 1, 2, 3, 4, 7, 9, 10, 12, 13, 14, 15) = \pi M^4(5, 6, 8, 11)$$

1. 21 提示：做卡诺图，根据卡诺图中 0 和 1 的变量组合确定

1. 22

$$(1) F = \bar{A}\bar{B}\bar{C} + BC + \bar{B}\bar{C}D = (B + \bar{C})(B + C + D)(\bar{A} + \bar{B} + C)$$

$$(2) F = AB + \bar{B}\bar{C} = B(A + \bar{C})$$

$$(3) F = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + BCD + ABC$$

$$= (B + \bar{C})(B + C + D)(\bar{A} + C + \bar{D})(A + \bar{C} + D)$$

$$(4) F = \bar{D} + \bar{B}C + \bar{A}BC = (B + C + \bar{D})(\bar{B} + \bar{C} + \bar{D})(\bar{A} + C + \bar{D})$$

1. 23

$$(1) F = \overline{\overline{AC} \overline{BC} \overline{gAB} \overline{BC}}$$

$$(2) F = \overline{\overline{AABC} \overline{gB} \overline{ABC}}$$

$$(3) F = \overline{\overline{CAB} \overline{gB} \overline{AB}}$$

$$(4) F = \overline{\overline{ABC}}$$

1. 24

由卡诺图化简得：

$$F = AB\bar{C} + \bar{A}BC = B(\bar{A}\bar{C} + \bar{A}C) = B(A \oplus C) = AB \oplus BC$$

$$\text{又 } F = WX \oplus YZ$$

$$\text{所以 } W = A, X = Y = B, Z = C$$

1. 25

1. 26

1. 27 多射极晶体管技术是 TTL 逻辑门实现的核心技术。工作原理：TTL 中，晶体管除了作为一个电压控制的开关，还可以作为放大器工作。当基极电压变化时，晶体管能把后面的晶体管电压放大，加快后面的晶体管打开和关闭的速度，实现更快的门电路。TTL 电路的主要优点是能够很方便的将不同的电路连接且即连在一起，形成更复杂的逻辑。

1. 28

1. 29

CMOS 由 PMOS 管和 NMOS 管并联组成，并用一对互补的控制信号控制。PMOS 管在传送逻辑“1”电压方面表现很好，在传送逻辑“0”方面表现差；而 NMOS 管则正好相反，它传

送逻辑“0”表现很好，传送逻辑“1”则表现很差。CMOS用一对互补的控制信号控制。当信号CONTROL有效时，则传输门传送逻辑“1”和逻辑“0”都很出色。因为信号CONTROL为逻辑1时，NMOS导通，此时 $\overline{CONTROL}$ 为逻辑0使PMOS也导通；而当信号CONTROL为逻辑0时，此时 $\overline{CONTROL}$ 为逻辑1，PMOS管和NMOS管都将被切断连接。

1. 30 按照制造工艺集成电路的工艺可以分为CMOS电路和TTL电路两种类型。按规模可分为小规模集成电路、中规模集成电路、大规模集成电路、超大规模集成电路和巨大规模集成电路五种。其使用特性主要有负载能力、延迟特性、功耗特性和空脚处理4种。

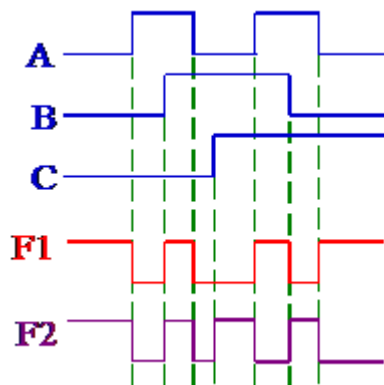
第二章

2. 1

由图得：

$$F_1 = \overline{A \oplus B}, F_2 = F_1 \oplus C$$

则波形图如下：



2. 2

$$A_1 = \overline{B_1}$$

$$A_2 = B_2$$

$$A_4 = B_2 \oplus B_4$$

$$A_8 = \overline{B_2 + B_4 + B_8}$$

结论： $B_8 B_4 B_2 B_1$ 是BCD码， $A_8 A_4 A_2 A_1$ 是 $B_8 B_4 B_2 B_1$ 对9的变补

2. 3

$$Z = D$$

$$Y = C \oplus D$$

$$X = B \oplus (C + Y) = B \oplus (C + C \oplus D) = B \oplus (C + D)$$

$$W = A \oplus (B + C + D)$$

结论：16变补器。

2. 4

$$(1) F = AB + AC + BC = (A + B)(A + C)(B + C)$$

$$(2) F = \overline{A}B + \overline{A}C + \overline{B}C \text{ 或 } F = \overline{A}B + \overline{B}C + \overline{A}C$$

2. 5

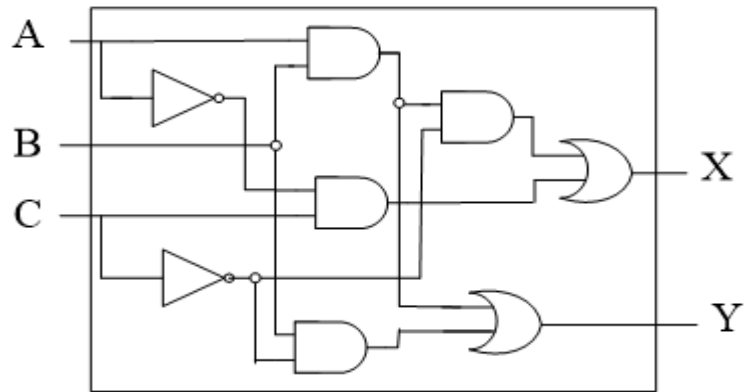
$$(1) F = \sum m^3(0, 3, 5, 6, 9, 12, 15)$$

$$(2) F = \sum m^3(3, 5, 6, 9, 10, 12)$$

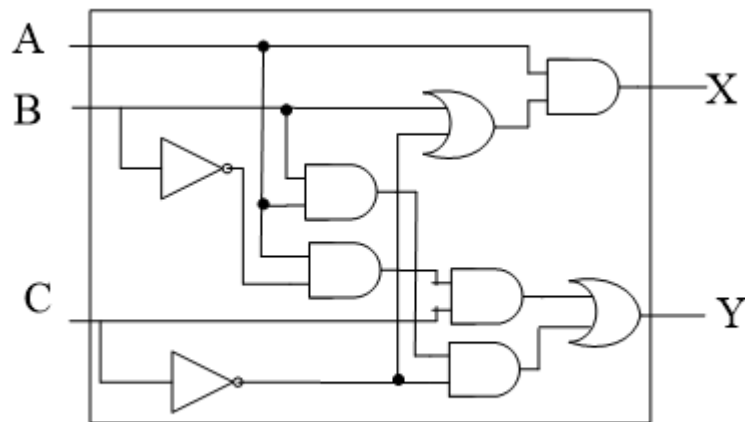
$$(3) F = \sum m^3(1, 2, 4, 8)$$

2. 6

2. 7 根据题目要求得逻辑图如下：



(a)



(b)

2. 8 令 8421 码为 ABCD, 2421 码为 WXYZ, 则

$$W = A + BC + BD$$

$$X = A + BC + B\bar{D}$$

$$Y = A + \bar{B}C + B\bar{C}D$$

$$Z = D$$

2. 9 令典型格雷码为 ABCD, 二进制码为 WXYZ, 则

$$W = A$$

$$X = A \oplus B$$

$$Y = A \oplus B \oplus C$$

$$Z = A \oplus B \oplus C \oplus D$$

2. 10 全加器在两数相加时需要考虑来自低位的进位数。设全加器的三个输入分别为 A_i, B_i, C_{i-1} ，相加产生的和及进位分别为 S_i 和 C_i 。则可列出全加器逻辑功能的真值表，由真

值表作卡诺图并化简得：

$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

题目要求为与或非门，则可对 S_i 和 C_i 两次求反，得：

$$\overline{S_i} = \overline{\overline{S_i}} = \overline{\overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}}$$

$$\overline{C_i} = \overline{\overline{C_i}} = \overline{\overline{A_i B_i} + \overline{A_i C_{i-1}} + \overline{B_i C_{i-1}}}$$

2. 11

(1) BC=11 时， $F = A + \overline{A}$, 存在静态 1 险象

(2) ACD=000 时， $F = B \overline{g} \overline{B}$ ，存在静态 0 险象

ABD=011 时， $F = C \overline{g} \overline{C}$ ，存在静态 0 险象

ABC=010 时， $F = D \overline{g} \overline{D}$ ，存在静态 0 险象

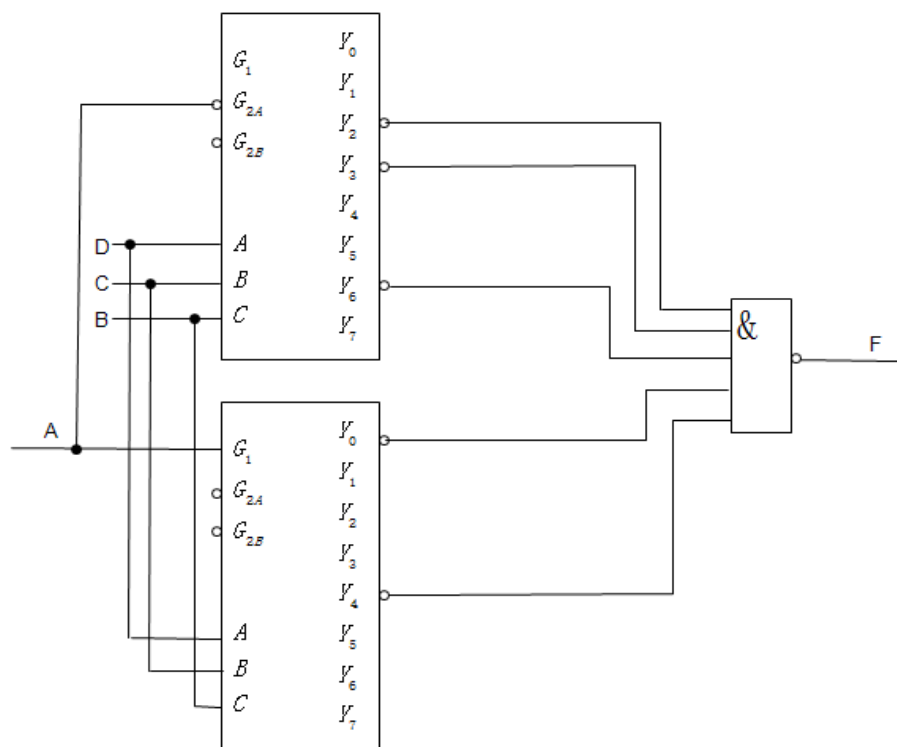
2. 12

$$(1) F = AC + \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{D} + \overline{A} \overline{C} D + BCD$$

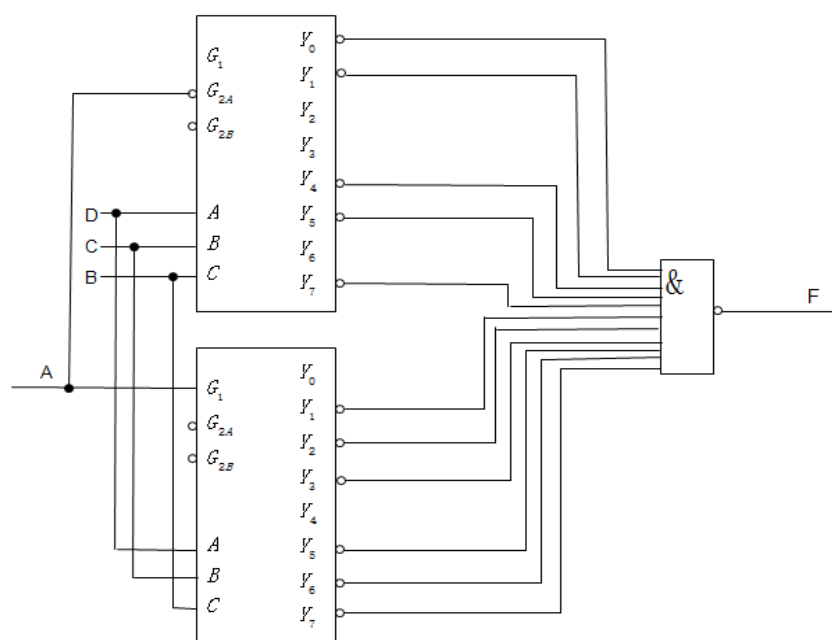
$$(2) F = \overline{A} \overline{C} + BCD + ABD$$

2. 13

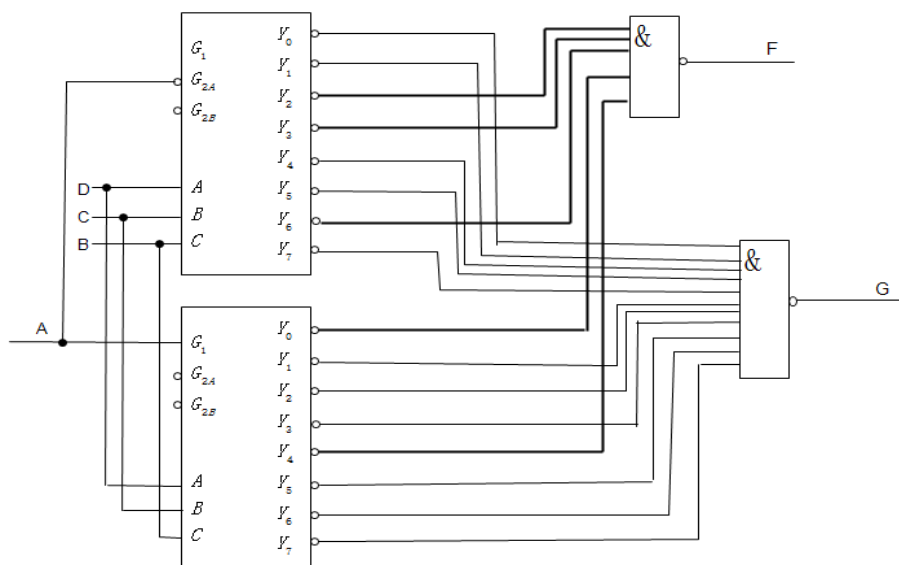
(1)



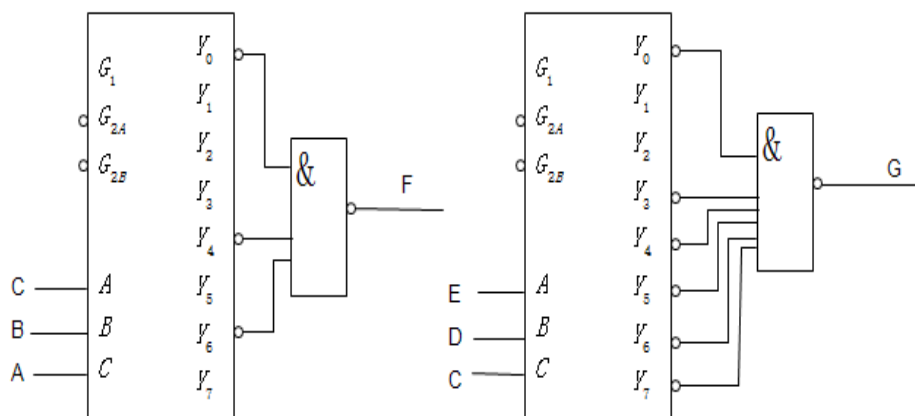
(2)



(3)



(4)



2. 14 用 A 、 B 、 C 分别表示被加数、加数和来自地位的进位， F 和 G 表示“和”及“进位”，
则由题 2.10 可知 $F = \overline{A}BC + A\overline{B}C + ABC, G = AB + AC + BC$ ，图略。

2. 15

2. 16

2. 17 略

2. 18 (1) $F = \sum m^3(3, 5)$ (2) $F = \sum m^3(1, 3, 4, 5, 6, 7)$ 图略

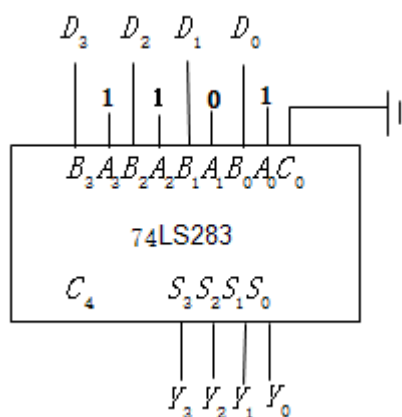
2. 19

(1) 用 $D_3D_2D_1D_0$ 表示余3码，用 $Y_3Y_2Y_1Y_0$ 表示8421码，

则 $Y_3Y_2Y_1Y_0 = D_3D_2D_1D_0 - 0011$

$= D_3D_2D_1D_0 + (-0011)$ 补

$= D_3D_2D_1D_0 + 1101$



(2) 用 $ABCD$ 表示2421码, $WXYZ$ 表示余3码, 则

$$W = A, Z = D, X = \overline{A}B\overline{C} + \overline{B}C\overline{D} + B\overline{C}D + \overline{A}C$$

$$Y = \overline{A}B + \overline{A}C\overline{D} + \overline{A}C\overline{D} + \overline{A}C\overline{D}$$

电路图略。

2. 20 已知 8421BCD 中以 0000~1001 表示 0~9 共 10 个一位数, 且 BCD 码中不允许出现 1010~1111 这 6 个代码。二位 BCD 码相加时, 可能产生进位, 且可能产生 20 种不同的和代码, 其中不超过 9 的 10 种代码不需要校正, 而超过 9 的 10 种代码均需要进行校正, 同时还产生进位。则可列出一位 8421BCD 码相加之和的校正表

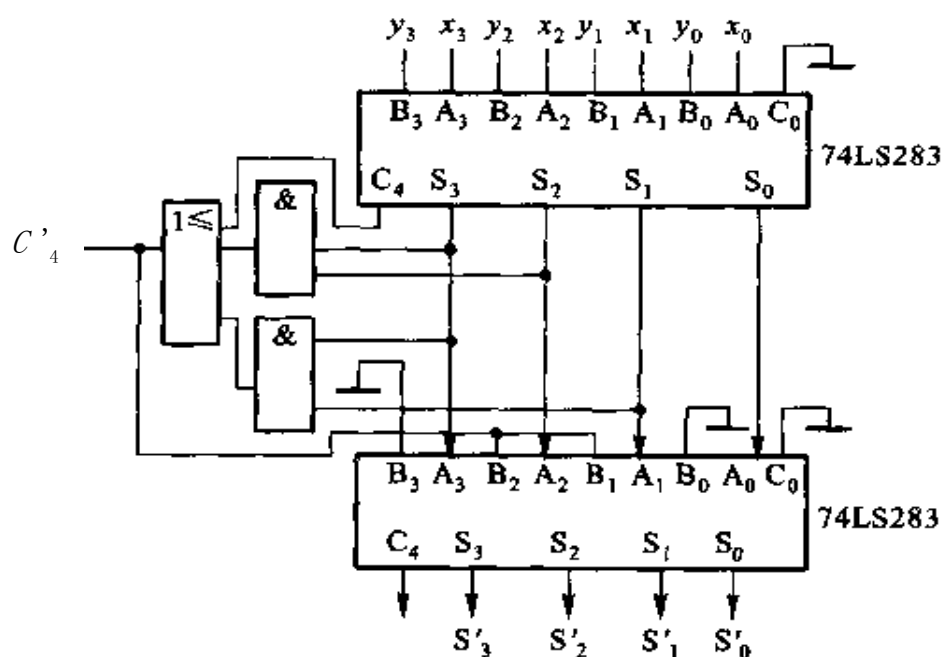
十进制数	未校正的 BCD 码和					校正的 BCD 码和					
	C_4	S_3	S_2	S_1	S_0	C'_4	S'_3	S'_2	S'_1	S'_0	
0	不需要校正	0	0	0	0	0	0	0	0	0	
1		0	0	0	1	0	0	0	1		
2		0	0	1	0	0	0	1	0		
3		0	0	1	1	0	0	1	1		
4		0	1	0	0	0	1	0	0		
5		0	1	0	1	0	1	0	1		
6		0	1	1	0	0	1	1	0		
7		0	1	1	1	0	1	1	1		
8		1	0	0	0	1	0	0	0		
9	1	0	0	1	1	0	0	1			
10	需要校正	1	0	1	0	\Rightarrow C'_4	1	0	0	0	0
11		1	0	1	1		1	0	0	0	1
12		1	1	0	0		1	0	0	1	0
13		1	1	0	1		1	0	0	1	1
14		1	1	1	0		1	0	1	0	0
15		1	1	1	1		1	0	1	0	1
16		校正	1	0	0		0	0	1	1	0

17		1	0	0	0	1	1	0	1	1	1
18		1	0	0	1	0	1	1	0	0	0
19		1	0	0	1	1	1	1	0	0	1

从表中可以看出，对于和大于等于 10 (1010) 的数都需要进行加 6 (0110) 校正，而且还要产生一个进位 C'_4 ，则 C'_4 的表达式为

$$C'_4 = S_3 \overline{S_2} \overline{S_1} \overline{S_0} + S_3 \overline{S_2} S_1 S_0 + S_3 S_2 \overline{S_1} \overline{S_0} + S_3 S_2 \overline{S_1} S_0 + S_3 S_2 S_1 \overline{S_0} + C_4 = S_3 S_1 + S_3 S_2 + C_4$$

按上式可得进位 C'_4 的逻辑电路，则电路图如下：

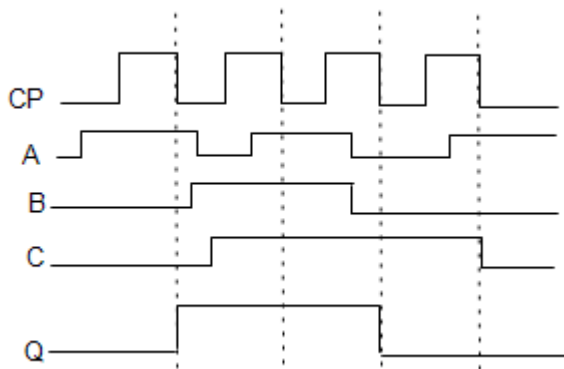


第三章

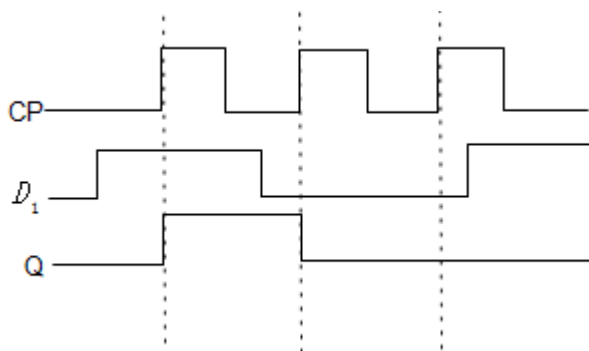
3.1 激励函数表达式： $J = K = \overline{AC + BC}$

JK 触发器次态方程式： $Q^{n+1} = J\overline{Q} + \overline{K}Q$

波形图如下：



3.2 激励函数表达式: $D = \overline{Q}D_1$



3.3 激励方程:

$$D_2 = (Q_1 \oplus Q_0) \oplus \overline{Q_1} + Q_2 = Q_1\overline{Q_0} + Q_2\overline{Q_1}Q_0 + \overline{Q_2}Q_1\overline{Q_0}$$

$$D_1 = Q_2$$

$$D_0 = Q_1$$

$Q_2Q_1Q_0$	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
000	1	0	0
001	0	0	0
010	1	0	1
011	0	0	1
100	0	1	0
101	1	1	0
110	1	1	1
111	0	1	1

Q	Q^{n+1}
A	E
B	A
C	F
D	B

E	C
F	G
G	H
H	D

3. 4 (b)

3. 5 从电路图可得：电路的输出仅与现态有关，与输入无关。因此，属于 Moore 型。

(1) 列出激励函数及输出函数表达式：

$$J_0 = x \cdot \bar{y}$$

$$K_0 = x \cdot \bar{y} + y \cdot Q_1$$

$$J_1 = x \cdot Q_0 + y$$

$$K_1 = y \cdot \bar{Q}_0 + x \cdot \bar{y} \cdot Q_0$$

$$Z = Q_1 \cdot Q_0 + \bar{Q}_1 \cdot \bar{Q}_0$$

(2) 列出状态变量的次态方程：

$$Q_0^{n+1} = J_0 \cdot \bar{Q}_0 + \bar{K}_0 \cdot Q_0$$

$$= x \cdot \bar{y} \cdot \bar{Q}_0 + \bar{x} \cdot \bar{y} \cdot Q_0 + \bar{x} \cdot \bar{Q}_1 \cdot Q_0 + y \cdot \bar{Q}_1 \cdot Q_0$$

$$Q_1^{n+1} = J_1 \cdot \bar{Q}_1 + \bar{K}_1 \cdot Q_1$$

$$= x \cdot \bar{Q}_1 \cdot Q_0 + y \cdot \bar{Q}_1 + \bar{x} \cdot \bar{y} \cdot Q_1 + \bar{y} \cdot Q_1 \cdot \bar{Q}_0 + y \cdot Q_1 \cdot Q_0 + \bar{x} \cdot Q_1 \cdot Q_0$$

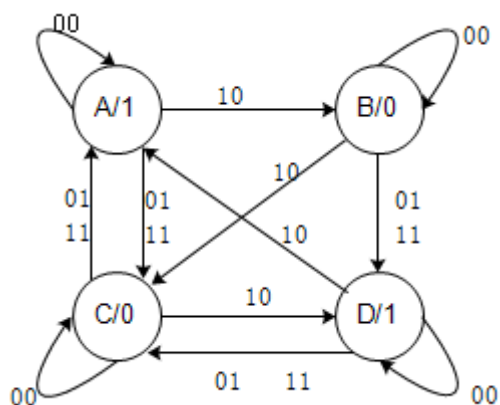
(3) 列二进制状态表

xy Q ₁ Q ₀	00	01	10	11
00	00	10	01	10
01	01	11	10	11
10	10	00	11	00
11	11	10	00	10

(4) 列状态/输出表：设定 00=A, 01=B, 10=C, 11=D

xy S	00	01	10	11	Z
A	A	C	B	C	1
B	B	D	C	D	0
C	C	A	D	A	0
D	D	C	A	C	1

(5) 画状态图

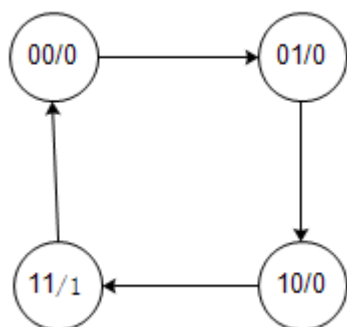


(6) 电路特性说明：电路有 4 个状态，状态指甲呢转换由输入 x 、 y 控制。当 $xy=00$ 时，在时钟脉冲作用下，原状态保持不变；当 $xy=10$ 时，在时钟脉冲作用下，状态在 $A \rightarrow B \rightarrow C \rightarrow D \rightarrow A$ 中循环，并且在 A 、 D 状态时输出 1；当 $xy=01$ 、 11 时，状态转换顺序与起始状态有关，若起始状态为 A 或 C ，则状态在 A 、 C 之间循环，若起始状态为 B ，则状态将是 $B \rightarrow D \rightarrow C \rightarrow A$ ，以后在 A 、 C 之间循环。

3. 6 激励方程和输出函数如下：

$$D_1 = \bar{Q}_1, D_2 = Q_1 \oplus Q_2, F = Q_1 \cdot Q_2$$

状态图：



则可知：该电路是一个模 4 循环计数器，每当完成一次循环计数就输出一次 1。

3. 7 激励方程如下：

$$EN_1 = Y, EN_2 = \bar{X}YQ_1$$

$$Q_1^{n+1} = EN_1 \cdot \bar{Q}_1 + \overline{EN_1} \cdot Q_1 = Y\bar{Q}_1 + \bar{Y}Q_1$$

$$Q_2^{n+1} = EN_2 \cdot \bar{Q}_2 + \overline{EN_2} \cdot Q_2 = \bar{X}Y\bar{Q}_2Q_1 + XQ_2 + \bar{Y}Q_2 + Q_2\bar{Q}_1$$

$$Z = X\bar{Q}_2$$

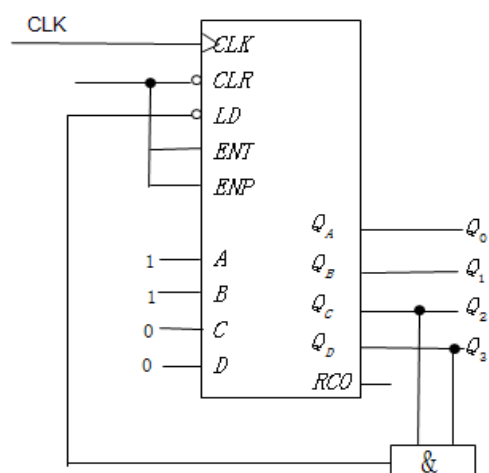
XY Q_2Q_1	00	01	10	11
A 00	00/0	01/1	01/0	00/0
B 01	01/1	10/1	00/0	01/0
C 10	11/0	00/0	10/0	11/0
D 11	10/0	11/0	11/0	10/0

当 $Y=0$ 时,系统不变化;当 $Y=1$ 时,若 $X=0$, 是模 4 加 1 计数器;若 $X=1$, 系统在 A-B,C-D 之间循环。

3. 8 课本有答案

3. 9 已知技术序列为 $0011 \rightarrow 0100 \rightarrow 0101 \rightarrow 0110 \rightarrow 0111$
 \uparrow
 $1100 \leftarrow 1011 \leftarrow 1010 \leftarrow 1001 \leftarrow 1000$
 \downarrow

用/LD 端实现从 1100 到 0011 的跳跃, 则电路图如下:



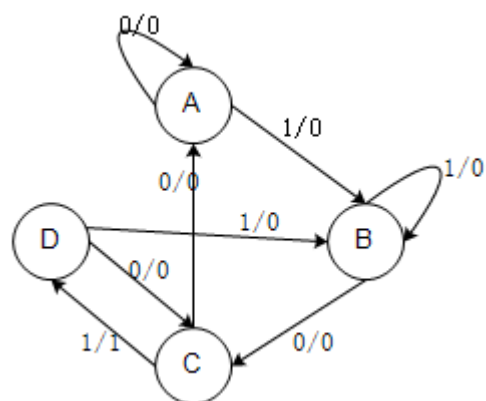
3.10 0111~0000 减 1 计数; 1000~1111 加 1 计数
 则该电路为模 16 计数器

3. 11

3. 12

3. 13

(1) 作原始状态图得

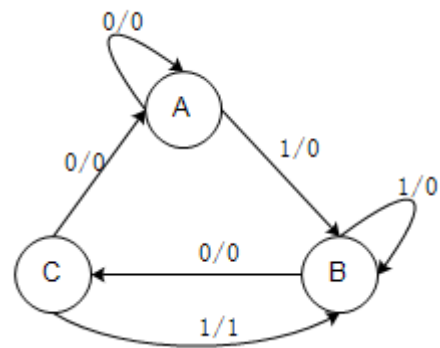


作原始状态表, 并化简为最小状态表

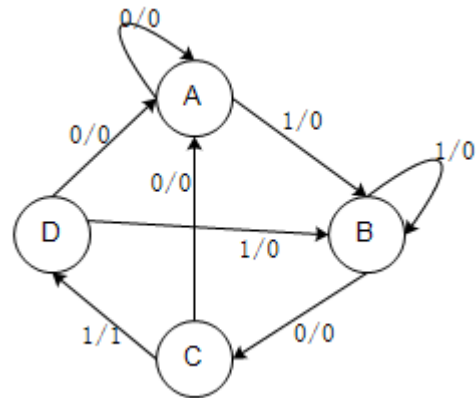
$X \backslash Q^n$	0	1
A	A/0	B/0

B	C/0	B/0
C	A/0	D/1
D	B/0	C/0

所以状态图为



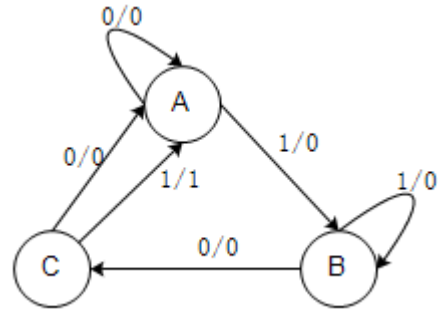
(2) 作原始状态图得



作原始状态表，并化简为最小状态表

$X \backslash Q^n$	0	1
A	A/0	B/0
B	C/0	B/0
C	A/0	D/1
D	B/0	C/0

所以状态图为



$X \backslash Q^n$	0	1
A	A/0	B/0
B	C/0	B/0
C	A/0	B/1

$X \backslash Q^n$	0	1
A	A/0	B/0
B	C/0	B/0
C	A/0	B/1

3. 14 最大等效类为 (A,D) , (B,C) , (E) , 设 (A,D) , (B,C) , (E) 分别为 A' , B' , C' , 则最小化状态表为

x_2x_1 y	00	01	11
A'	A'/1	B'/0	C'/1
B'	A'/0	C'/0	B'/1
C'	A'/1	B'/0	B'/1

3.15 最大相容类为 (1, 3, 4), (2, 5, 6), 设 (1, 3, 4), (2, 5, 6) 分别为 A, B, 则最小化状态表为:

x_2x_1 y	00	01	11	10
A	A/0	A/0	B/1	A/0
B	B/1	A/0	B/1	B/0

3. 16 根据题目给定的状态表, 进行化简, 得已知状态表为最小化状态表, 则列出二进制状态表得:

x q_2q_1	0	1	Z
00	01	10	0
01	11	01	0
11	01	00	0
10	01	11	1

(1) 用 D 触发器, 确定激励函数及输出函数表达式:

x q_2q_1	0	1
00	0	1
01	1	0
11	0	0
10	0	1

D2

x q_2q_1	0	1
00	0	1
01	1	0
11	0	0
10	0	1

D1

所以 $D_2 = x\bar{q}_1 + \bar{x}\bar{q}_2q_1$, $D_1 = x + \bar{q}_2q_1 + q_2\bar{q}_1$, $Z = q_2\bar{q}_1$

(2) 用 JK 触发器, 确定激励函数及输出函数表达式:

x q_2q_1	0	1
00	0	1
01	1	0
11	d	d
10	d	d

J2
K2

$\begin{matrix} X \\ Q_2 Q_1 \end{matrix}$	0	1
00	1	0
01	d	d
11	d	d
10	d	d

J1

$\begin{matrix} X \\ Q_2 Q_1 \end{matrix}$	0	1
00	d	d
01	d	d
11	1	1
10	1	0

$\begin{matrix} X \\ Q_2 Q_1 \end{matrix}$	0	1
00	d	d
01	0	0
11	0	1
10	d	d

K1

所以 $J_2 = \bar{x}Q_1 + x\bar{Q}_1, K_2 = Q_1 + \bar{x}$

$J_1 = \bar{x} + Q_2, K_2 = xQ_2$

$Z = Q_2\bar{Q}_1$

(3) 用 T 触发器，确定激励函数及输出函

数

$\begin{matrix} X \\ Q_2 Q_1 \end{matrix}$	0	1
00	0	1
01	1	0
11	1	1
10	1	0

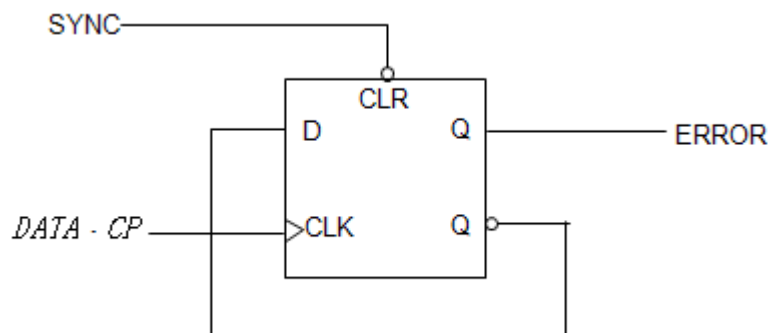
T2

$\begin{matrix} X \\ Q_2 Q_1 \end{matrix}$	0	1
00	1	0
01	0	0
11	0	1
10	1	1

T1

所以 $T_2 = \bar{x}\bar{Q}_2\bar{Q}_1 + \bar{x}Q_1 + \bar{x}Q_2 + Q_2Q_1, T_1 = \bar{x}\bar{Q}_1 + xQ_2, Z = Q_2\bar{Q}_1$

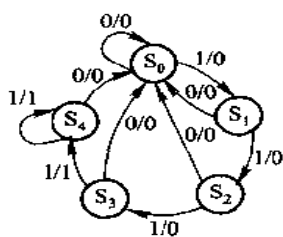
3. 17 电路图如下：



3. 18 设计步骤如下：

(1) 建立原始状态表：设初态 S_0 收到 1 个“0”，并且用 S_i 表示收到第 i 个“1”，则可得到

Melay 型原始状态图及原始状态表，见图 (a)，(b)



(a) 原始状态图

$S \backslash x$	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_0/0$	$S_3/0$
S_3	$S_0/0$	$S_4/1$
S_4	$S_0/0$	$S_4/1$

S^{n+1}/Z

(b) 原始状态表

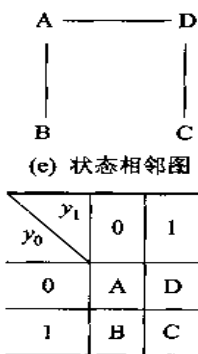
$S_i \backslash S_j$	S_0	S_1	S_2	S_3	S_4
S_0	S_0, S_2	S_1, S_3	S_2, S_3		
S_1					
S_2					
S_3					
S_4					

(c) 隐含表

$y \backslash x$	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	D/1

y^{n+1}/Z

(d) 最小化状态表



(f) 状态分配方案

$y_1 y_0 \backslash x$	0	1
A 00	00/0	01/0
B 01	00/0	11/0
C 11	00/0	10/0
D 10	00/0	10/1

$y_1^{n+1} y_0^{n+1}/Z$

(g) 二进制状态表

(2) 状态化简：作隐含表 (c)，从隐含表可得到最大等效类 (S_0) , (S_1) , (S_2) , (S_3, S_4) ,

设 (S_0) , (S_1) , (S_2) , (S_3, S_4) 分别为 A、B、C、D, 由此可得到最小化状态表 (d)

(3) 状态分配：根据三个规则计算得总改善效果： $E_{AB} = 1, E_{AC} = 1, E_{AD} = 2, E_{CD} = 2$ 。

根据作品能够改善效果大小的状态相邻图 (e) 和状态分配方案 (f)。

(4) 选择 D 触发器得： $D_1 = xy_1 + xy_0, D_0 = \overline{xy_1}, Z = \overline{xy_1}y_0$

$y_1 y_0 \backslash x$	0	1
00	0	0
01	0	1
11	0	1
10	0	1

D_1

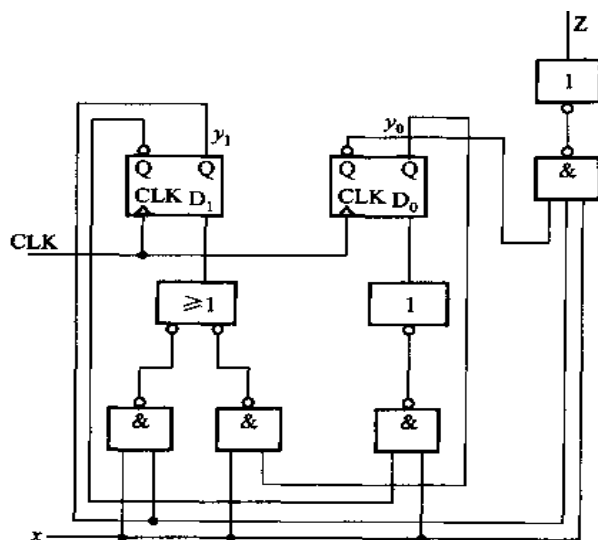
$y_1 y_0 \backslash x$	0	1
00	0	1
01	0	1
11	0	0
10	0	0

D_0

$y_1 y_0 \backslash x$	0	1
00	0	0
01	0	0
11	0	0
10	0	1

Z

(5) 画出逻辑电路图



(6) 讨论：在激励函数及输出函数卡诺图中没有无关项 d 出现，因此不会出现挂起状态。

3. 19 分别用 000~100 表示 5 进制计数器中的 5 个状态，设当 $x=1$ 时，加 1 计数，当 $x=0$ 时，减 1 计数；则可直接得到二进制状态表。此表无需化简和状态分配，根据状态表可画出各激励函数的卡诺图。

考虑多输出函数的公用与项情况，可得到激励函数的逻辑表达式：

$$J_2 = \overline{x} \overline{Q_1} \overline{Q_0} + x Q_1 Q_0, K_2 = 1$$

$$J_1 = \overline{x} Q_2 + x, K_1 = \overline{x} \overline{Q_1} \overline{Q_0} + x$$

$$J_0 = Q_1 \overline{Q_0} + \overline{x} Q_2 + x Q_2, K_0 = 1$$

$x \backslash Q_2 Q_1 Q_0$	0	1
000	100	001
001	000	010
010	001	011
011	010	100
100	011	000

二进制状态表

$x Q_2 \backslash Q_2 Q_1$	00	01	11	10
00	1	d	d	0
01	0	d	d	0
11	0	d	d	1
10	0	d	d	0

J2

$x Q_2 \backslash Q_2 Q_1$	00	01	11	10
00	d	1	1	d
01	d	d	d	d
11	d	d	d	d
10	d	d	d	d

K2

$xQ_2 \backslash Q_2Q_1$	00	01	11	10
00	0	1	0	0
01	0	d	d	1
11	d	d	d	d
10	d	d	d	d

J1

$xQ_2 \backslash Q_2Q_1$	00	01	11	10
00	d	d	d	d
01	d	d	d	d
11	0	d	d	1
10	1	d	d	0

K1

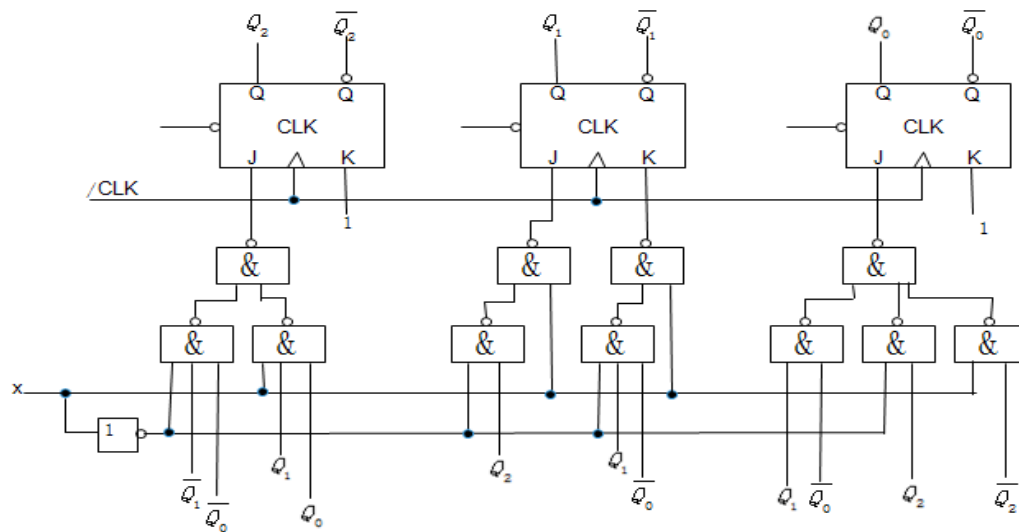
$xQ_2 \backslash Q_2Q_1$	00	01	11	10
00	0	1	0	1
01	d	d	d	d
11	d	d	d	d
10	1	d	d	1

J0

$xQ_2 \backslash Q_2Q_1$	00	01	11	10
00	d	d	d	d
01	1	d	d	1
11	1	d	d	1
10	d	d	d	d

K0

根据逻辑表达式化电路图：



3. 20

3. 21 (1) 列出输出函数和控制函数表达式：

$$D_1 = \overline{y_1}, D_2 = \overline{y_1}, CLK_1 = xy_1 + xy_2$$

$$CLK_2 = xy_2 + x\overline{y_1}, Z = xy_1y_2$$

(2) 列出状态真值表及次态真值表

现态	输入	组合电路输出					次态
y_2y_1	x	CLK_2	CLK_1	D_2	D_1	Z	$y_2^{n+1}y_1^{n+1}$

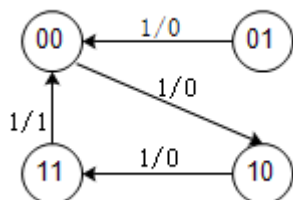
00	1	1	0	1	1	0	10
01	1	0	1	0	0	0	00
10	1	1	1	1	1	0	11
00	1	1	1	0	0	1	00

当 $x=0$ 时，电路状态不变，因此。仅列出 $x=1$ 的情况。列次太真值表的原则是：

当 $CLK=0$ 时，则 $Q^{n+1} = Q$ ，当 $CLK=1$ 时，则 $Q^{n+1} = D$

(3) 画出状态表和状态图

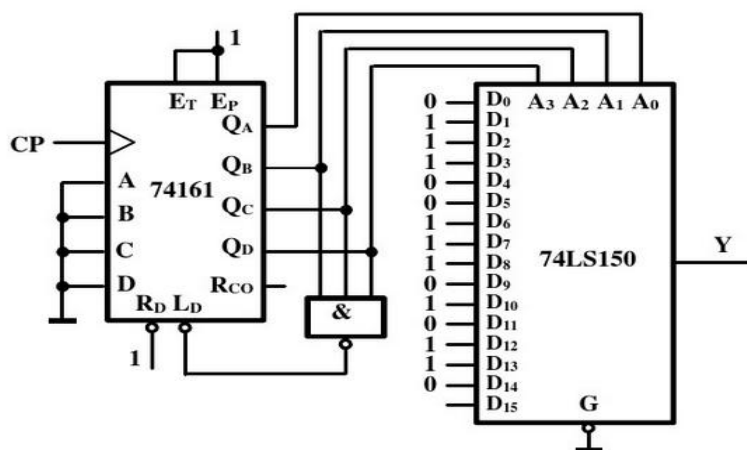
$x \backslash y_2 y_1$	1
00	10/0
01	00/0
10	11/0
11	00/1



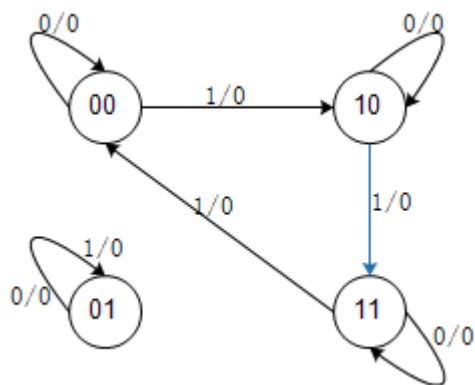
(4) 假设初始状态为 00，则易得出该电路是一个带进位端（进位端为 Z）的模 3 计数器。从状态图可以看出，该电路具有自恢复功能，不会出现挂起现象。

3. 22

要产生的序列数据是 15 个，可选用 16 进制计数器 74LS161 和 16 选 1 数据选择器 74LS150 完成。将 74LS161 用反馈置数法改接成 0000 \rightarrow 1110 的 15 进制计数器，将计数器的输出 $Q[D...A]$ 接至数据选择器的地址 $A[3...0]$ 端，将 $D[0...14]$ 依次按序列值设置，其电路图如下：



3. 23 由题得电路图如下：



由状态图可知，所示电路有三个有效状态，形成有效的状态序列。每当电路接收到三个输入脉冲后，就输出一个脉冲。且状态 10 是孤立状态，一旦电路进入 10，便处于“挂起状态”。为使电路正常工作，建议应对电路做适当修改，使得电路在进入 10 状态后可以恢复至有效状态。

3. 25 (1) 列出激励函数和输出函数表达式：

$$J_1 = x_2 Q_2, K_1 = x_3 \overline{Q_2} + x_2 Q_1$$

$$J_2 = x_1, K_2 = x_2 Q_1 + x_3$$

$$Z = \overline{Q_2} Q_1$$

(2) 列出状态真值表及次态真值表

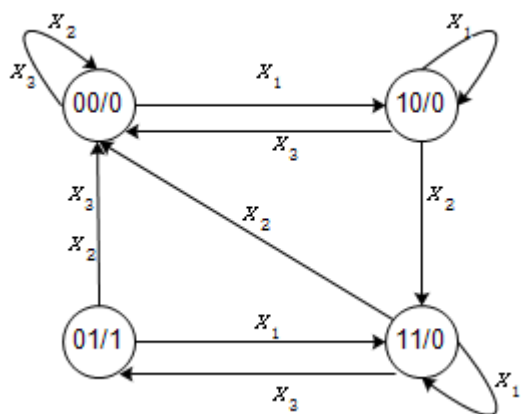
$Q_2 Q_1$	$x_3 x_2 x_1$	J_2	K_2	J_1	K_1	$Q_2^{n+1} Q_1^{n+1}$	z
00	001	1	0	0	0	10	0
	010	0	0	0	0	00	
	100	0	1	0	1	00	
01	001	1	0	0	0	11	1
	010	0	1	0	1	00	
	100	0	1	0	1	00	
10	001	1	0	0	0	10	0
	010	0	0	1	0	11	
	100	0	1	0	0	00	
11	001	1	0	0	0	11	0
	010	0	1	1	1	00	
	100	0	1	0	0	01	

(3) 画出状态表和状态图

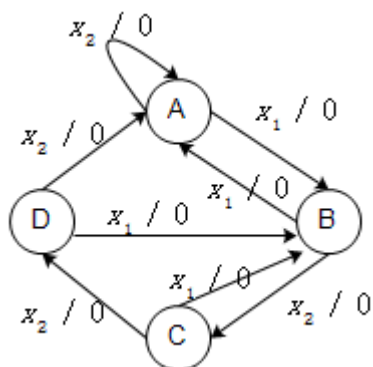
由电路状态图可看出，如果从状态 00 出发，顺序输入 $x_1 \rightarrow x_2 \rightarrow x_3$ ，则电路状态变化为 $10 \rightarrow 11 \rightarrow 01$ ，输出为 $0 \rightarrow 0 \rightarrow 1$ 。因此，该电路为一个 $x_1 \rightarrow x_2 \rightarrow x_3$ 序列检测器。当输出为 1 后，输入 x_2, x_3 可使电路恢复至初态。

$Q_2 Q_1$	100	010	001	z
-----------	-----	-----	-----	---

00	00	00	10	0
01	00	00	11	1
10	00	11	10	0
11	01	00	11	0



3.26 (1) 做原始状态图及原始状态表：



x_2x_1	x_2	x_1
y		
A	B/0	A/0
B	A/0	C/0
C	B/0	D/1
D	B/0	A/0

(2) 状态化简：AD 为等效类，得最小化状态表

x_2x_1	x_2	x_1
y		
A	B/0	A/0
B	A/0	C/0
C	B/0	A/1

(3) 状态分配：

$y_2 \backslash y_1$	0	1
0	A	C
1	B	

得二进制状态表：

$Q_2 Q_1 \backslash X_2 X_1$	X_1	X_2
00	01/0	00/0
01	00/0	10/0
10	01/0	00/1

(4) 确定控制函数及输出函数

$Q_2 Q_1 \backslash X_2 X_1$	00	01	11	10
00	0	0	d	0
01	0	0	d	1
11	d	d	d	d
10	0	1	d	1

CLK2

$Q_2 Q_1 \backslash X_2 X_1$	00	01	11	10
00	d	d	d	d
01	d	d	d	1
11	d	d	d	d
10	d	0	d	0

D2

$Q_2 Q_1 \backslash X_2 X_1$	00	01	11	10
00	0	1	d	0
01	0	1	d	1
11	d	d	d	d
10	0	1	d	0

CLK1

$Q_2 Q_1 \backslash X_2 X_1$	00	01	11	10
00	d	1	d	d
01	d	0	d	0
11	d	d	d	d
10	d	1	d	d

D1

$Q_2 Q_1 \backslash X_2 X_1$	00	01	11	10
00	0	0	d	0
01	0	0	d	0
11	d	d	d	d

10	0	0	d	1
Z				

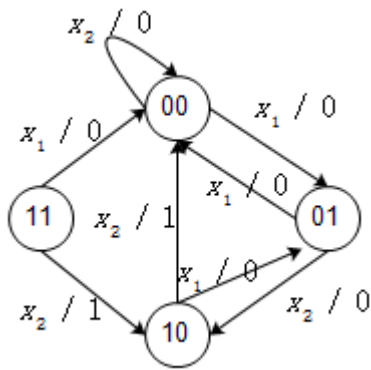
则:

$$CLK_2 = x_2 Q_1 + x_2 Q_2 + x_1 Q_2, D_2 = x_2$$

$$CLK_1 = \overline{x_2} x_1 + x_2 Q_1, D_1 = x_1 \overline{Q_1}$$

$$Z = x_2 Q_2$$

(5)讨论:在设计中未出现 $Q_2 Q_1=11$ 的情况,现在需讨论如果发生某种干扰,使电路处于 $Q_2 Q_1=11$ 的情况。(a)当 $Q_2 Q_1=11$ 时,若 $x_1=1$,则 $CLK_2=1$, $D_2=0$, $CLK_1=1$, $D_1=0$, $Z=0$,次态为00 (b)当 $Q_2 Q_1=11$ 时,若 $x_2=1$,则 $CLK_2=1$, $D_2=1$, $CLK_1=1$, $D_1=0$, $Z=1$,次态为10。做出状态图:



则易知:此电路无挂起状况,但在 $Q_2 Q_1=11$, $x_2=1$ 时,电路有一个错误输出1,因此需要修改输出函数Z的表达式为 $Z = x_2 Q_2 \overline{Q_1}$

(6)画出电路图:略

3. 27 此题解题步骤同3.26,只需在第四步确定控制函数和输出函数时将D触发器换为JK触发器和T触发器即可

$$f = \frac{1.44}{(R_1 + 2R_2)C_1} = \frac{1.44}{(2 + 2 \times 4.3) \times 0.02} = 6.79kHz$$

3. 28

$$Duty = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\% = \left(\frac{2 + 4.3}{2 + 2 \times 4.3} \right) \times 100\% = 59.4\%$$

3.29

第四章

4.1

简单可编程逻辑器件(SPLD)包括可编程只读存储器(PROM)、可编程逻辑阵列器件(PLA)、可编程阵列逻辑器件(PAL),以及通用阵列逻辑器件(GAL)。

它们的共同点是:以与阵列和或阵列作为核心逻辑资源,能够以“积之和”的形式实现布尔逻辑函数。

PROM 的特点是:与阵列固定,或阵列可编程。

PLA 的特点是:与阵列和或阵列都可编程。

PAL 的特点是:与阵列固定,或阵列可编程。

GAL 的特点是:它是在 PAL 的基础上,吸收了先进的浮栅技术,输出端都集成着一个可编程的输出逻辑宏单元(OLMC),通用性更强。

4.2

(1) 8421 码至余三码

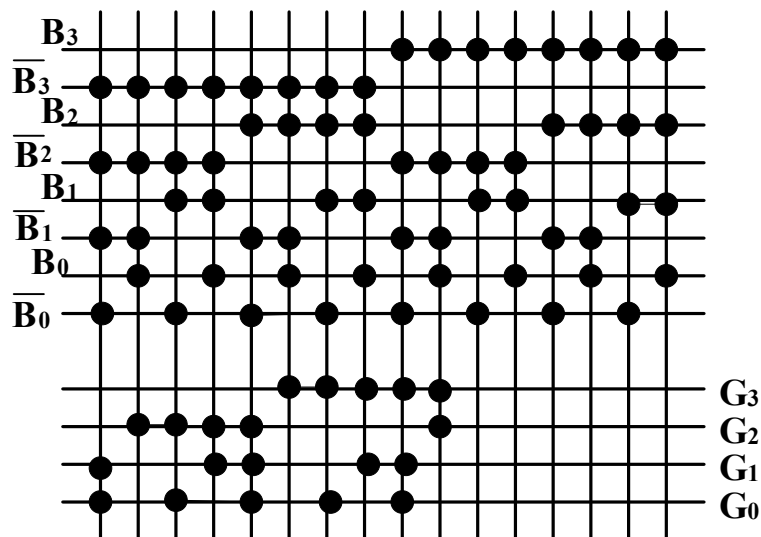
真值表如下:

8421 码		余三码		
$B^3 B^2$		$G^3 G^2$		
$B_1 B_0$		$G_1 G_0$		
0 0	0	0 0	1	
0 1	0	0 1	0	
1 0	0	0 1	0	
1 1	0	0 1	1	
0 0	1	1 0	0	
0 1	1	1 0	0	
1 0	1	1 0	1	
1 1	1	1 0	1	
0 0	0	1 1	0	
0 1	0	1 1	0	
1 0	0	1 1	1	
1 1	0	1 1	1	
0 0	1	0 0	0	
0 1	1	0 0	0	
1 0	1	0 0	1	
1 1	1	0 0	1	

最小项表达式为:

$$G_3 = \sum(5,6,7,8,9) \quad G_2 = \sum(1,2,3,4,9) \quad G_1 = \sum(0,3,4,7,8) \quad G_0 = \sum(0,2,4,6,8)$$

阵列图为：



(2) 二进制码转至 2421

真值表如下：B 为二进制码，G 为 2421 码

B3	B2	B1	B0	G10	G3	S2	S1	S0
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1
0	0	1	0	0	0	0	1	0
0	0	1	1	0	0	0	1	1
0	1	0	0	0	0	1	0	0
0	1	0	1	0	1	0	1	1
0	1	1	0	0	1	1	0	0
0	1	1	1	0	1	1	0	1
1	0	0	0	0	1	1	1	0
1	0	0	1	0	1	1	1	1
1	0	1	0	1	0	0	0	0
1	0	1	1	1	0	0	0	1
1	1	0	0	1	0	0	1	0
1	1	0	1	1	0	0	1	1
1	1	1	0	1	0	1	0	0
1	1	1	1	1	1	0	0	0

最小项表达式为：

$$G_{10} = \sum(10,11,12,13,14,15) \quad G_3 = \sum(5,6,7,8,9,15) \quad G_2 = \sum(4,6,7,8,9,14)$$

$$G_1 = \sum(2,3,5,8,9,12,13,15) \quad G_0 = \sum(1,3,5,7,9,11,13,15)$$

阵列图为：略

(3)典型 Gray 码至 8421

真值表如下：B 为典型 Grey 码，G 为 8421 码

B3	B2	B1	B0	G10	G3	S2	S1	S0
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1	0
0	0	1	0	0	0	0	1	1
0	1	1	0	0	0	1	0	0
0	1	1	1	0	0	1	0	1
0	1	0	1	0	0	1	1	0
0	1	0	0	0	0	1	1	1
1	1	0	0	0	1	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	1	1	0	0	0	0
1	1	1	0	1	0	0	0	1
1	0	1	0	1	0	0	1	0
1	0	1	1	1	0	0	1	1
1	0	0	1	1	0	1	0	0
1	0	0	0	1	1	0	0	0

最小项表达式为：

$$G_{10} = \sum (8,9,10,11,14,15) \quad G_3 = \sum (12,13) \quad G_2 = \sum (4,5,6,7,8,9)$$

$$G_1 = \sum (2,3,4,5,10,11) \quad G_0 = \sum (1,2,4,7,8,11,13,14)$$

阵列图为：略

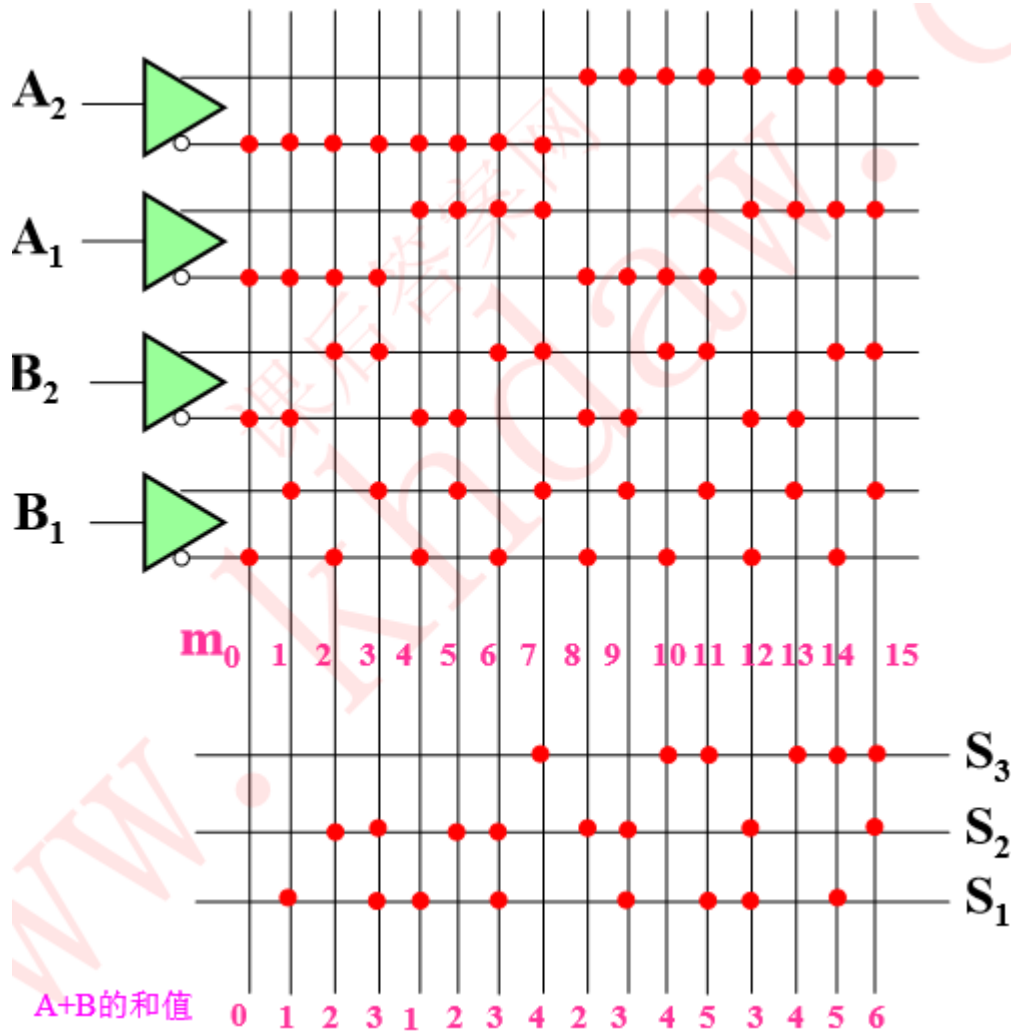
4.3 二位加法器

设 A, B 为两个二位二进制数，S 为相加结果，真值表如下：

A2	A1	B2	B1	S3	S2	S1
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0

1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

$$S_3 = \sum (1,3,4,6,9,11,12,14) \quad S_2 = \sum (2,3,5,6,8,9,12,15) \quad S_1 = \sum (7,10,11,13,14,15)$$

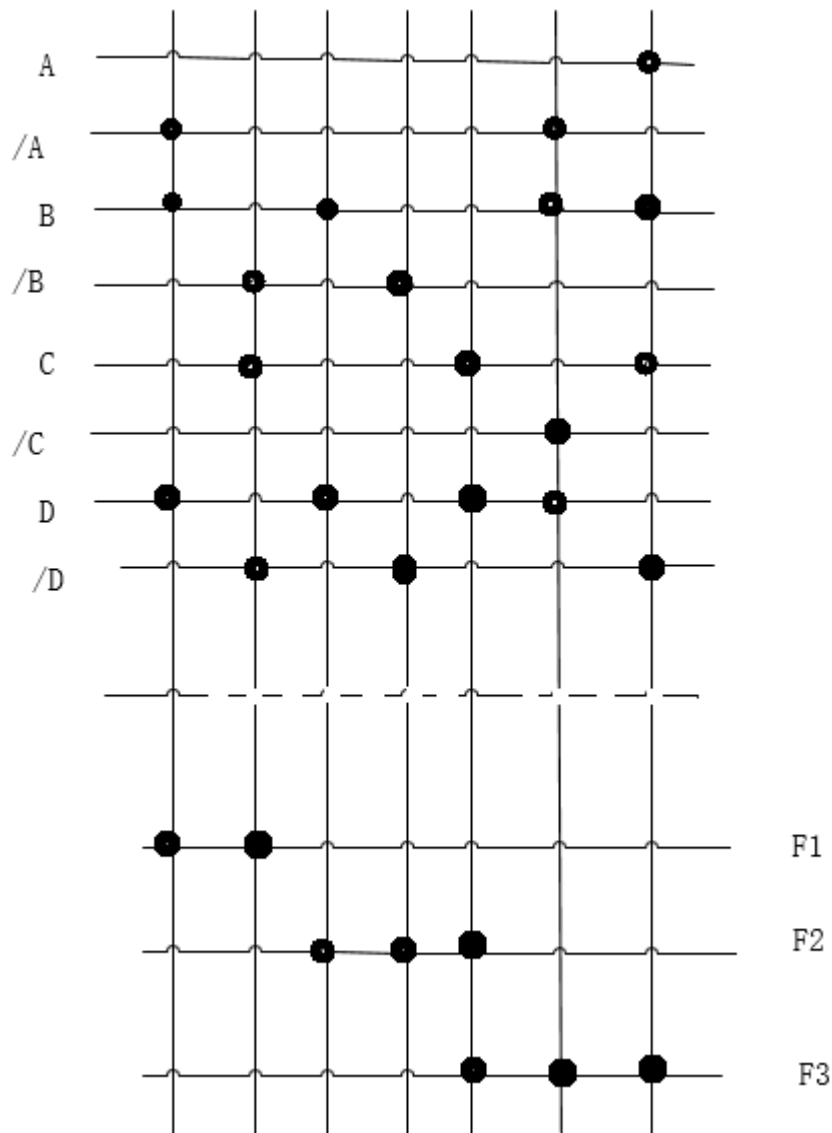


4.4

$$L = \overline{A}BC\overline{D} + A\overline{B}C\overline{D} + \overline{B}CD + \overline{A}BCD + A\overline{B}C\overline{D}$$

4.5

可以利用 PLA 阵列图表示所要求实现的逻辑函数，如图：



4.6

组合 PAL 器件输出不带寄存器，每组与阵列的输出被固定连接到或阵列的输入端。输出引脚分为 O 输出和 IO 输出。

而时序 PAL 器件输出部分具有输出寄存器，输出引脚分为 IO 输出和寄存器输出，都具有三态输出的功能，且都为低有效。

R 系列不带异或门，触发器的值来自与或阵列，触发器的输出通过三态缓冲器连到输出引脚，而且寄存器输出引脚不能当成输入引脚使用。

X 系列带有异或门，寄存器中每个触发器的输入信号来自一个异或门的输出，而每个异或门的两个输入分别来自两个较小的与或阵列的输出，与 R 系列的寄存器输出类似，但产生次态逻辑的电路结构不同。X 系列的输出结构特别适用于完成算术运算的场合。

4.7

4.8

4.9

4.10

GAL 器件在 PAL 器件的基础上做了一些改进。在工艺方面，GAL 器件采用高速电可擦除 CMOS 的 E²CMOS 工艺制作，使其具有了可测试性、低功耗、高集成性、高速率和可重复编程性。在结构方面，GAL 器件的结构是通用的，为设计者提供了最大的灵活性。器件内增加了可被编程的保密位，以防对逻辑的复制。

4.11

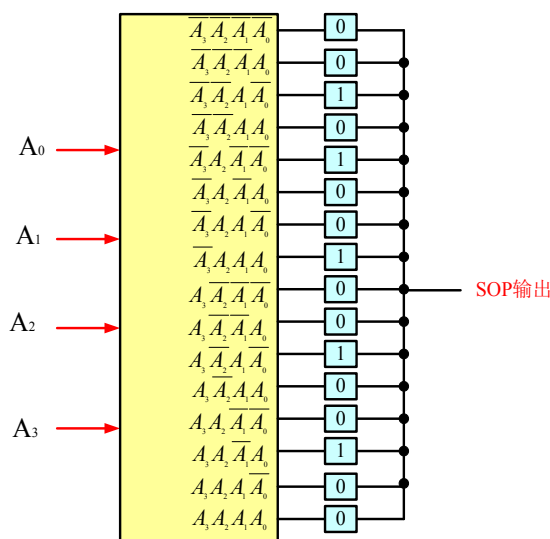
在结构方面，CPLD(Complex Programmable Logic Device)，即复杂可编程逻辑器件，是在 SPLD 的基础上发展起来的，是利用可编程的互连总线连接起来的多路 SPLD。CPLD 为逻辑板块编程，即以逻辑宏单元为基础，加上内部的与或阵列和外围的输入输出模块，不但实现了除简单逻辑控制之外的时序控制，又扩大了整个系统的应用范围。

FPGA (Field-Programmable Gate Array)，即现场可编程门阵列，它的结构比早期的 CPLD 更复杂，它采用类似掩模可编程门阵列结构，结合了可编程逻辑器件的特性，继承了门阵列逻辑器件密度高和通用性强的优点。

在编程方式上，FPGA 比 CPLD 具有更大的灵活性。CPLD 通过修改具有固定内连电路的逻辑功能来编程，FPGA 主要通过改变内部连线的布线来编程；FPGA 可在逻辑门下编程，而 CPLD 是在逻辑块下编程。CPLD 主要是基于 E²PROM 或 FLASH 存储器编程，编程次数可达 1 万次，优点是系统断电时编程信息也不丢失。CPLD 又可分为在编程器上编程和在系统编程两类。FPGA 大部分是基于 SRAM 编程，编程信息在系统断电时丢失，每次上电时，需从器件外部将编程数据重新写入 SRAM 中。其优点是可以编程任意次，可在工作中快速编程，从而实现板级和系统级的动态配置。

4.12

4 变量 LUT 编程



4.13

MAX7000S 是在系统可编程的 CPLD 器件，内部结构是基于乘积项，也就是与或阵列结构。采用 E²PROM 工艺，采用多电压的 I/O 接口，其 I/O 既能够和 5V 的器件兼容，又能和 3.3V 的器件兼容。MAX7000 是高成本 CPLD，规模比较大。

4.14

EPM7128S 包括逻辑阵列 LAB、宏单元、I/O 控制块以及可编程连接阵列 PIA。

逻辑阵列块包含 16 个宏单元，每个宏单元能单独配置为组合逻辑或者时序逻辑。多个逻辑阵列块通过可编程互连阵列 PIA 连接。PIA 接受来自专用输入引脚、I/O 引脚和宏单元的信号。I/O 控制块允许各 I/O 引脚配置为输入、输出或双向 I/O。

4.15

XC400 主要由可编程逻辑块 CLB、可配置存储器 SRAM 阵列、可编程输出输出块以及可编程内部连线 PI 组成。

CLB 给予查找表结构，还包括 2 个触发器，用来实现时序逻辑。

可配置存储器是一种静态存储器，由两个 CMOS 反相器和一个用来控制读写的 MOS 传输开关构成。

可编程输入输出块 IOB 可以灵活编程，以实现不同逻辑功能，满足不同逻辑的需求。

可编程内部连线 PI 是 XC4000 系列中特殊的内部连线，连线资源由水平和垂直的布线通道构成。

4.16

XC4000 的一个 CLB 包括三个查找表，其中两个为 4 输入查找表，第三个查找表的输入由前两个查找表的输出提供，从而实现 9 输入的逻辑功能。

4.17

源代码：

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY sop IS
    PORT (a, b, c, d, e, f: IN STD_LOGIC;
          x: OUT STD_LOGIC);
END sop;

ARCHITECTURE sop_arc OF sop IS
    BEGIN
        x <= (a AND b) OR (c AND d) OR (e AND f);
    END sop_arc;
```

4.18

源代码：

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY boolean IS
    PORT (a, b, c: IN STD_LOGIC;
          f: OUT STD_LOGIC);
```

END boolean ;

ARCHITECTURE boolean_arc OF boolean IS

BEGIN

f<=(a OR (NOT b) OR c) AND (a OR b OR (NOT c)) AND ((NOT a) OR (NOT b) OR (NOT c));

END boolean_arc;

4.19

源代码:

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY decoder_3_to_8 IS

PORT (a, b, c, g1, g2a, g2b: IN STD_LOGIC;

y: OUT STD_LOGIC_VECTOR (7 downto 0));

END decoder_3_to_8;

ARCHITECTURE rtl OF decoder_3_to_8 IS

SIGNAL indata: STD_LOGIC_VECTOR (2 downto 0);

BEGIN

indata<=c & b & a;

PROCESS (indata, g1, g2a, g2b)

BEGIN

IF (g1='1' AND g2a='0' AND g2b='0') THEN

CASE indata IS

WHEN "000"=>y<="11111110";

WHEN "001"=>y<="11111101";

WHEN "010"=>y<="11111011";

WHEN "011"=>y<="11110111";

WHEN "100"=>y<="11101111";

WHEN "101"=>y<="11011111";

WHEN "110"=>y<="10111111";

WHEN others=>y<="01111111";

END CASE;

ELSE

y<="11111111";

END IF;

END PROCESS;

END rtl;

4.20

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

```

ENTITY gray_count IS
    PORT (clk, y: IN STD_LOGIC;
          qout: OUT STD_LOGIC_VECTOR (2 downto 0));
END gray_count;

```

```

ARCHITECTURE arch_gray OF gray_count IS
    SIGNAL iq: STD_LOGIC_VECTOR (2 downto 0);
BEGIN
    PROCESS (clk)
        BEGIN
            IF (clk'event AND clk='1') THEN
                IF (y='1') THEN
                    CASE iq IS
                        WHEN "000"=>iq<="001";
                        WHEN "001"=>iq<="011";
                        WHEN "011"=>iq<="010";
                        WHEN "010"=>iq<="110";
                        WHEN "110"=>iq<="111";
                        WHEN "111"=>iq<="101";
                        WHEN "101"=>iq<="100";
                        WHEN others=>iq<="000";
                    END CASE;
                END IF;
            END IF;
            IF (y='0') THEN
                CASE iq IS
                    WHEN "000"=>iq<="100";
                    WHEN "100"=>iq<="101";
                    WHEN "101"=>iq<="111";
                    WHEN "111"=>iq<="110";
                    WHEN "110"=>iq<="010";
                    WHEN "010"=>iq<="011";
                    WHEN "011"=>iq<="001";
                    WHEN others=>iq<="000";
                END CASE;
            END IF;
        END PROCESS;
    qout<=iq;
END arch_gray;

```