

写在前面：笔者这次考的很差，最大的原因在于没有投入足够时间去复习和整理所学，多处内容没有深入理解和掌握，希望自己和看到过笔记的同学能**未雨绸缪，认真备考……**

## 复盘考试

前面大多数是基础题，填空 20 分，选择 10 分，判断 10 分，概念题 20 分，综合题 30 分 (8+8+14)

第一道填空题考察了哈佛结构：哈佛结构是一种将**程序指令存储和数据存储**分开的存储器结构，其他记不住了

六种方式 自动计数

概念题：共 6 道只记住 3 道

1. SRAM&DRAM 的含义及应用场景
2. 三种外设，CPU，存储器之间数据传送方式及特点
3. 发生可中断嵌套条件

综合题：

- 1 考察代码片断 涉及 8259A 的新增和禁止中断申请，清 ISR 操作

**例** 已知 IBM PC/XT 系统中  
8259A 的奇地址端口地址为 21H

**新增允许 IR2 的中断申请**

```
IN  AL, 21H      ;读入原IMR的内容
AND AL, 1111 1011B ;D2=0,允许IR2的中断申请
OUT 21H, AL      ;写入IMR
```

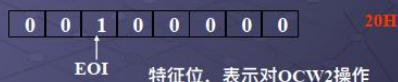
**禁止 IR4 的中断申请**

```
IN  AL, 21H      ;读入原IMR的内容
OR  AL, 0001 0000B ;D4=1,禁止IR4的中断申请
OUT 21H, AL      ;写入IMR
```

**清 ISR 内容的方法有两种：**

- 一、初始化 8259A 时，设置 8259A 工作方式为非自动清 0 方式，  
则在 CPU 响应中断后，硬件自动将 ISR 的对应位清 0。
- 二、初始化 8259A 时，设置 8259A 工作方式为非自动清 0 方式，  
需在中断子程中，通过软件方式清 0。

**方法是：**通过往 OCW2 写入 20H 实现，即由偶地址端口写入：



**例** 已知 IBM PC 系统中，8259A 的偶地址端口地址为 20H；  
BIOS 初始化 8259A 时，设置 8259A 工作方式为非自动清 0 方式。

**编程在中断子程 IRET 返回前，发中断结束命令 EOIF**

```
intsub PROC
    ; ...
    MOV AL, 20H      ;将中断结束命令字 20H 送 AL
    OUT 20H, AL      ;写入 OCW2 中
    IRET             ;中断返回
intsub ENDP
```

- 2 考察存储空间扩容 连线 设计门电路

注意系统数据总线数（好像不能直接设置 ABC 连接 A14A15A16），标注分配的地址（原题中提到过连续分配

- 3 8253 端口地址（计算硬件的端口地址）；根据所给条件（计数器频率，每隔 1 小时发出 1

秒负脉冲) 进行连线, 写出计数初值 工作模式; 8253 初始化代码段

## 第一章

BCD 码, 奇偶校验码, ascii 码常用编码 0-30H A-41H

常用单位与字节 位 字节 字

常用数据类型 有符号数的编码补码反码及表示范围

溢出的双高位判别法

双符号位: 正数 00, 负数 11, 上溢 01, 下溢 10

原补反码表示范围

## 第二章

控制总线 地址总线 数据总线

数据总线, 位宽, 地址总线 20 根, 直接寻址能力 1M 字节

内部结构: 总线接口单元 执行部件

8086 与 8088 的主要区别是 8086 外部数据总线 16 位

实模式, 保护模式, 虚拟 8086 模式

实模式-存储器中保留两个专用区域: 初始化程序区, 中断向量表区

堆栈: SP 堆栈指针寄存器 指示栈顶的偏移地址, 必须与 SS 段寄存器联合使用确定实际地址 SS 定义指示堆栈段的首地址, 栈底在堆栈的高地址段

SS 存放堆栈段的段基址, SP 存放堆栈段操作单元的偏移量, SP 指向栈顶

压栈时, 先修改栈指针后压入; 弹栈时, 先弹出后修改栈指针

存储器寻址空间: 00000H-003FFH 第一个 1024 字节单元专用——中断向量表区, 存放 256

中断服务程序的入口地址 (中断向量), 每个入口地址占 4 个字节单元

FFFF0H-FFFFFFH 16 个字节单元留给系统初始化代码, 加电或者复位

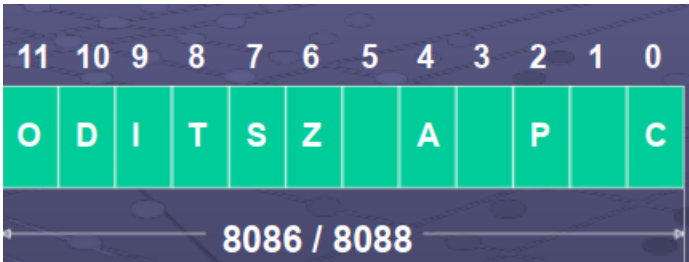
00400H-FFFFEFH 通用区域 存放程序指令或者数据

实模式下的寄存器是 16 位的, 内部 ALU 也只能进行 16 位运算

在实模式下, “段基值”和“偏移量”均是16位的。“段基值”由段寄存器CS、DS、SS、ES、FS和GS提供; “偏移量”由BX、BP、SP、SI、DI、IP或以这些寄存器的组合形式来提供。

表1 默认的16位“段+偏移”寻址组合		
段寄存器	偏移地址寄存器	主要用途
CS	IP	指令地址
SS	SP或BP	堆栈地址
DS	BX、DI、SI、8位或16位数	数据地址
ES	串操作指令的DI	串操作目的地址

段寄存器的内容向左 4 位加偏移地址      存储器的分段技术：段基址和偏移量  
同一个物理地址可以有不同逻辑地址来构成



标志位寄存器 6 个状态位，3 个控制位  
OF SF ZF AF PF CF

最小模式引脚的含义

第五章

识别各种门电路（国标），与或非，异或门

逻辑门	国家标准符号	逻辑门	国家标准符号
<b>与 门</b> $Y = A \wedge B$		<b>与非门</b> $Y = \overline{A \wedge B}$	
<b>或 门</b> $Y = A \vee B$		<b>或非门</b> $Y = \overline{A \vee B}$	
<b>非 门</b> $Y = \overline{A}$		<b>异或门</b> $Y = A \vee \overline{B}$	

触发通，不触发 XX，三态门  
三态门三种工作状态：高电平 低电平 高阻态  
处于高阻态的三态门，其输出端没有电流流出流入  
D 触发器 触发信号有效时，输出 Q 随输入 D 变化 D=Q  
时序不要求

时序图不用记，引脚都记住（DEN DTM 等，结合时序图）

最大模式（第八章）——8259 的控制 在最大模式下进行

8086 8088 考察常用引脚，尤其最小模式下

## M/IO (Memory/Input and Output)

存储器/输入输出操作选择控制信号，8088相反

INTA (Interrupt Acknowledge)  
中断响应信号输出（低电平有效）  
ALE (Address Latch Enable)  
地址锁存允许信号输出

DT/R (Data Transmit/Receive)  
数据发送/接收控制信号（输出、三态）  
DEN (Data Enable)  
数据允许信号（输出、三态、低电平有效）  
HOLD (Hold Request)  
总线保持请求信号（输入、高电平有效）  
HLDA (Hold Acknowledge)  
总线保持响应信号（输出、高电平有效）

T 周期，指令周期，总线周期

CPU 主频=外频\*倍频系数

T 状态 相邻两个脉冲之间的时间间隔（包括上升沿 高电平 下降沿 低电平）

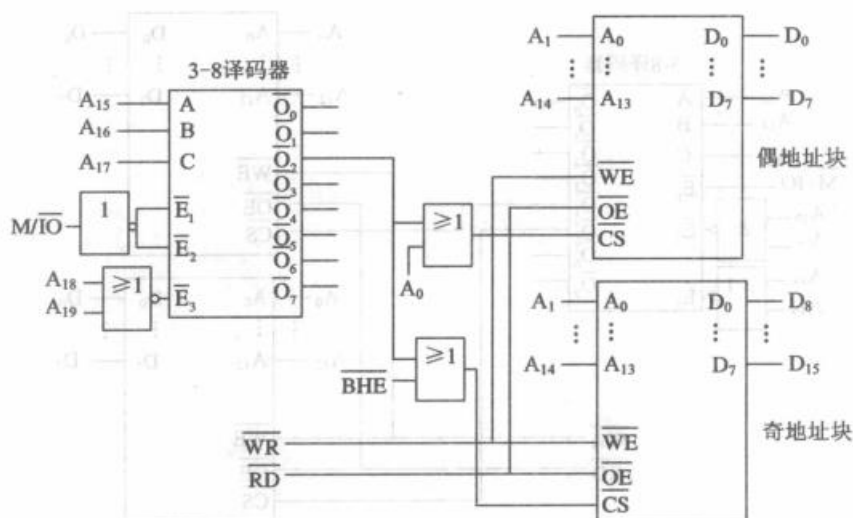
执行一个总线操作所需要的时间叫做总线周期 包括 4 个 T 周期

执行一条指令所需要的时间叫做指令周期 一个指令周期包含若干个总线周期

## 第六章 半导体存储器

RAM 随机存取存储器 ROM 只读存储器

8086 的连接 奇偶地址



位字扩展

将片内地址线 数据线 系统总线相应地一一相连，并将片选地址线译码处理后与CS相连



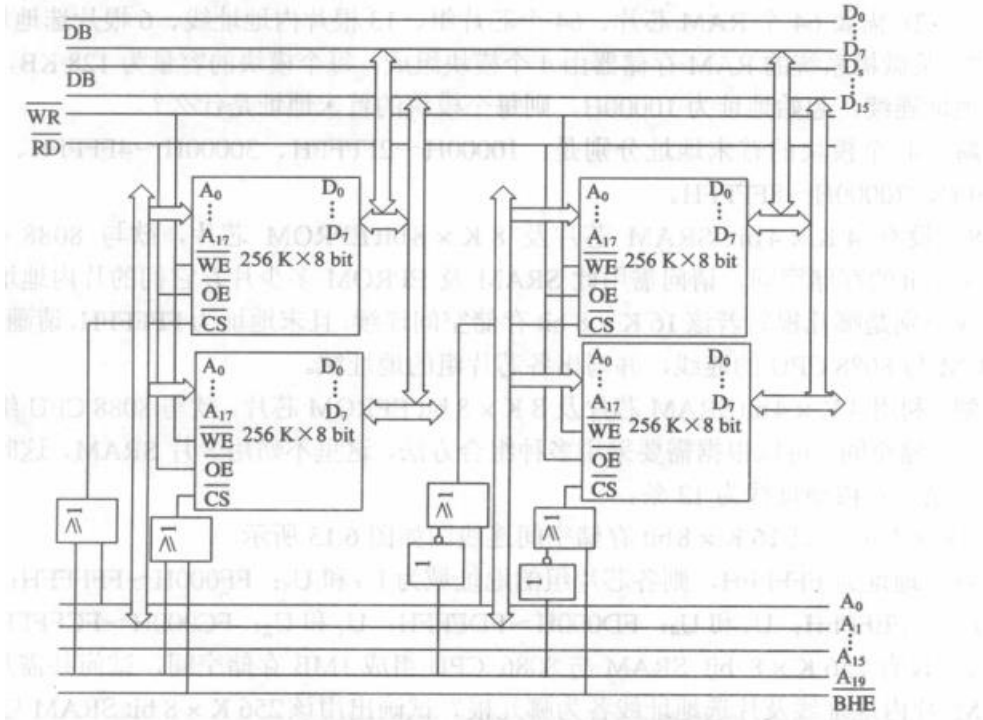


图 6.14 256 K×8 bit SRAM 与 8086 CPU 组成 1 MB 存储空间的连线图

第七章 存储器管理

虚拟存储器是在存储体系层次结构基础上, 通过硬件和软件的综合来扩大用户可用存储空间的一种新的计算机存储技术, 它提供比物理存储空间大得多的逻辑地址空间  
无论页式 段式 段页式虚拟存储器都是驻留在内存储器的转换函数表来完成逻辑地址向物理地址变换的  
虚拟存储器技术的引入, 使 CPU 可寻址的存储空间范围几乎扩展到无穷大 (×) 不能扩大 CPU 可寻址的空间

3. 有一个描述符的选择子, 其内容如下:

Index	TI	RPL
1'0000'1000'0100	0	11

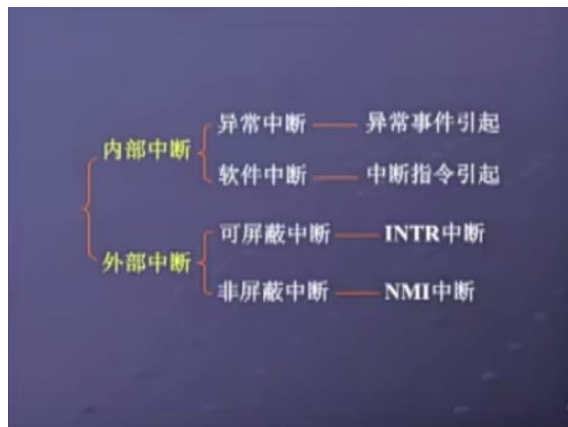
请解释其含义。

参考答案: TI = 0 表示选择子访问的描述符在 GDT 即全局描述符中;

RPL = 3 表示选择子的请求特权级为 3;

Index =  $1 \times 16^3 + 1 \times 2^7 + 2^2 = 4096 + 128 + 4 = 4228$ , 表示选择子所访问的描述符在描述符表中的 4228 表项中。

## 第八章 中断



掌握可屏蔽中断，中断向量表的初始化

中断向量表的初始化：

```

MOV  AX, 0    ; 矢量表段址为0。
MOV  ES, AX
MOV  DI, n*4   ; 矢量地址送DI。
MOV  AX, OFFSET INTER1
      ; 中断处理程序首地址存入表内。
CLD
STOSW
MOV  AX, SEG INTER1
STOSW
  
```

STOSW 将 AX 存储到地址 ES:(E)DI

OFFSET 取得标号的偏移地址。

CLD 使 DF 复位，即 DF=0

ICW2 中断类型号，OCW1 中断屏蔽寄存器 (IMR)，OCW2



ICW2 第三位必须为 0，当接收到 CPU 发回的中断响应信号后，便通过数据总线向 CPU 发送中断类型号。

## 1. OCW1

中断屏蔽命令字IMR，当其中某位置1时，对应的IR请求被屏蔽。

例：使主8259的IR5屏蔽，程序为：

```
OCW1 EQU    21H    ; 主8259 OCW1的地址
IN  AL,      OCW1   ; 读出IMR
OR  AL,      00100000B ; 屏蔽IR5
OUT OCW1, AL
```

置 1 时相应的中断源的请求被屏蔽，8259A 不会产生发向 CPU 的 INT 信号  
设置 OCW1 的 I/O 地址是 8259A 的奇数号地址，即 A0=1

OCW2 设置中断优先级循环方式和中断结束方式

OCW2 的特征位 D3D4=00

D7	D6	D5	D4	D3	D2	D1	D0
R	SL	EOI	0	0	L2	L1	L0

掌握新增中断屏蔽中断申请

例 已知 IBM PC/XT系统中  
8259A的奇地址端口地址为21H

新增允许 IR2 的中断申请

```
IN  AL, 21H      ;读入原IMR的内容
AND AL, 1111 1011B ;D2=0,允许IR2的中断申请
OUT 21H, AL      ;写入IMR
```

禁止 IR4 的中断申请

```
IN  AL, 21H      ;读入原IMR的内容
OR  AL, 0001 0000B ;D4=1,禁止IR4的中断申请
OUT 21H, AL      ;写入IMR
```

实模式 1024=256\*4，256 中断源，矢量中断

中断向量表初始化 段基址还是偏移先写进去

8259A 怎么用两个地址管理七种寄存器 写入先后

中断屏蔽方式：

普通~ 在中断屏蔽寄存器 IMR 中，将一位或者几位置 1，屏蔽掉相应级别的中断请求

特殊~ 除了用操作命令字屏蔽掉的中断级和正在服务的中断级外，允许其他级的中断请求中断正在服务的中断，以改变中断级的优先级别

四种中断优先级方式：正常全嵌套、特殊全嵌套、优先级自动循环及优先级特殊循环(指定优先级循环)。

(1) 正常全嵌套方式(完全嵌套方式)。此方式是 8259A 最常用的方式，也是其缺省的优先级方式。中断请求按优先级 0~7 进行处理， $IR_0$  的优先级最高。在此方式下，执行某中断服务程序期间，若 CPU 开中断( $IF=1$ )，不能响应本级或较低级中断，但能响应较高级中断。

(2) 特殊全嵌套方式。特殊全嵌套和正常全嵌套方式基本相同，只有一点不同，就是在特殊全嵌套方式下，当处理某一级中断时，如果有同级的中断请求，那么也会给予响应，从而实现一种对同级中断请求的特殊嵌套。

注意：特殊全嵌套方式一般用于 8259A 级联系统的主片中。

### 第三套 ppt 级联

中断类型号 可屏蔽中断嵌套 中断嵌套 可屏蔽中断嵌套条件 例 789

例7 在中断子程中未用STI来开中断

分析：

- CPU响应该中断后，IF标志被自动清0；
- 由于子程中未开中断，IF仍为0；
- 所以，不论子程在何处发EOI，均不会引起可屏蔽硬中断嵌套。



例8 中断子程中STI开中断，最后发EOI

分析：

- CPU响应IR2中断后，IF标志被自动清0
- 子程开中断后，IF为1
- 所以，在开中断后，CPU可响应优先级更高的中断申请引起可屏蔽中断嵌套。



例9 中断子程开中断，提前发EOI

结论：

- 子程开中断后，CPU可响应优先级更高的中断申请。
- 发EOI后，CPU可响应同级或低级的中断申请。



例10 中断子程中不发EOI

分析：

- CPU响应中断后，自动将ISR中的对应位置1，因中断子程未发EOI使ISR的相应位为0
- 所以，即使CPU执行完该中断子程，该级或低级的中断申请将被8259A的优先级裁决器屏蔽。



可屏蔽硬中断嵌套条件：

1. CPU 在执行中断子过程中有可屏蔽硬中断嵌套发出
2. 中断子程开中断后，STI 指令使  $IF=1$ ，CPU 响应置  $IF=0$ ，允许响应可屏蔽中断
3. 新的中断申请有更高的优先级

新的中断申请优先级高

新的中断申请与当前的中断申请同级或者低级，但中断子程提前发了中断结束命令，使 ISR 相应位为 0

STI 汇编指令全称为 **Set Interrupt**，该指令的作用是允许中断发生

## 第九章 输入输出

12 基本概念 接口 端口



8086/8088 采用 I/O 端口与存储器分别独立编址 编址还是统一编址

端口不占用内存空间，设有专门的 I/O 指令对端口进行读写，对内存操作的指令不能用于 I/O 端口

例 MOV [10H], AL 对内存操作  
IN AL, 10H 对端口操作

port 为数字形式的端口地址, 大小为0~255 或0~FFH

当端口号在0~FFH，即0~255时，  
可在指令中直接指定端口号，称长格式指令  
当端口号>FFH，即>255时，  
需把端口号放在DX寄存器中，称短格式指令  
原因是使用直接端口方式的指令机器码相对长

例	指令	IN AL, 20H ;字节传送	OUT 20H, AL ;字节传送
	IN AL, 21H	IN AX, 20H ;字传送	OUT 20H, AX ;字传送
	OUT 20H, AL	IN AL, DX ;字节传送	OUT DX, AL ;字节传送
	IN AL, DX	IN AX, DX ;字传送	OUT DX, AX ;字传送
	OUT DX, AL		

译码，片选译码 分析译码结果

程序控制 程序控制控制 无条件有条件查询方式 DMA 充分理解

1.无条件传送（CPU与外设同步工作）：

外部控制过程各种动作时间是固定的，而且是已知的。

2.查询方式（CPU与外设不同步工作）：

传送前，先查询外设状态，准备好才传送，否则CPU处于等待状态。

3.中断方式：

外设与CPU处于并行工作，一旦外设准备好，外设向CPU发中断申请，条件具备，CPU暂停原程序执行，响应中断，外设与CPU串行工作。

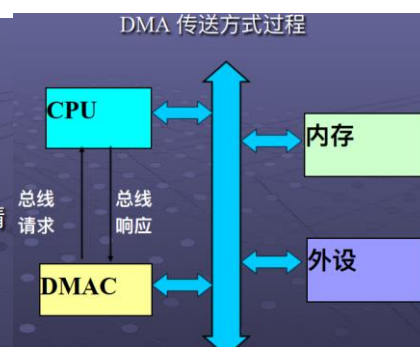
4.DMA方式（高速I/O及成组交换数据）：

CPU不干预，由硬件实现存储器与外设之间交换数据，称直接存取存储器。

DMA 传送方式(直接存储器存取方式)

实现方法：

1. 由专用接口芯片DMA控制器 (称DMAC) 控制传送过程，
2. 当外设需传送数据时，通过 DMAC向CPU发出总线请求；
3. CPU发出总线响应信号，释放总线；
4. DMAC接管总线，控制外设、内存之间直接数据传送



## 第二套 ppt 不需要写代码片段 不需要掌握时序

8255A端口功能			
工作方式	A口	B口	C口
0	基本输入输出端口 输入不锁存、输出锁存	同A口	同A口
1	应答式输入输出端口 输入输出均可锁存	同A口	上C口作为应答式A口的应答线；下C口作为应答式B口的应答线
2	应答式双向输入输出端口，均可锁存	不用	用作A口的应答控制线

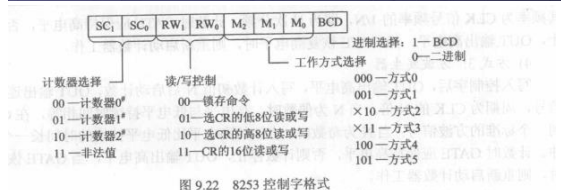
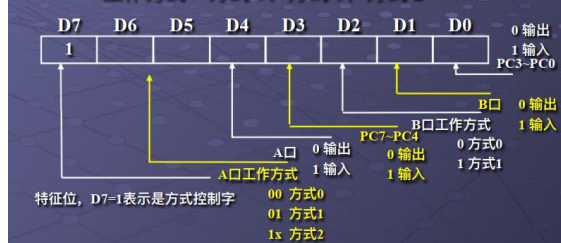
## 8255 8253 工作方式怎么设 理解

### 方式控制字

设定A口、B口、C口的工作状态和工作方式。

工作状态：输入、输出

工作方式：方式0、方式1、方式2



## 8255 PC2 PC4 引脚

## 8253 不画时序图 (6种都要背下来)

## 会初始化 8253A

综合性题目，要掌握 控制口不允许读，只允许写

## 8253的写/读操作及初始化编程-8253的读操作

直接读操作

锁存后读计数值

例如，要求读出并检查2#计数器的计数值是否为“55AAH”若非“55AAH”则等待再读，当为“55AAH”后程序可继续执行，则程序片断如下：

COUNT EQU 040H ; 设0#计数器的符号地址为040H

!

LPCN: MOV AL, 10000100B ; 对2#计数器送锁存命令，仅使RL1，RL0=00

OUT COUNT+3, AL

IN AL, COUNT+2 ; 读2#计数器当前计数值

MOV AH, AL ; 低8位暂存AH中

IN AL, COUNT+2 ; 读高8位

XCHG AH, AL ; 16位计数值存AX中

CMP AX, 55AAH ; 计数值与55AAH相比较

JNE LPCN ; 若不相等则继续等待

## 第七章

细节性题目

分页机址不考

8253 代码片段需要会写

总线技术

连接多个功能部件的一组公共信号线

便于采用模块化设计方法，简化系统设计

便于系统扩充升级