

2.3 组合电路中的竞争与险象

2.3.1 竞争现象

2.3.2 险象

- 静态险象：功能险象、逻辑险象
- 动态险象

2.3.3 险象的判别

- 卡诺图法
- 逻辑表达式法

2.3.4 险象的消除

- 增加多余项法和乘以多余因子法
- 连接低通环节与增加选通脉冲

前面讨论的组合逻辑电路设计都是在理想情况下进行，即假定：

- (1)电路中的连线和逻辑门都没有延迟；
- (2)电路中多个输入信号发生变化都是在瞬时同时完成。

这在仅考虑电路稳态特性时使问题大为简化。

实际中：

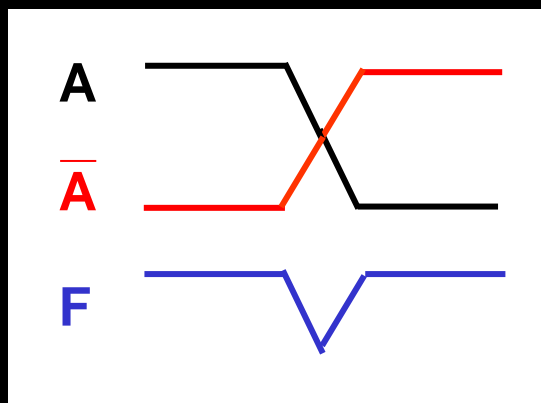
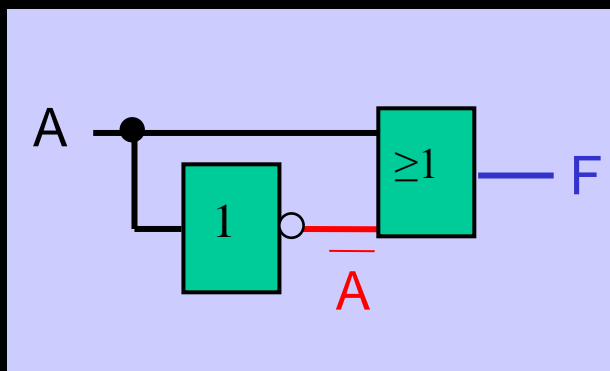
- (1)任何信号的变化都需要一定的过渡时间，也就是信号边沿时间；
- (2)输入变化引起逻辑门的输出变化也需要一定的响应时间，也就是门延迟时间；
- (3)多个信号发生变化时，相互之间也存在着先后快慢的差异。

因此，当输入信号发生变化时，组合逻辑电路的实际工作情况可能与在理想假设下分析的结果不同，从而出现瞬时错误现象。

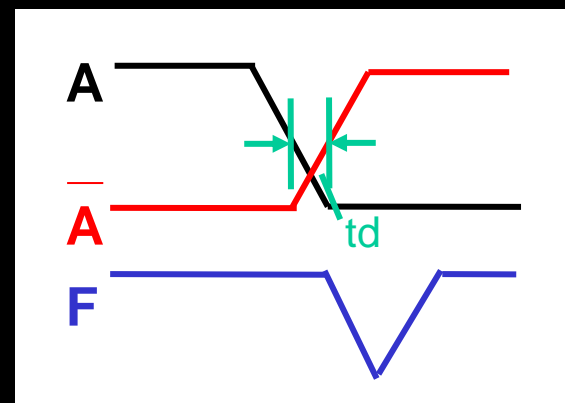
第二章 组合逻辑电路

在实际电路中，信号的变化不是即时的，有一定的**边沿时间**；信号在电路中传送必定有导线上的传播时延，信号通过门电路也必定有**时间延迟**。

例 信号边沿及门的时延产生的尖峰脉冲



A 与 \overline{A} 信号的边沿时间
使 F 中产生幅度较小、
宽度较窄的负尖峰脉冲



再考虑门的传播延迟时间 t_d 越大，则 F 中出现的脉冲将越宽

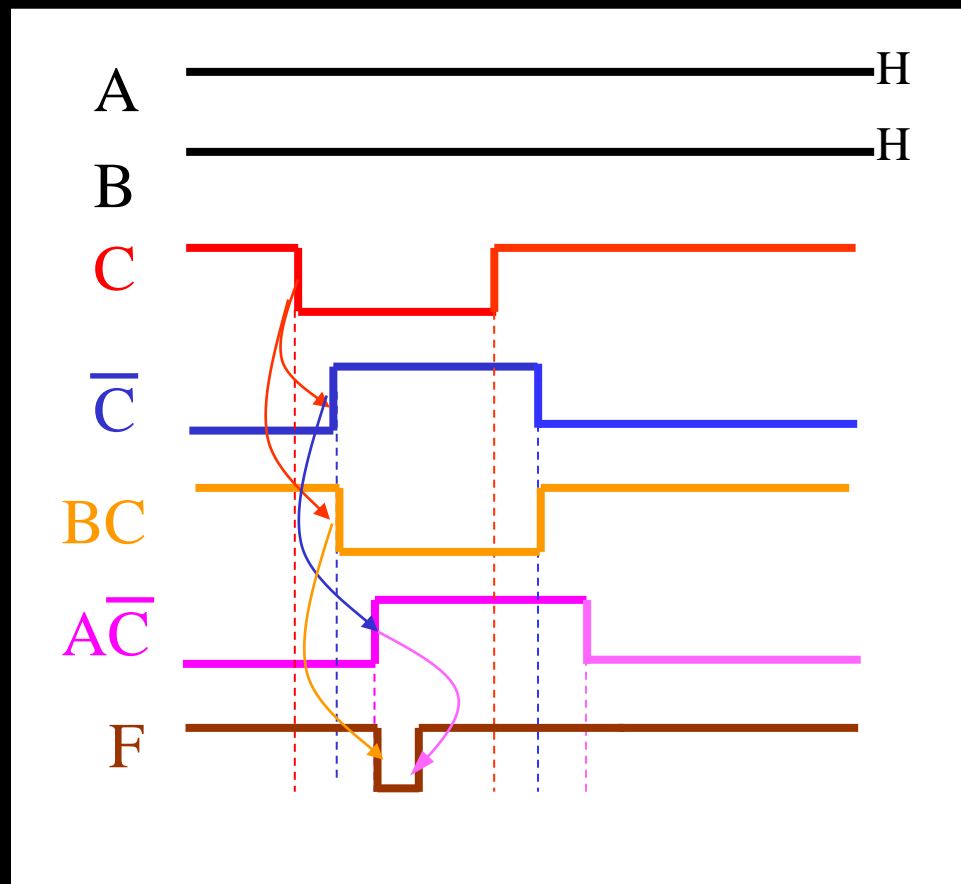
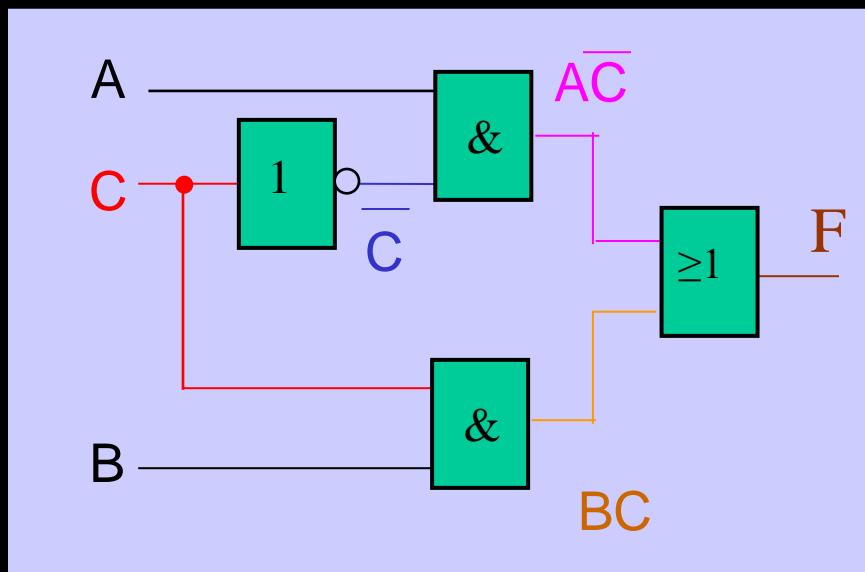
第二章 组合逻辑电路

上述这些时延都可能使电路的输出产生错误的信号。为简化讨论，下面假设信号变化的边沿时间为0，仅考虑门的时延 t_d (Delays)。

2.3.1 竞争现象

例 出现竞争的电路图和时间图

$F = A\bar{C} + BC$ 且 $A = B = 1$ (仅考虑信号C的影响)



- 输出F在C变化前后的稳态输出为 1，但由于 $A\bar{C}$ 由0变1晚于BC由1变0，F出现了瞬间的错误0输出。这种瞬间的错误输出称为毛刺或者尖峰脉冲。
- 同一信号或同时变化的某些信号，经过不同通路到达同一点（上例中是或门输入）时有时差（也就是输出F的毛刺宽度），这个时差称为竞争。
- 有竞争的地方就有可能出现错误毛刺，这种现象称为险象。
- 险象一定是竞争的结果。对于有错误输出的竞争称之为临界竞争，对于未产生错误输出的竞争称之为非临界竞争。

2.3.2 险象 Hazard

由于临界竞争的存在，在输出端得到稳定输出之前，输出中有一短暂的错误输出（干扰），这种现象称之为**险象**。

根据发生险象前后电路稳定状态之间的关系，可将组合逻辑电路的**险象**分为**静态险象**和**动态险象**两种类型：

如果发生险象前后，电路的稳态输出相同，称其为**静态险象**；

反之，如果发生险象前后，电路的稳态输出发生了变化，则称其为**动态险象**。

根据引起险象的输入变量数目的不同，组合逻辑电路的险象可分为**逻辑险象**和**功能险象**两种类型：

逻辑险象是指单个输入变量发生变化时，电路在瞬变过程中出现短暂的输出错误现象。**单个变量原变量和反变量有时差。**

功能险象则是指多个输入变量同时变化时，电路在瞬变过程中出现短暂输出错误的现象。**多个变量相互之间有时差。**

1. 静态险象(*Static Hazards*)

在输入信号变化时，按逻辑表达式的输出不应有变化的情况下，实际上会在输出端产生一个“1”或“0”的窄脉冲的情况，则称之为静态险象。它可进一步分为：

(1) (静态) 功能险象

(2) (静态) 逻辑险象

第二章 组合逻辑电路

(1) 功能险象

例 如图所示 $F = A\bar{C} + BC$, 设 $A=1$

当 $BC: 00 \rightarrow 11$ 时, F 应当恒为1。

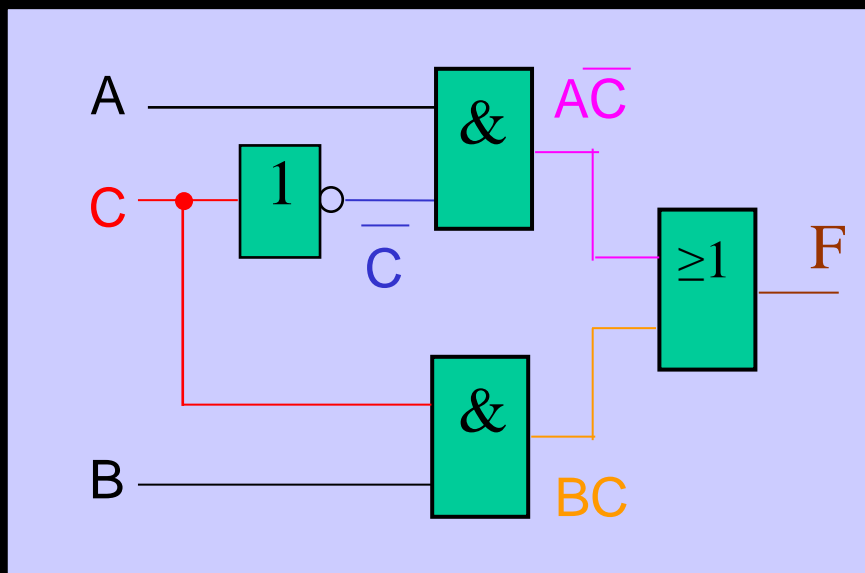
B和C的变化速度不同, 出现竞争现象:

情况一: $ABC: 100 \rightarrow 110 \rightarrow 111$

则 $F: 1(m_4) \rightarrow 1(m_6) \rightarrow 1(m_7)$ 无险象

情况二: $ABC: 100 \rightarrow 101 \rightarrow 111$

则 $F: 1(m_4) \rightarrow 0(m_5) \rightarrow 1(m_7)$ 有险象



AB \ C		00	01	11	10
		0	0	1	1
C	0	0	0	1	1
	1	0	1	1	0

The table shows the truth table for the function F = A\bar{C} + BC. The inputs are A, B, and C. The outputs are F. The table is divided into four regions by A=0 and B=0. The top-right region (A=1, B=1) shows the transition from F=1 to F=0 to F=1 as C changes from 0 to 1 to 0, which is the race condition. Red and grey arrows highlight the paths of C in the truth table.

功能险象是逻辑函数所固有的, 它无法用改变设计的方法消除, 只能通过控制输入信号的变化次序来避免。

- ① 有 $K(K > 1)$ 个信号同时发生变化;
- ② 变化的 K 个变量组合所对应的 2^k 个 m_i 中必定既有1, 又有0;
- ③ 输入变量变化前后的稳态输出相同。

练习

AB \ CD		AB			
		00	01	11	10
CD	00	0	1	0	0
	01	1	1	0	0
	11	0	1	1	0
	10	0	1	1	0

例：某个函数的卡诺图

当 $AB=01$, $CD: 00 \rightarrow 11$ 时, F 恒为1。

无论 C 先于 D 变化,
还是 D 先于 C 变化, 电路都不会发生静态功能险象。

当 $BD=11$, $AC: 00 \rightarrow 11$ 时, F 恒为1。

A 和 C 变化速度不同时, 有可能会在变化过程中出现一个短暂的0。

第二章 组合逻辑电路

(2) 逻辑险象 产生的条件:

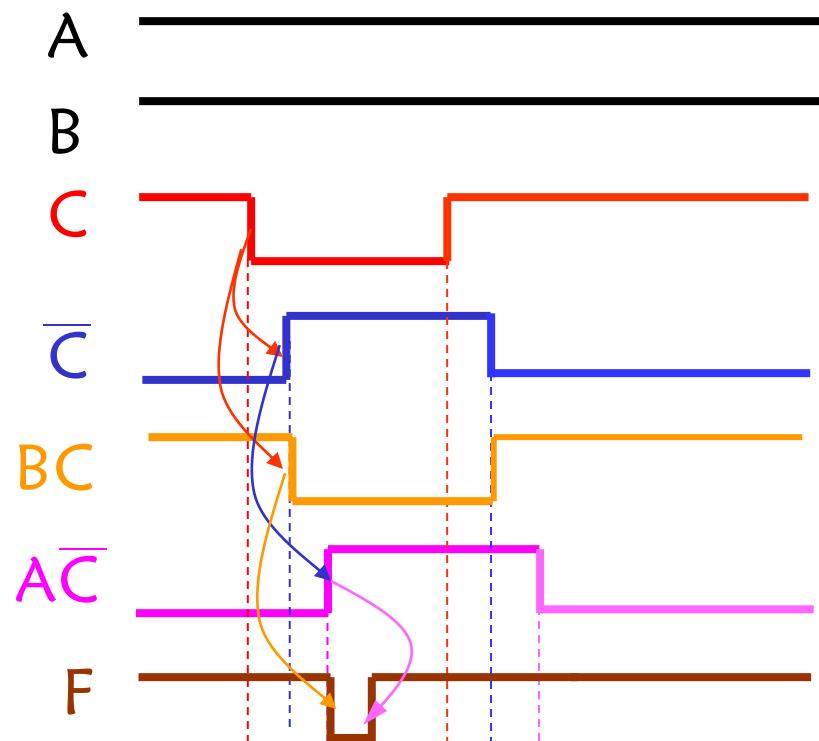
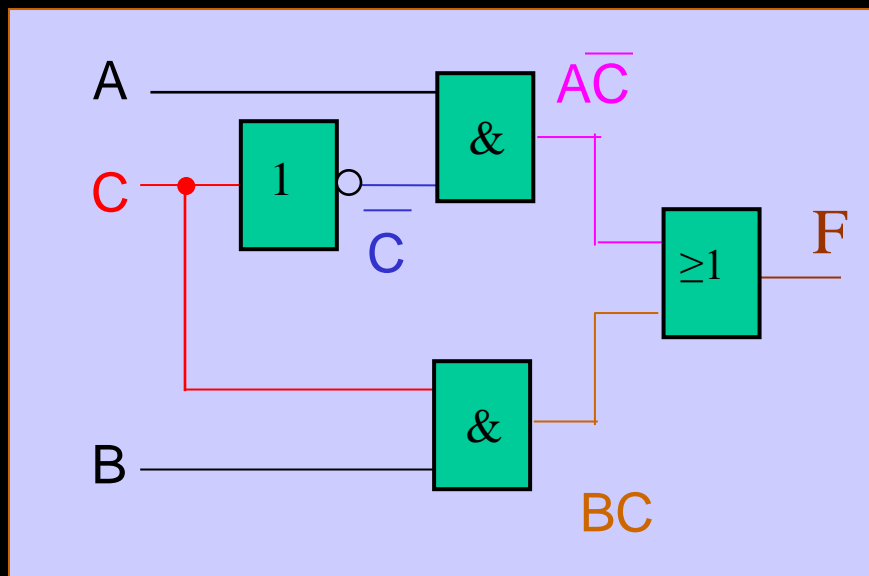
- ① 仅有一个输入信号发生变化;
- ② 输入变量变化前后的稳态输出相同。

例 如图 $F = A\bar{C} + BC$, 当 $A = B = 1$, $F = C + \bar{C} \equiv 1$ 。

实际上

当 $C: 1 \rightarrow 0$ 时

F 产生险象。



如图 $F = A\bar{C} + BC$, 当 $A = B = 1$, $F = C + \bar{C} \equiv 1$ 。

实际上当 $C: 1 \rightarrow 0$ F 产生险象。

变化的变量所对应的卡诺图上的2个单元全为1或者全为0, 这与功能险象不同。

C \ AB	00 01 11 10			
	00	01	11	10
0			1	1
1		1	1	

F

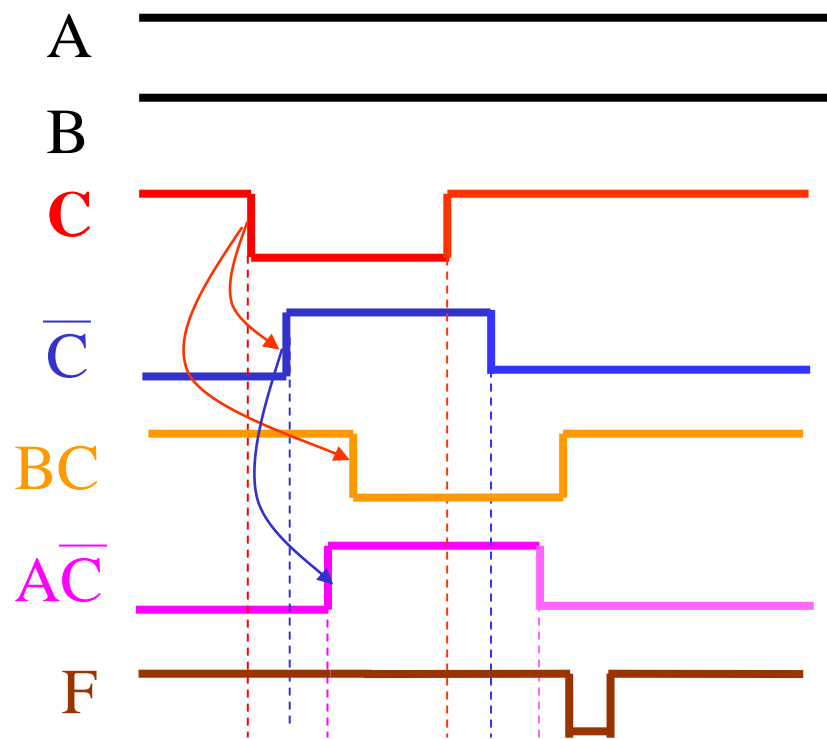
全为1

C \ AB	00 01 11 10			
	00	01	11	10
0			1	
1			0	

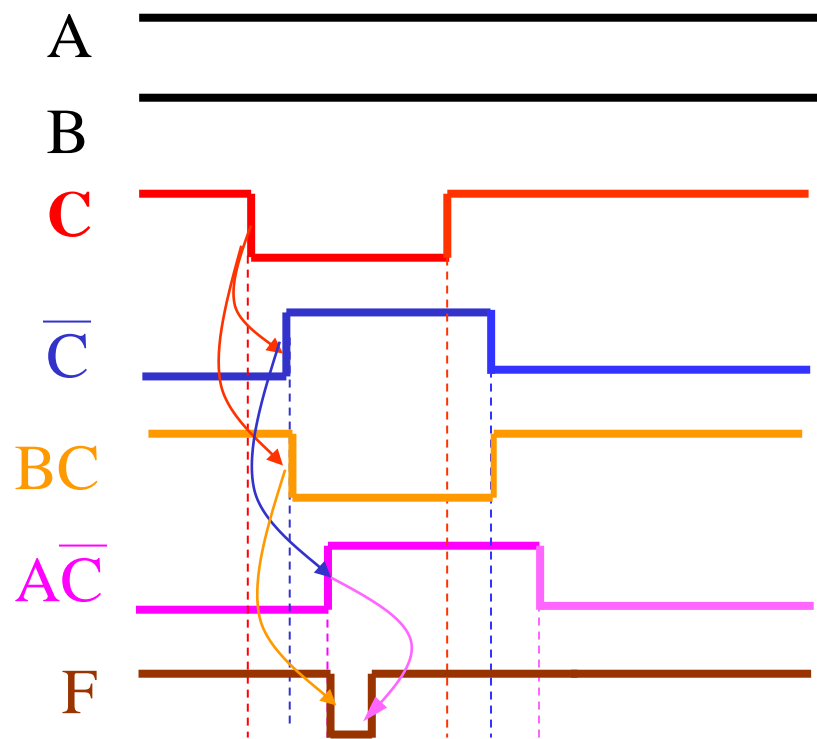
$\bar{A}\bar{C}$, 当 $A = B = 1$

C \ AB	00 01 11 10			
	00	01	11	10
0			0	
1			1	

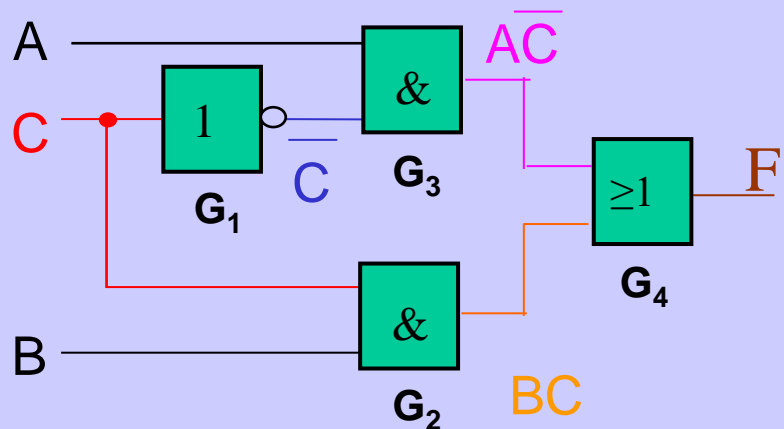
BC , 当 $A = B = 1$



$td2 > td1 + td3$



$td2 < td1 + td3$



当门的延迟时间不同时，出现逻辑险象的情况如图所示。

通过门 G_1 、 G_2 、 G_3 的时间延迟分别 $td1$ 、 $td2$ 、 $td3$ 。

总之，静态险象的产生是：

由于输入信号经过不同的路径又会合到同一个门上的竞争所引起的。

在电路中，若输入信号变化前后，稳态的输出均为1，且在1的输出上出现一个负向窄脉冲，则该险象称为静态 1 险象，如前例所示；

反之若稳态输出为0，且在0的输出上出现一个正向窄脉冲，则该险象称为静态 0 险象，如下例所示。

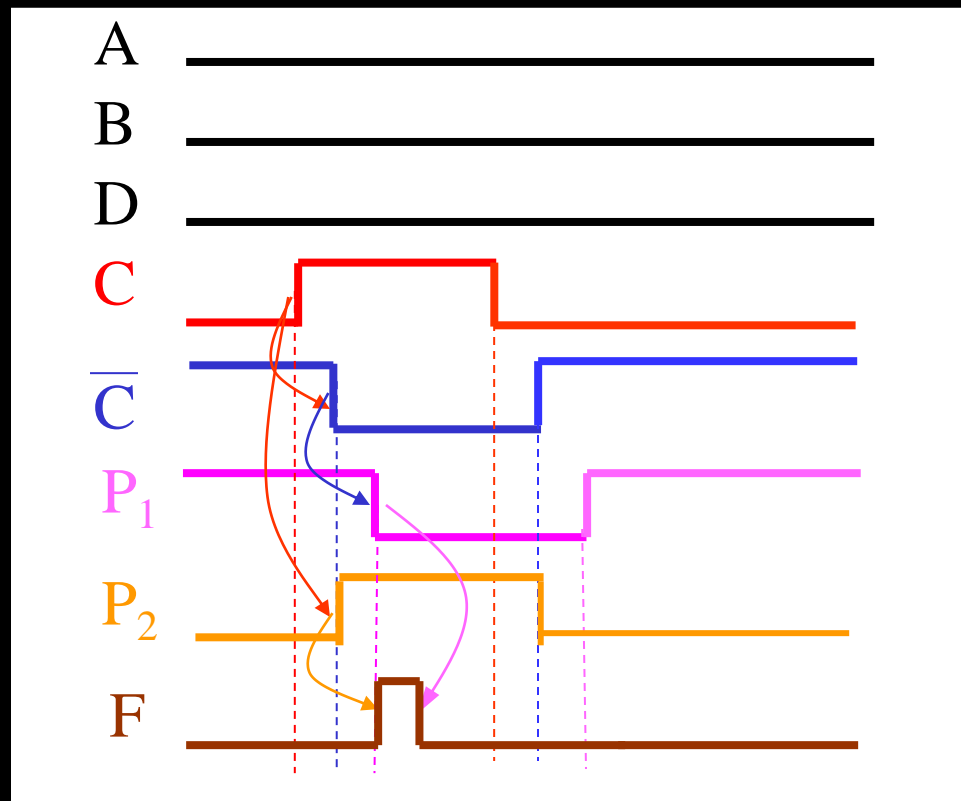
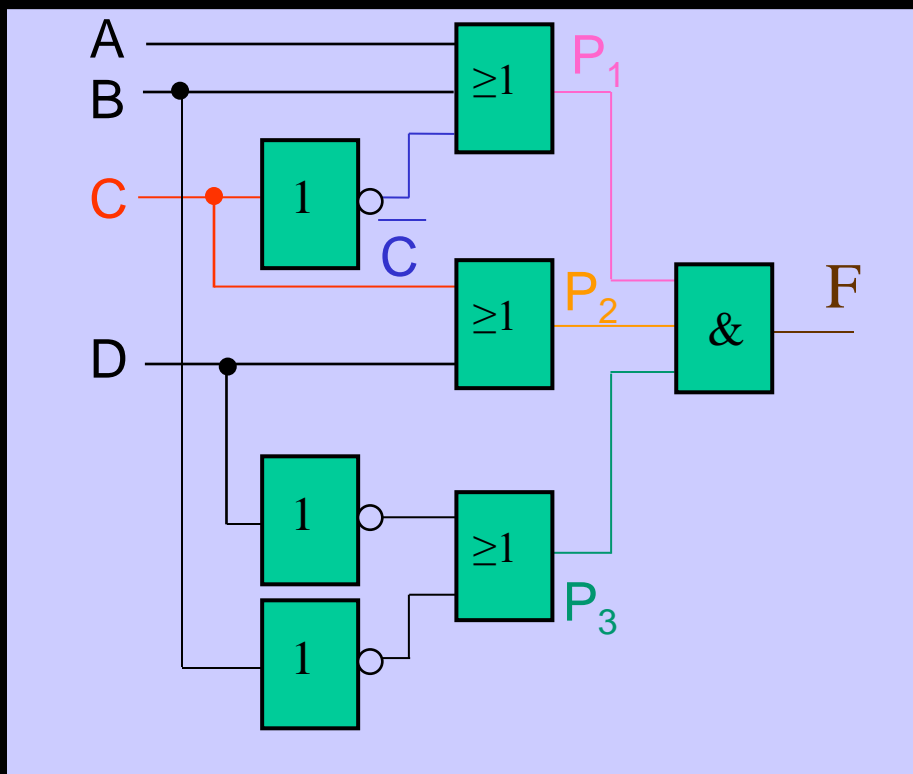
第二章 组合逻辑电路

例 具有静态 0 险象的电路及时间图

如图所示 $F = (A + B + \bar{C})(C + D)(\bar{B} + \bar{D})$

当 $A = B = D = 0$ 时，则 $F = \bar{C} \cdot C \equiv 0$

实际上，当 $C : 0 \rightarrow 1$ 时， F 产生静态 0 险象。



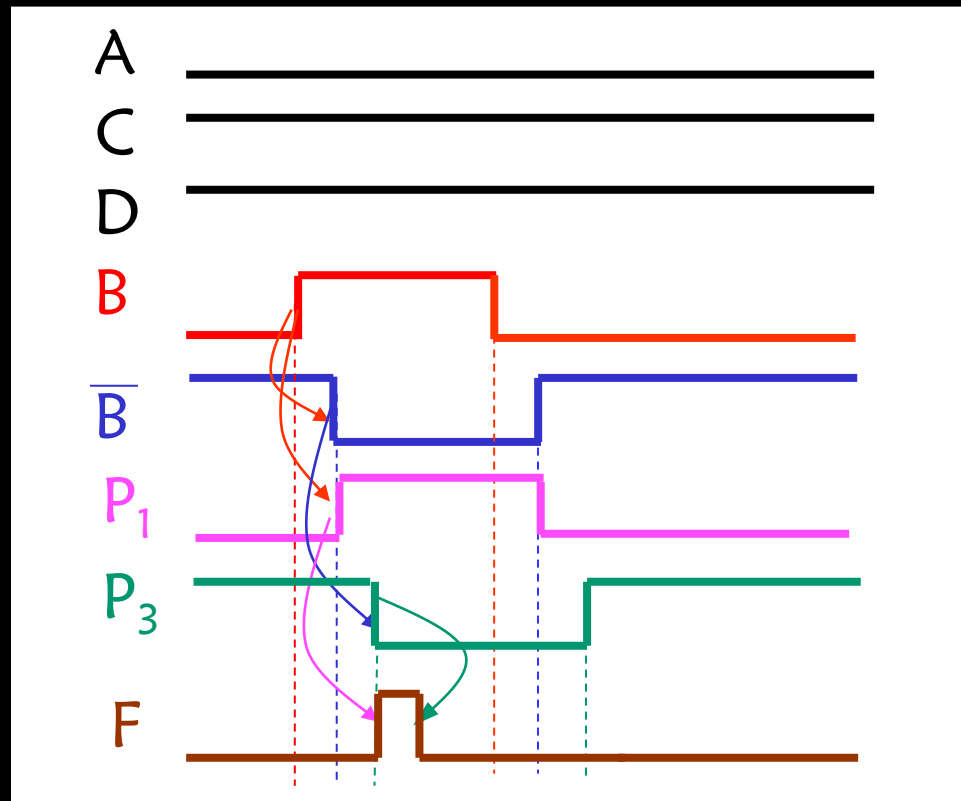
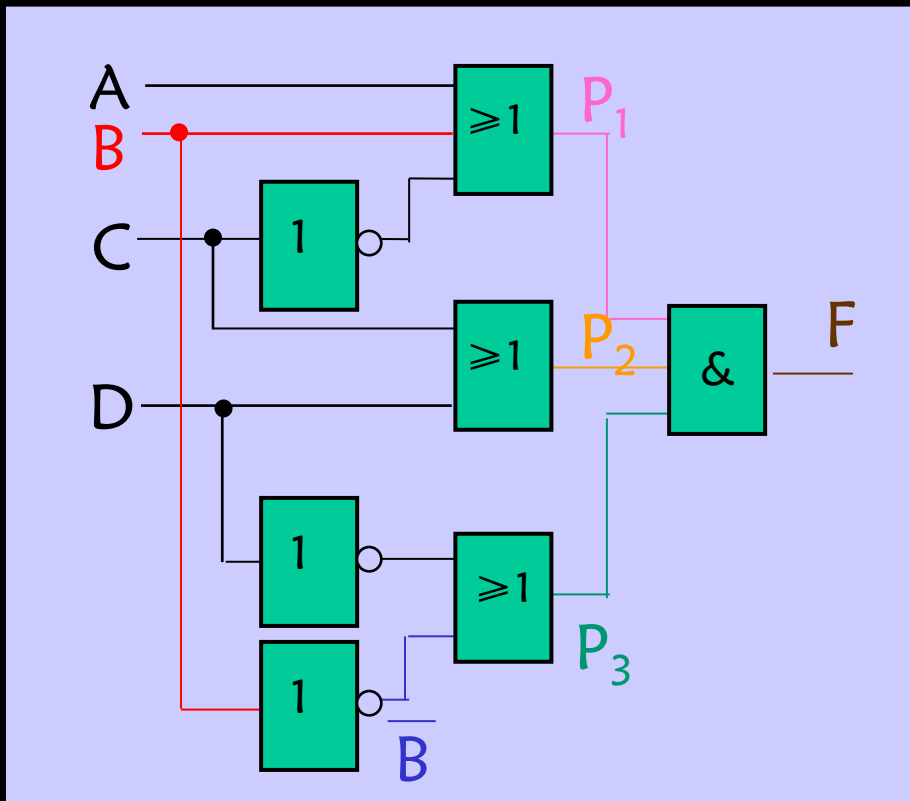
思考：该电路，在输入做其他组合时，是否还有静态险象？

$$F = (A + B + \bar{C})(C + D)(\bar{B} + \bar{D})$$

情况二：当 $A=0$ 且 $C=D=1$ 时，则

$$F = B \cdot \bar{B} \equiv 0$$

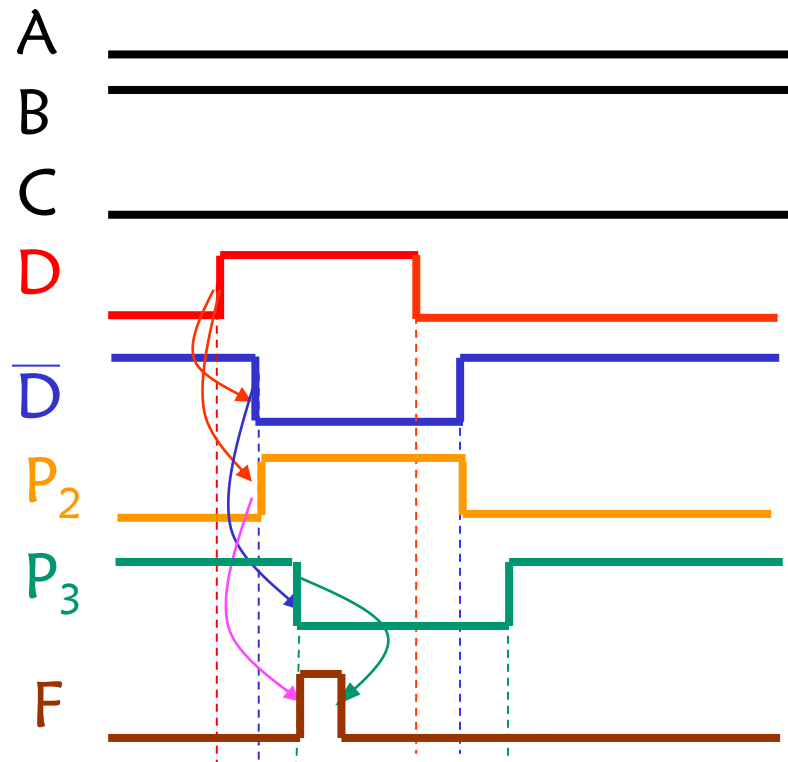
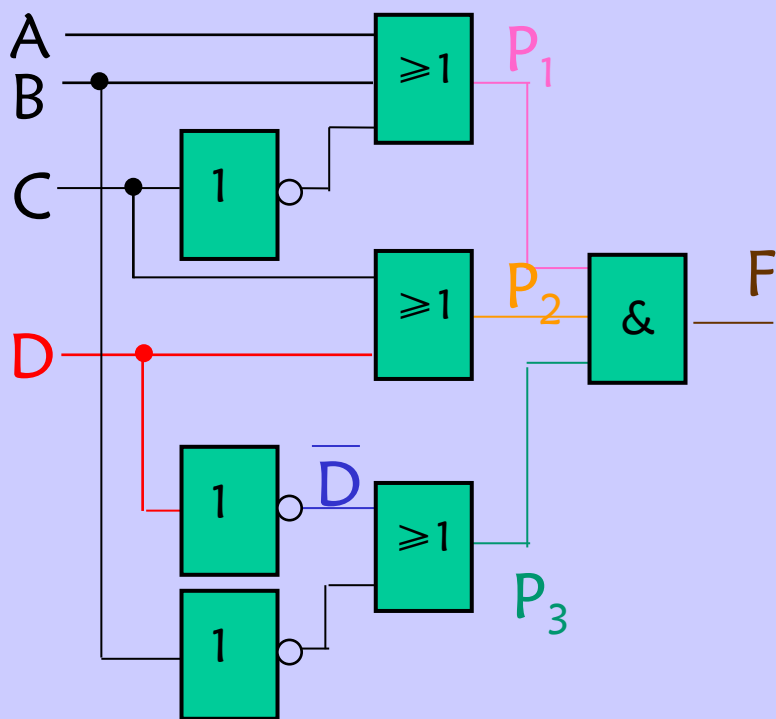
实际上，当 $B: 0 \rightarrow 1$ 时， F 产生静态 0 险象。



$$F = (A + B + \bar{C})(C + D)(\bar{B} + \bar{D})$$

情况三： **A = C = 0** 且 **B = 1** 时，
则 $F = D \cdot \bar{D} \equiv 0$

实际上，当 **D : 0 → 1** 时，**F** 产生静态 0 险象。



思考：当输入信号 A 变化时，是否会引起静态险象？

2. 动态险象 (*Dynamic Hazards*)

在多级组合逻辑电路中，若输入的变化通过多条路径向输出端会合时，使在输出稳定之前输出变化三次，其间经过暂时状态0、1或者1、0，这种险象称之为动态险象。

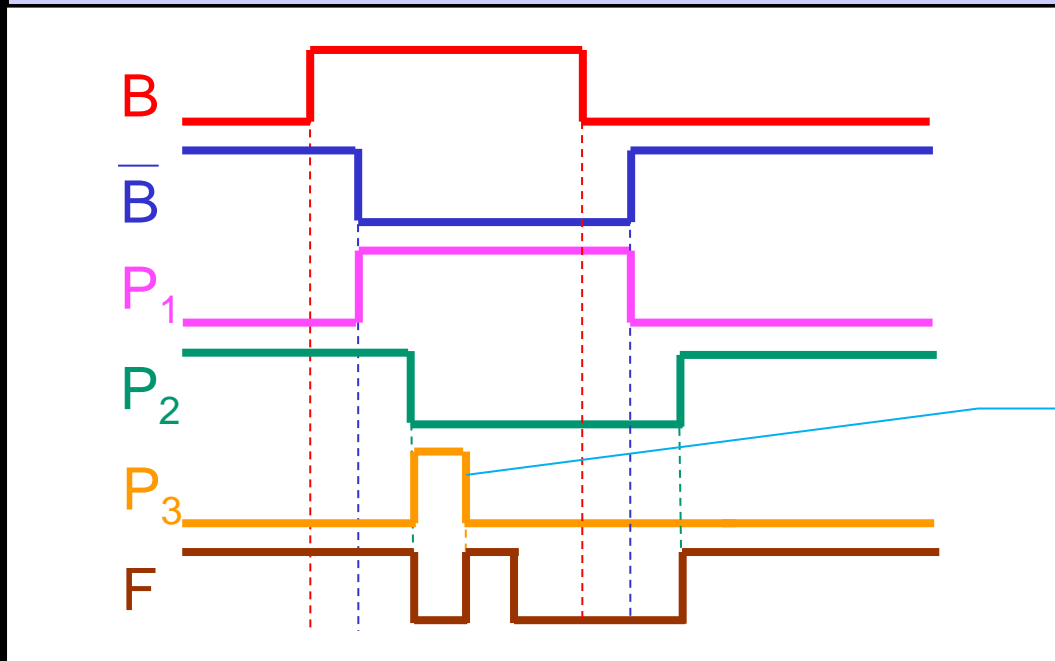
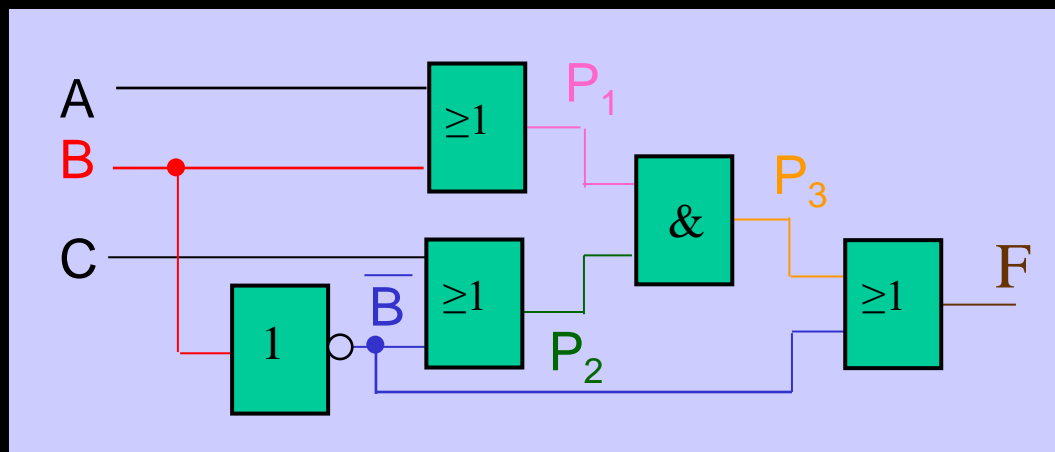
输入变化的第一次会合只可能产生静态险象，只有在产生了静态险象，输入变化的再一次会合，才有可能产生动态险象。因此其在两级与或和或与电路中都不会发生。

动态险象是由静态险象引起的，它也是竞争的结果。

消除了静态险象，则动态险象也不会出现。

第二章 组合逻辑电路

例 $F = (A+B)(\bar{B}+C) + \bar{B}$ 当 $A = C = 0$ 时 $F = B\bar{B} + \bar{B}$



静态
险象

2.3.3 险象的判别 *Finding Static Hazards*

1. 卡诺图判别法 *Using Maps*

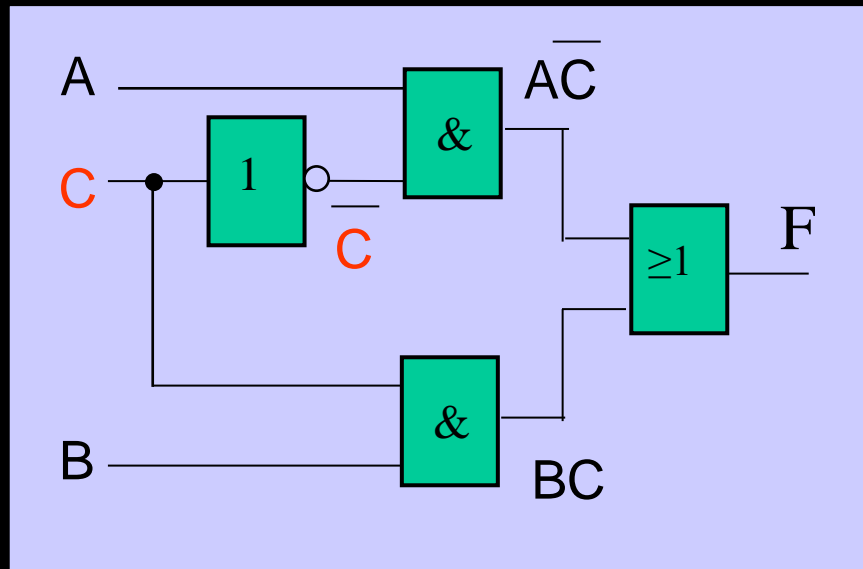
用卡诺图可以判别出两级与或电路和或与电路是否存在静态险象。

(1) 静态 1 险象判别 (逻辑险象)

- 在卡诺图中，与或式中的每个与项对应于圈1的一个卡诺圈，如果两个卡诺圈存在着部分相切，而这个相切的部分又没有被另外的卡诺圈所包含，则该电路必然存在静态 1 险象。

例 静态 1 险象的判别与消除电路

$$F = A\bar{C} + BC \quad \text{当 } A = B = 1 \text{ 时}$$



C \ AB	00	01	11	10
0			1	1
1		1	1	

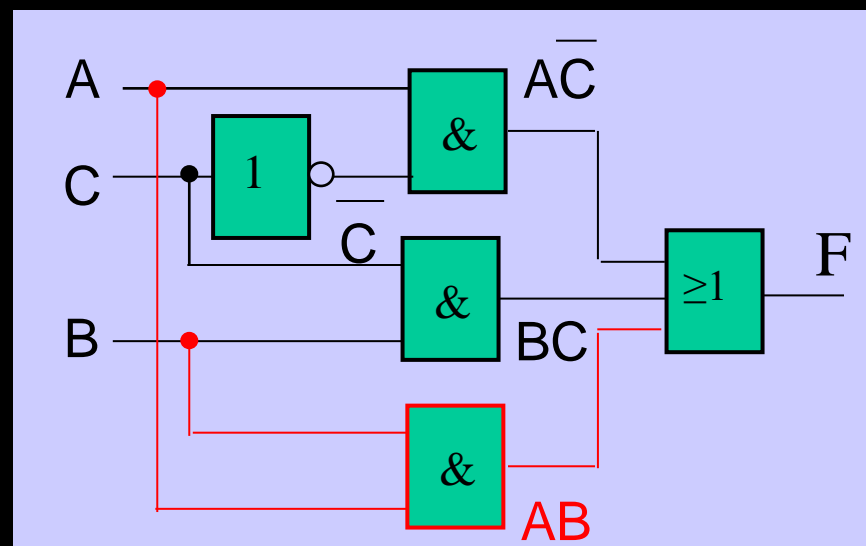
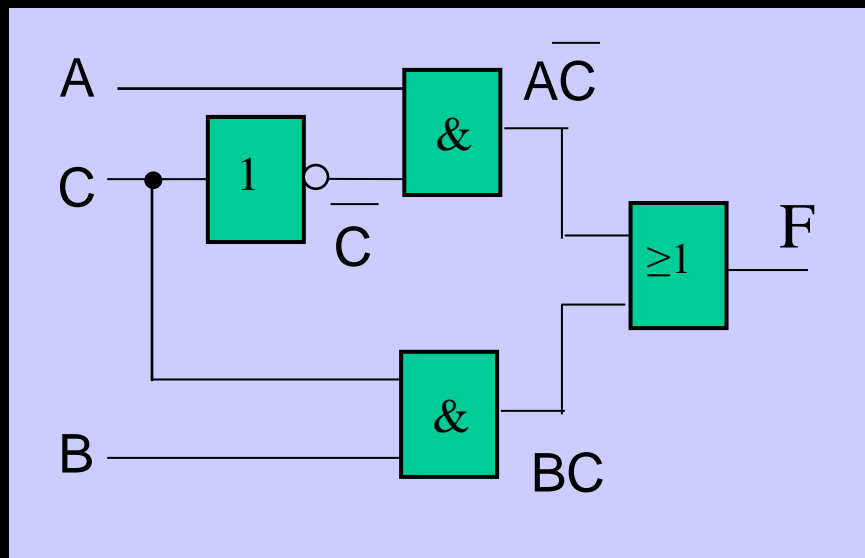
相切部分是哪个变量的交替面，就是哪个变量由 1→0 时出现的险象。

两圈相切于在变量 **C** 的交替面，当 C 由 1→0 时，BC 先由 1→0 而 $A\bar{C}$ 尚未由 0→1，使 F 产生一个负向脉冲

第二章 组合逻辑电路

例 静态 1 险象的判别与消除电路

$$F = A\bar{C} + BC \quad \text{当 } A = B = 1 \text{ 时}$$



C \ AB	00	01	11	10
0			1	1
1		1	1	

增加的与项AB，当AB=11时，
无论 C 如何变化，使输出F
总是1，从而消除了险象。

(2) 静态 0 险象判别 (逻辑险象)

- 在卡诺图中，按照圈0单元的卡诺圈是否存在着部分相切，而这个相切的部分又没有被另外的卡诺圈所包含，则该电路必然存在静态 0 险象。

例 如图所示电路 $F = (A+B+\overline{C})(C+D)(\overline{B}+\overline{D})$

第二章 组合逻辑电路

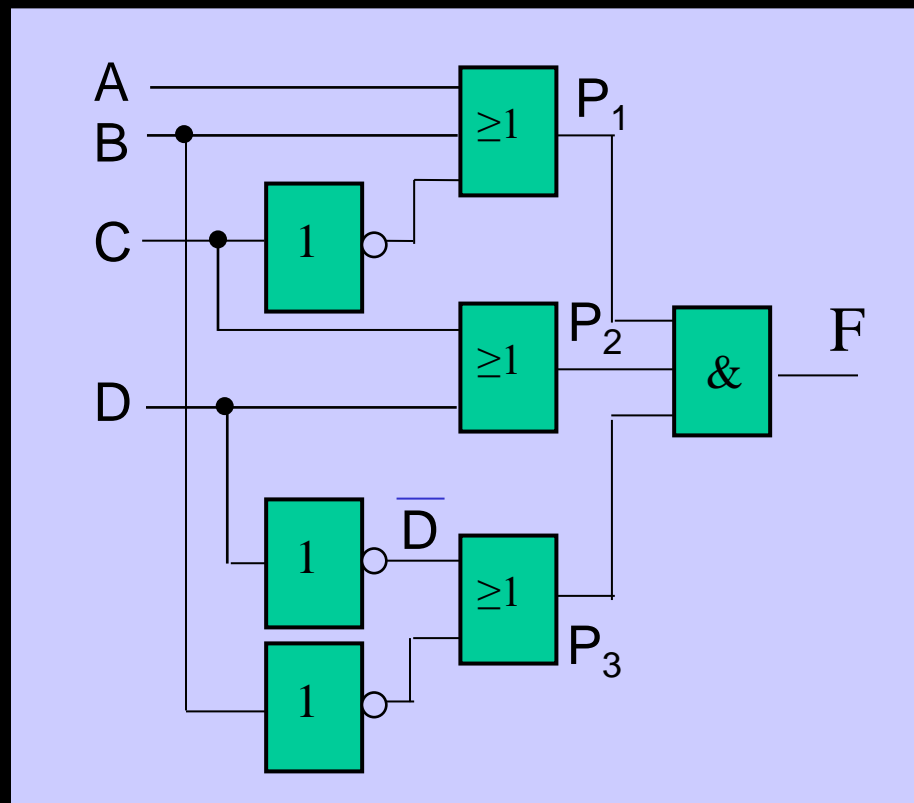
$F = (A+B+\overline{C})(C+D)(\overline{B}+\overline{D})$ 静态 0 险象的判别与消除电路

AB \ CD	00	01	11	10
00	0	0	0	0
01		0	0	
11	0	0	0	
10	0			

两圈相切于在变量**D**的交替面
两圈相切于在变量**C**的交替面
两圈相切于在变量**B**的交替面

有三处相切，对应着三个静态0险象；分别增加三个卡诺圈，使输出**F**总是0，从而消除险象。

$$F = (A+B+\overline{C})(C+D)(\overline{B}+\overline{D})(\overline{B}+\overline{C})(A+B+D)(A+\overline{C}+\overline{D})$$



第三节 组合电路中的竞争与险象

2. 逻辑代数法

如果电路中存在出现险象的可能性，其逻辑表达式有如下特点：（逻辑险象）

- (1) 当某一变量同时以原变量和反变量的形式出现在逻辑表达式中，则该变量就具备了竞争的条件。
- (2) 保留被研究变量，消去其他变量（其他变量取某些定值，这些定值是被研究变量产生竞争的条件）。
- (3) 若得到的表达式为下列形式之一，则有险象存在：

第二章 组合逻辑电路

$F = A + \bar{A}$ —— 静态 1 险象(如A从1→0)

$F = A \cdot \bar{A}$ —— 静态 0 险象(如A从0→1)

$F = \left\{ \begin{array}{l} A \cdot (A + \bar{A}) \\ \bar{A} \cdot (A + \bar{A}) \\ A + A \cdot \bar{A} \\ \bar{A} + A \cdot \bar{A} \end{array} \right\}$ —— 动态险象

例1 $F = A\bar{C} + BC$ 式中变量 C 具备竞争条件

当 $AB = 11$ 时, C 从 1→0, 产生静态 1 险象

例2 $F = A\bar{C} + BC + AB$ 式中变量 C 具备竞争条件

但当 $AB = 11$ 时, $F \equiv 1$, 不存在险象

例3 $F = (A+B+\overline{C})(C+D)(\overline{B}+\overline{D})$

① 变量 B 具备竞争条件：当 $ACD = 011$ 时

$$F = B \cdot \overline{B} \text{ 存在静态0险象}$$

② 变量 C 具备竞争条件：当 $ABD = 000$ 时

$$F = C \cdot \overline{C} \text{ 存在静态0险象}$$

③ 变量 D 具备竞争条件：当 $BC = 10$ 时

$$F = D \cdot \overline{D} \text{ 存在静态0险象}$$

例4 $F = (A + B)(\overline{B} + C) + \overline{B}$

式中变量B具备竞争条件，当 $AC=00$ 时 $F = B \cdot \overline{B} + \overline{B}$

即 B 从 $0 \rightarrow 1$ ，输出 F 出现动态险象；

B 从 $1 \rightarrow 0$ ，输出 F 不产生险象。

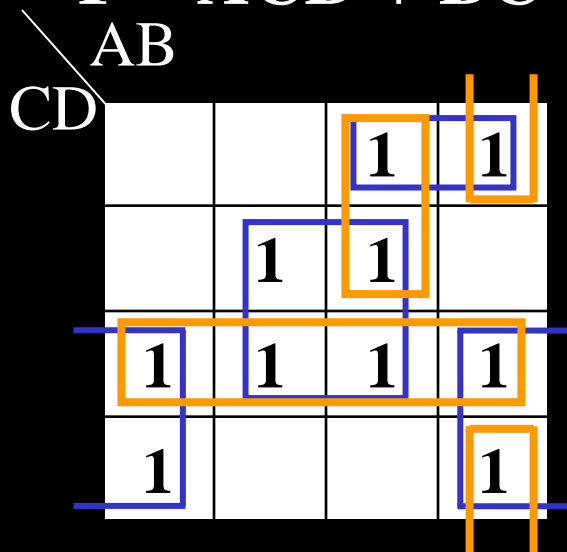
2.3.4 险象的消除

消除险象的方法主要有：

- 1) 增加**多余项(与项)**或乘以**多余因子(或项)**消除逻辑险象

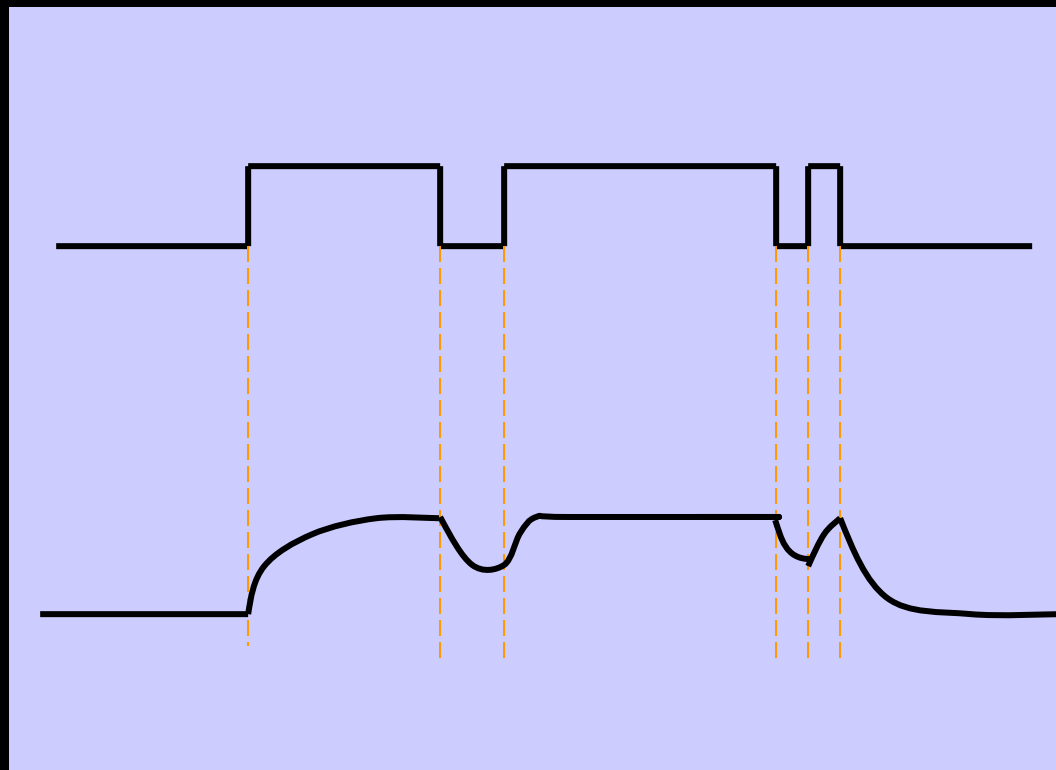
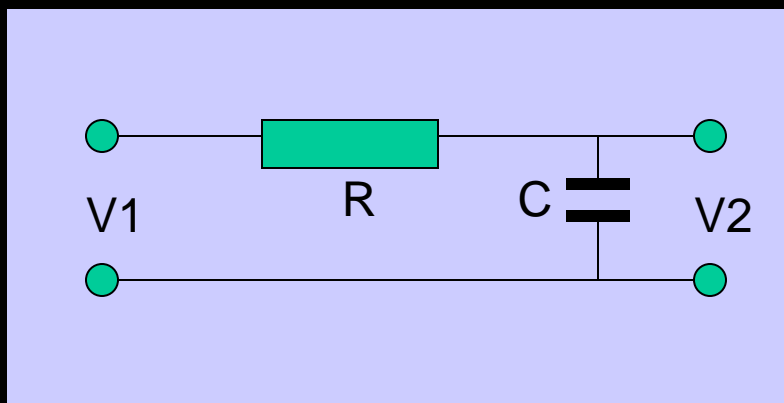
例 $F = A\bar{C}\bar{D} + \bar{B}C + BD$

$F = A\bar{C}\bar{D} + \bar{B}C + BD + \mathbf{A\bar{B}\bar{D}} + \mathbf{ABC\bar{C}} + \mathbf{CD}$

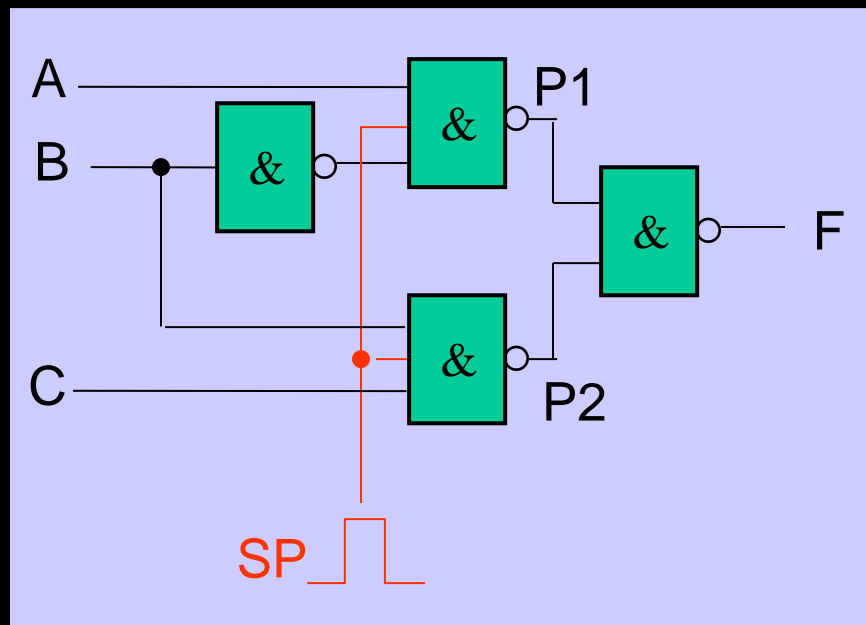


2) 在输出端连接低通环节以减弱干扰

用低通滤波电路滤掉窄脉冲干扰，但将使输出变化的上升、下降沿增大，降低工作速度也使信号质量变坏。



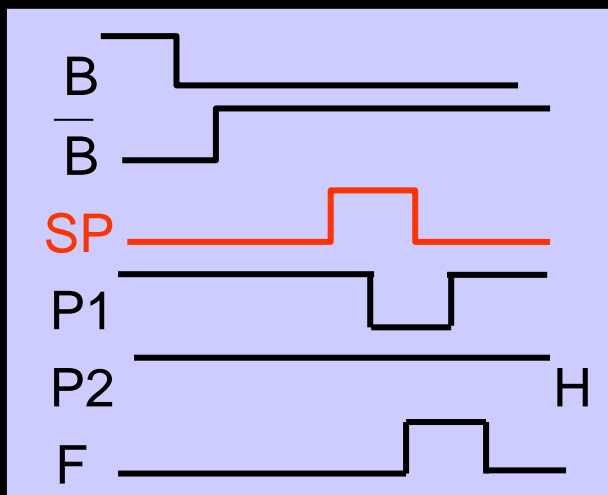
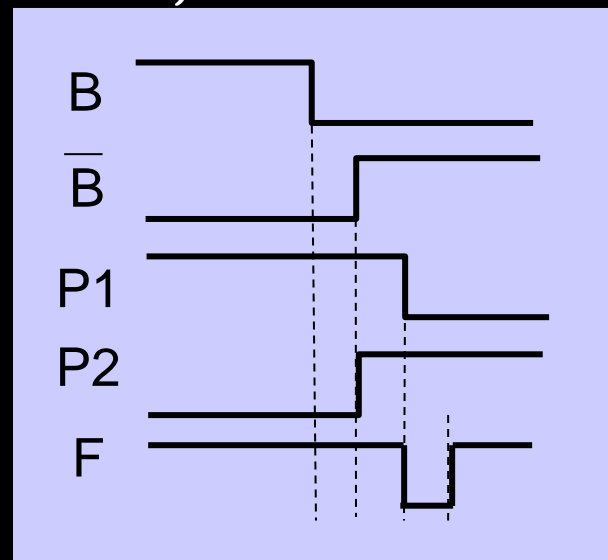
3) 利用取样脉冲避开险象



在计算机和大型数字系统中常用的方法。

“选通” ----》脉冲信号

A=1, C=1



4) 时钟同步法

