

2.2 组合逻辑电路的分析与设计

2.2.1 组合逻辑电路的分析

- 逻辑表达式法
- 穷举法（真值表法）
- 波形图法

2.2.2 组合逻辑设计步骤、设计举例

- 组合逻辑设计步骤
- 设计举例

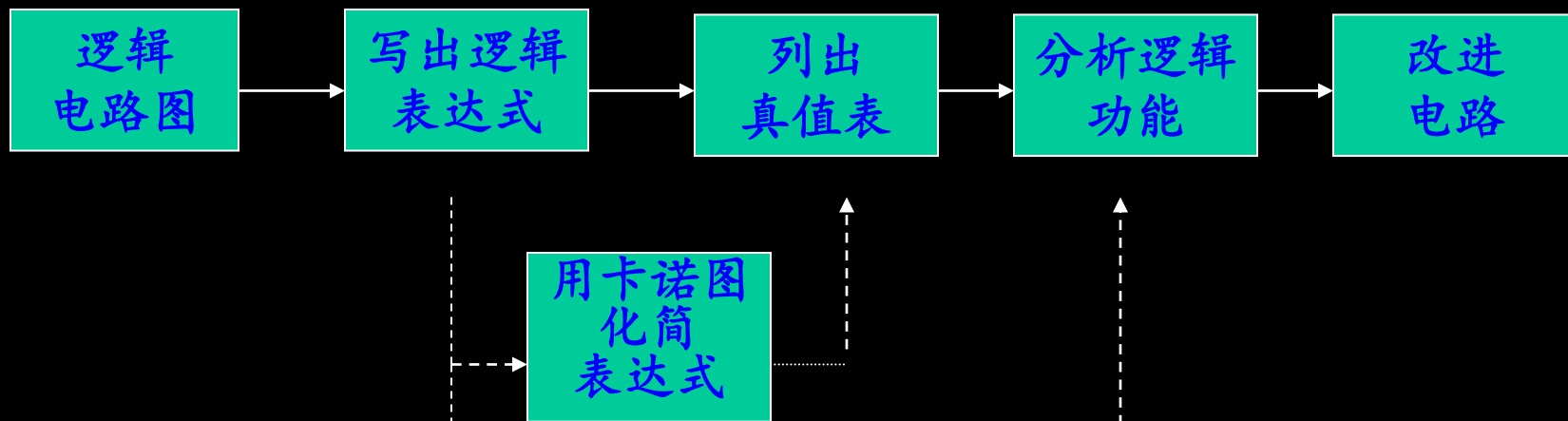
第二章 组合逻辑电路

2.2.1 组合逻辑电路的分析

电路分析的目的：根据给定电路，分析该电路输出与输入之间的逻辑关系，得出电路的**逻辑功能的描述**，进而**评估此电路的性能**，还可进一步改进电路。

组合逻辑电路的特点：电路输出仅取决于当时的输入，而与过去的输入情况无关。

分析的一般步骤：如下图所示：



第二章 组合逻辑电路

1) 利用表达式分析电路

根据电路逐级写出各门的输出表达式，直至写出输出逻辑表达式。

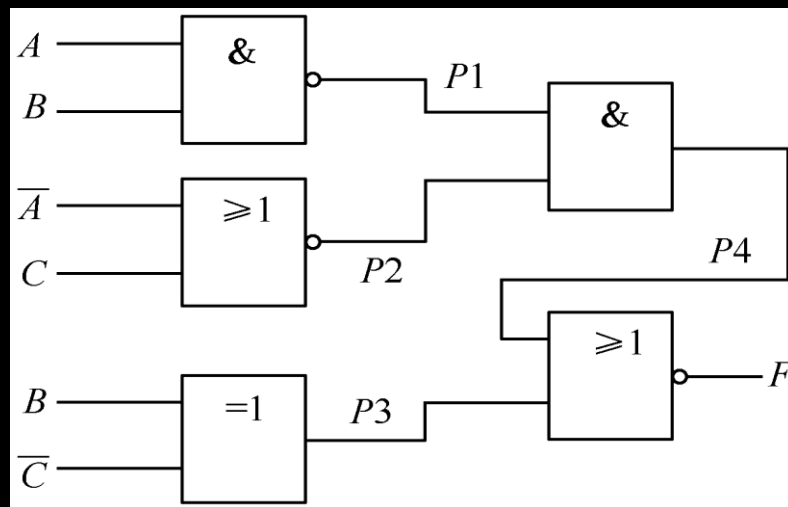
例： $P1 = \overline{AB}$

$$P2 = \overline{A + C}$$

$$P3 = B \oplus \overline{C}$$

$$P4 = P1 \cdot P2 = \overline{AB} \cdot \overline{A + C}$$

$$F = \overline{P3 + P4} = B \oplus C$$



这是输出函数 F 的最简表达式，该电路实现了两个变量 B 和 C 的异或运算。

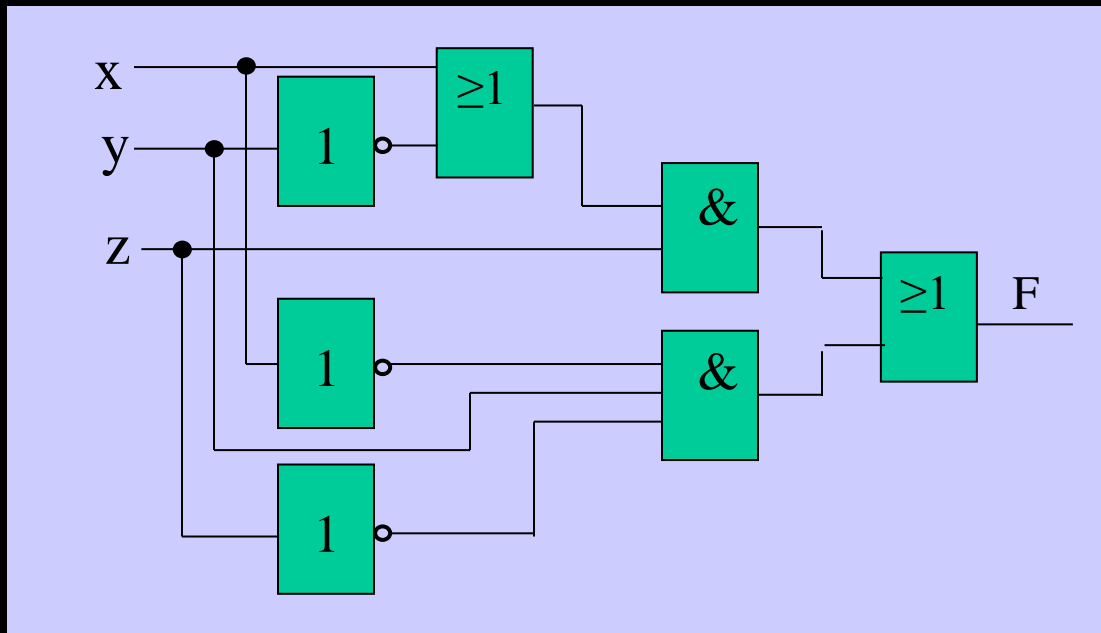
第二章 组合逻辑电路

2) 利用真值表分析电路

穷举法的结果是真值表。即列出 n 个输入变量的所有 2^n 个输入组合，并根据每一个输入组合决定所有门的输出，逐级推出电路的输出，得到真值表。

例：分析如图三输入——一输出的逻辑电路。

x	y	z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

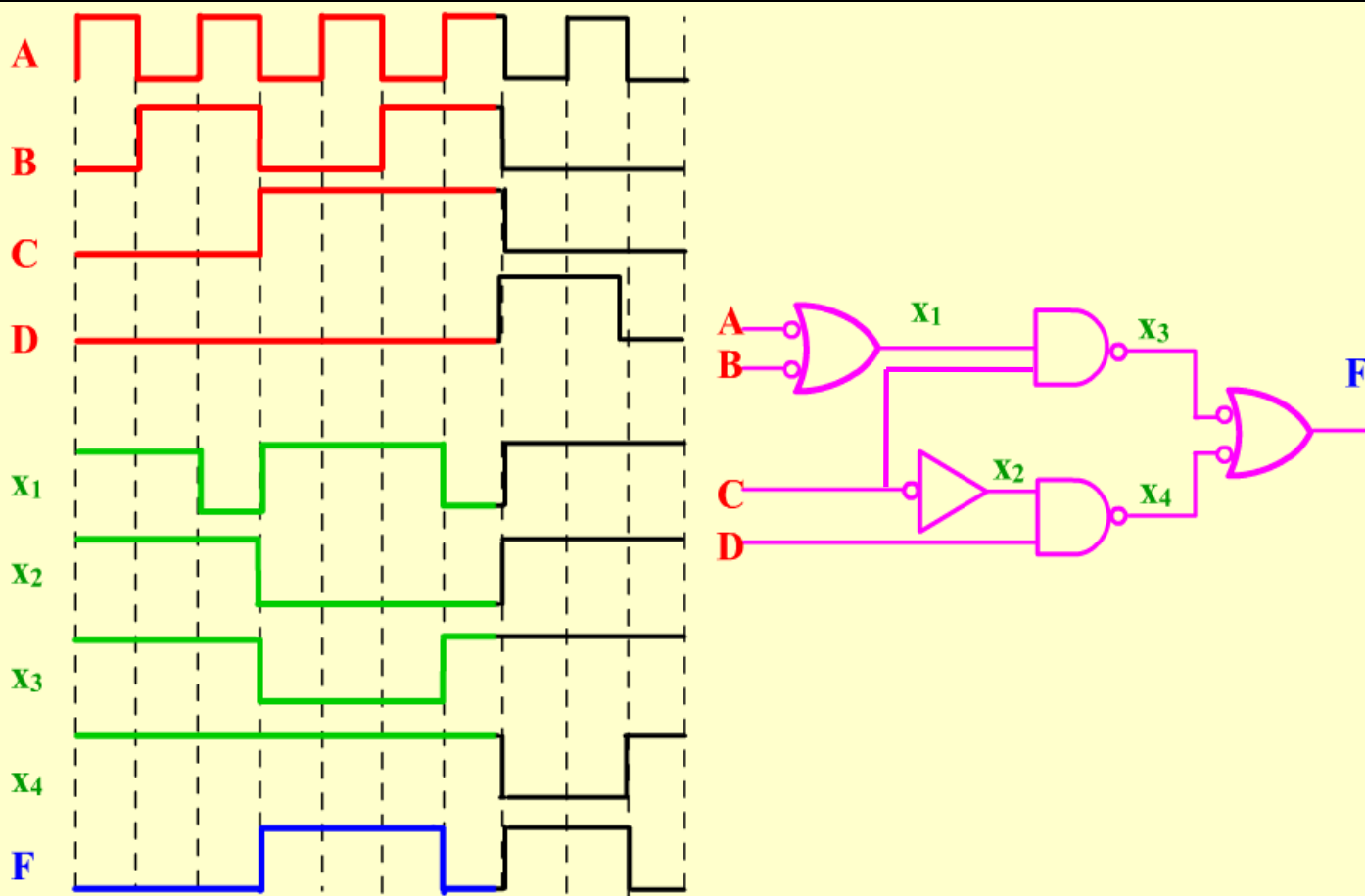


第二章 组合逻辑电路

3) 数字波形图分析法

这种方法是对逻辑门的所有输入变量施以输入波形，逐级画出各个门电路的输出波形，乃至画出最后的输出波形。

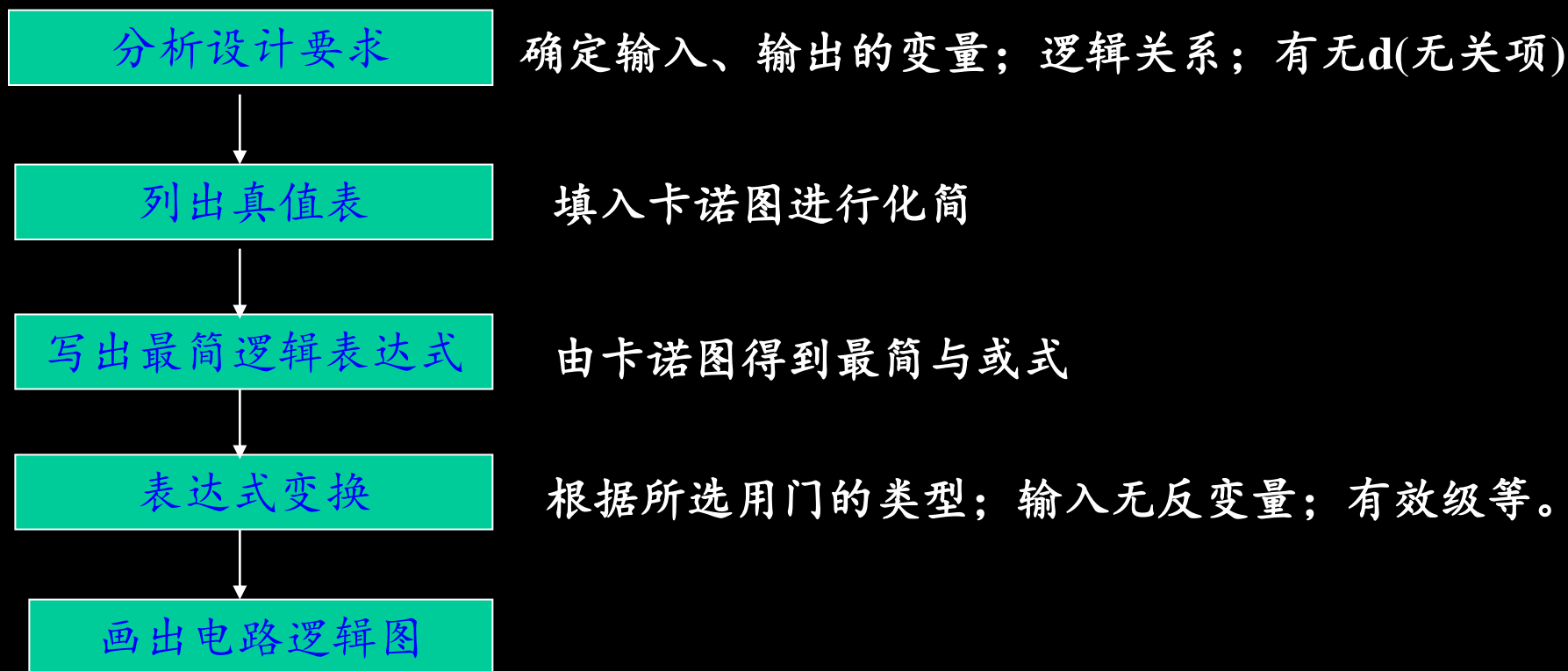
例，下图右所示的逻辑电路有A、B、C、D四个输入变量，输入输出波形如下图左所示。



第二章 组合逻辑电路

2.2.2 组合逻辑电路设计

目的：根据要实现的逻辑功能，利用逻辑代数方法实现逻辑电路设计的一般步骤，如下图所示：



要求：电路用最少的逻辑门（集成块）、最少的输入端数。

第二章 组合逻辑电路

1)逻辑问题描述—真值表—逻辑表达式

例1 设计一个二进制一位全加器。（“加”）

半加器 Half-Adder

输入变量：加数A、B
输出函数：和 S_h 、进位 C_h

	0	0	1	1	A			
+	0	+	1	+	0	+	1	B
	<hr/>							
	00	01	01	10				
					$C_h S_h$			

全加器 Full-Adder

输入变量：被加数 A_i 、加数 B_i 、
来自低位的进位 C_{i-1}
输出函数：本位和 S_i 、本位向高位的进位 C_i

	0	1	0	1	0	1	0	1	C_{i-1}							
	0	0	0	0	1	1	1	1	A_i							
+	0	+	0	+	1	+	1	+	0	+	0	+	1	+	1	B_i
	<hr/>															
	00	01	01	10	01	10	10	11								
									$C_i S_i$							

第二章 组合逻辑电路

➤半加器 Half-Adder

输入变量：加数A、B

输出函数：和 S_h 、进位 C_h

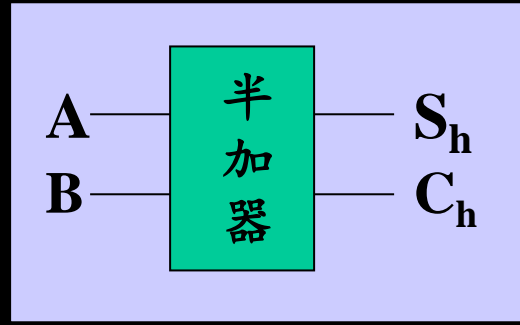
A B		$S_h C_h$	
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

A	
B	
0	1
1	

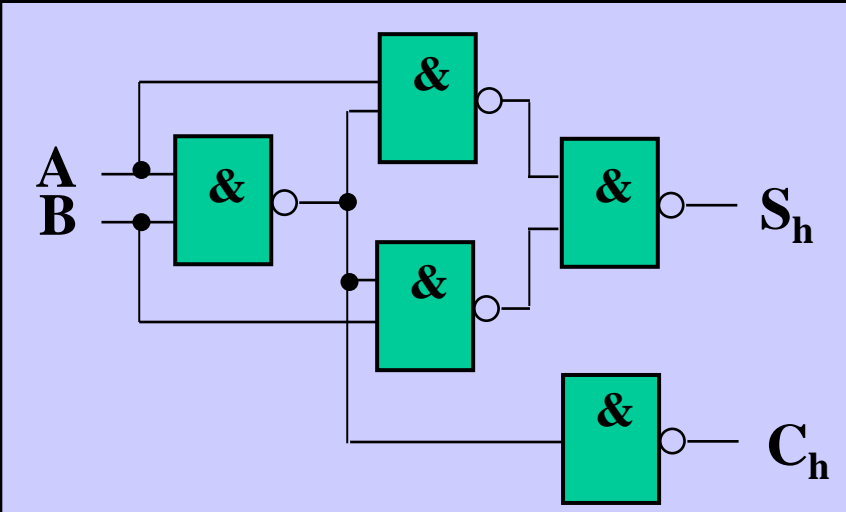
S_h

A	
B	
0	
1	1

C_h



$$S_h = \overline{A}\overline{B} + \overline{A}B = A \oplus B$$
$$= \overline{\overline{\overline{A}\overline{B}} \overline{\overline{A}B}}$$
$$C_h = AB = \overline{\overline{AB}}$$



设计

第二章 组合逻辑电路

➤ 全加器 *Full-Adder*

输入变量：被加数 A_i 、加数 B_i 、来自低位的进位 C_{i-1}

输出函数：本位和 S_i 、本位向高位的进位 C_i

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$C_{i-1} \backslash A_i B_i$	00	01	10	11
0	0	1	0	1
1	1	0	1	0

S_i

$C_{i-1} \backslash A_i B_i$	00	01	10	11
0	0	0	1	0
1	0	1	1	1

C_i

$$\begin{aligned} S_i &= A_i \oplus B_i \oplus C_{i-1} \\ &= \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1} \end{aligned}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

第二章 组合逻辑电路

用二级与或电路实现:

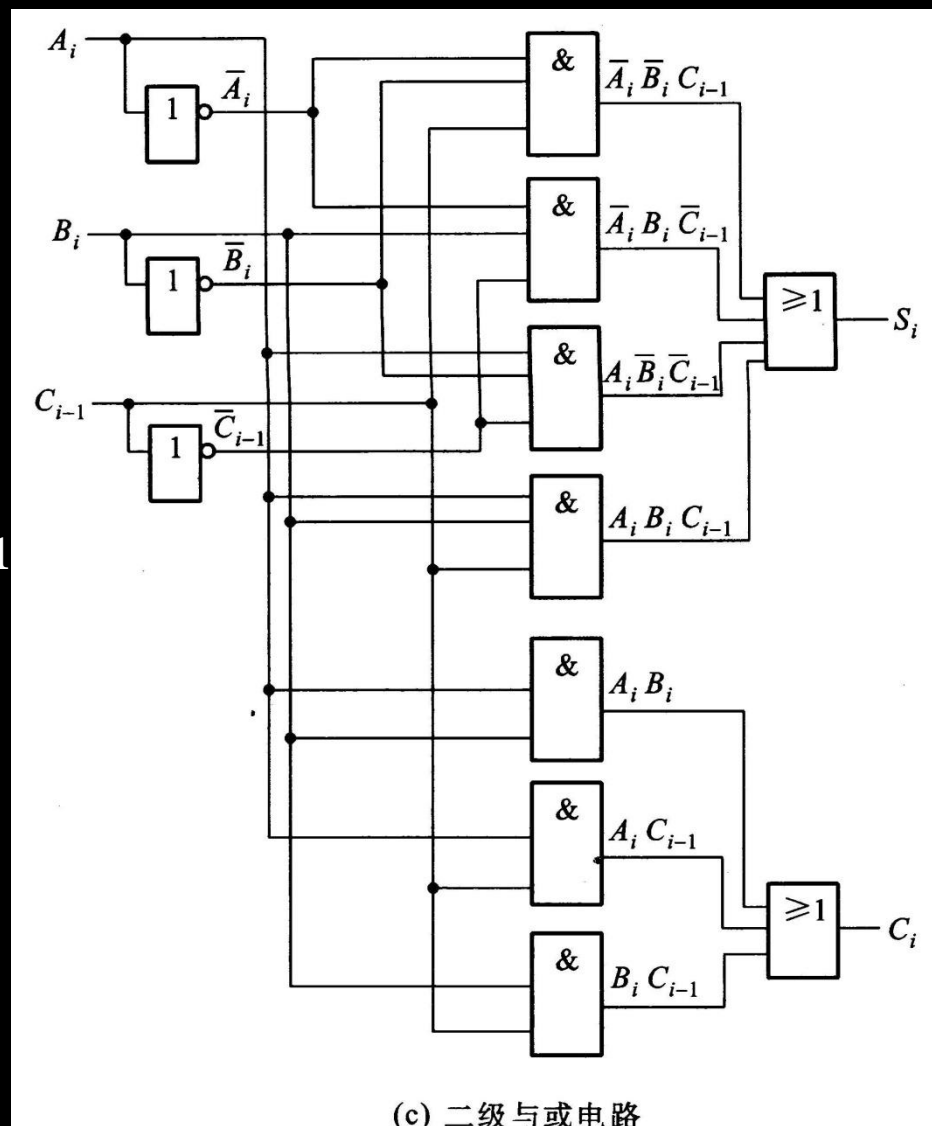
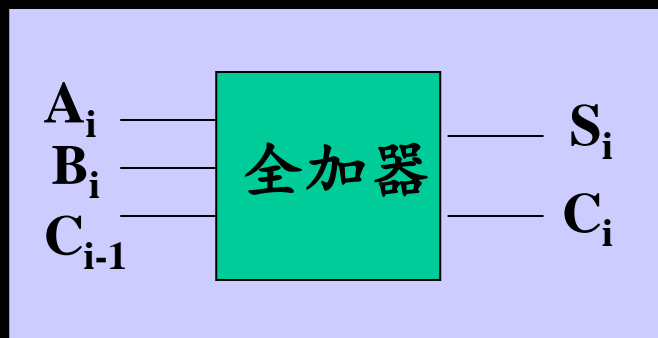
$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

阅读

$$= \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1}$$

$$+ A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$



二级与或电路

第二节 组合电路分析与设计

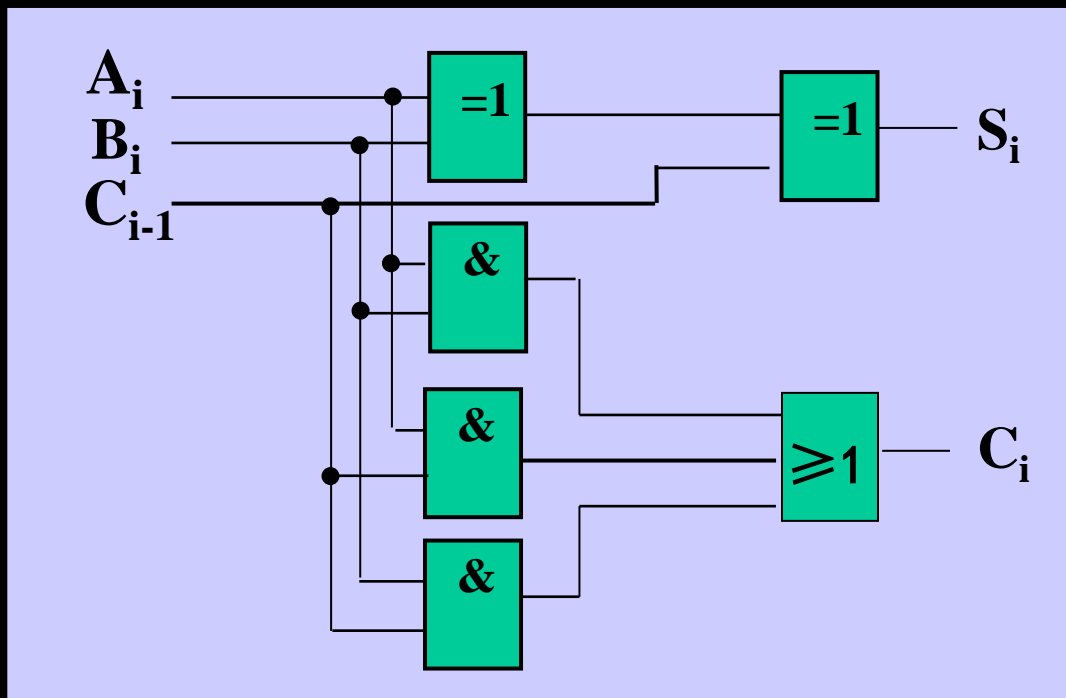
第二章 组合逻辑电路

阅读

用异或门和与、或门构成电路实现全加器：

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$



用“半加器”实现全加器：

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

阅读 $= S_{h1} \oplus C_{i-1}$

$$= S_{h2}$$

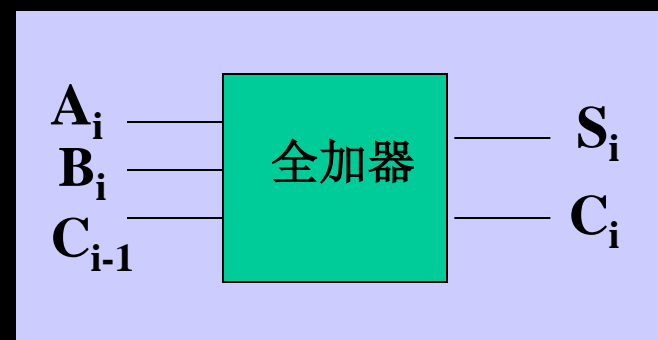
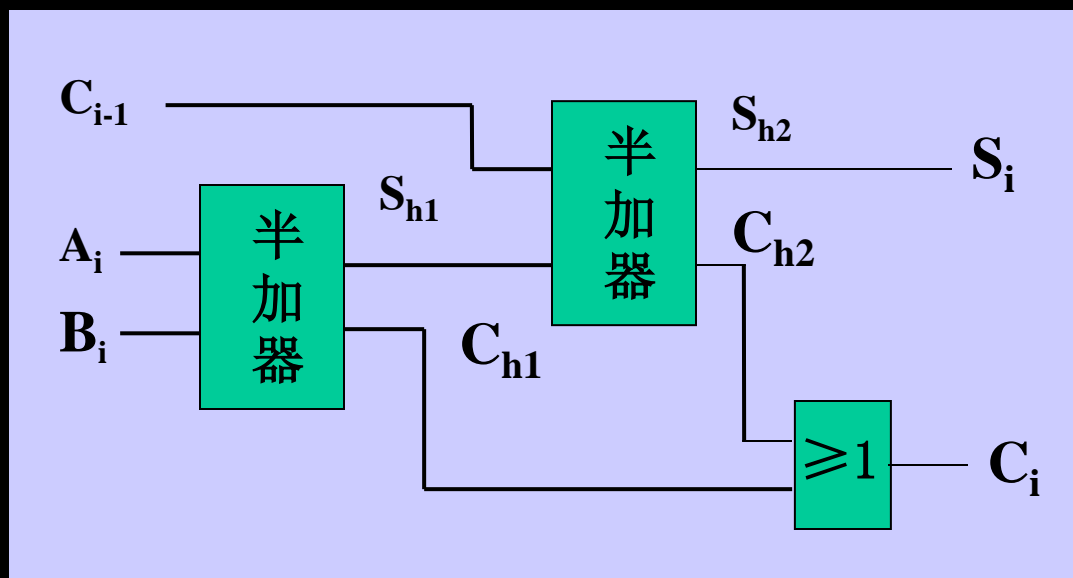
$$C_i = A_i B_i + \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1}$$

$$= C_{h1} + C_{i-1} (\bar{A}_i B_i + A_i \bar{B}_i)$$

$$= C_{h1} + C_{i-1} (A_i \oplus B_i)$$

$$= C_{h1} + C_{i-1} S_{h1}$$

$$= C_{h1} + C_{h2}$$



第二章 组合逻辑电路

思考：设计二进制一位半减器、二进制一位全减器

半减器：

输入变量：被减数A、减数B

输出函数：差 S_h 、借位 b_h

全减器：

输入变量：被减数 A_i 、减数 B_i 、来自低位的借位 b_{i-1}

输出函数：本位差 S_i 、本位向高位的借位 b_i

2) 逻辑问题描述—简化真值表—逻辑表达式

➤ 比较器 *Comparators*

输入变量：两个正整数 $x = x_2x_1$, $y = y_2y_1$

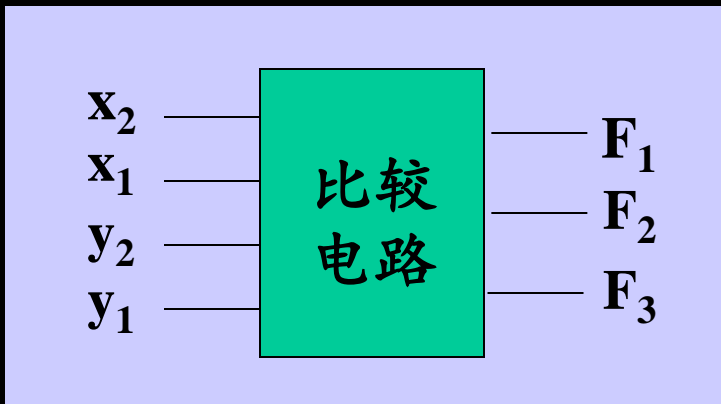
输出函数：三个比较结果 $F_1(x > y)$, $F_2(x < y)$, $F_3(x = y)$

①根据先比较高位后
比较低位的原则，列出使
函数为1的简化真值表：

x_2 y_2	x_1 y_1	F_1 F_2 F_3
1 0	d d	1 0 0
0 1	d d	0 1 0
0 0	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1
1 1	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1

第二章 组合逻辑电路

②由简化真值表直接写出逻辑表达式:



x_2 y_2	x_1 y_1	F_1 F_2 F_3
1 0	d d	1 0 0
0 1	d d	0 1 0
0 0	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1
1 1	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1

$$F_1 = x_2 \bar{y}_2 + \bar{x}_2 \bar{y}_2 x_1 \bar{y}_1 + x_2 y_2 x_1 \bar{y}_1$$

$$F_2 = \bar{x}_2 y_2 + \bar{x}_2 \bar{y}_2 x_1 y_1 + x_2 y_2 \bar{x}_1 y_1$$

$$F_3 = \bar{x}_2 \bar{y}_2 x_1 \bar{y}_1 + \bar{x}_2 \bar{y}_2 x_1 y_1 + x_2 y_2 \bar{x}_1 \bar{y}_1 + x_2 y_2 x_1 y_1$$

逻辑电路图参见书P58图2.28 (c) 。

3) 逻辑问题描述——逻辑表达式

由逻辑问题描述直接写出逻辑表达式。

例 设计一个房间报警电路

如果 ①意外事件发生输入PANIC为1；

②使能输入ENABLE为1、出口标志输入EXITING为0、
房间没有加密(SECURE)；

则 报警输出ALARM为1。

如果 窗(WINDOW)、门(DOOR)及车库(GARAGE)都是1

则 房间加密(SECURE)。

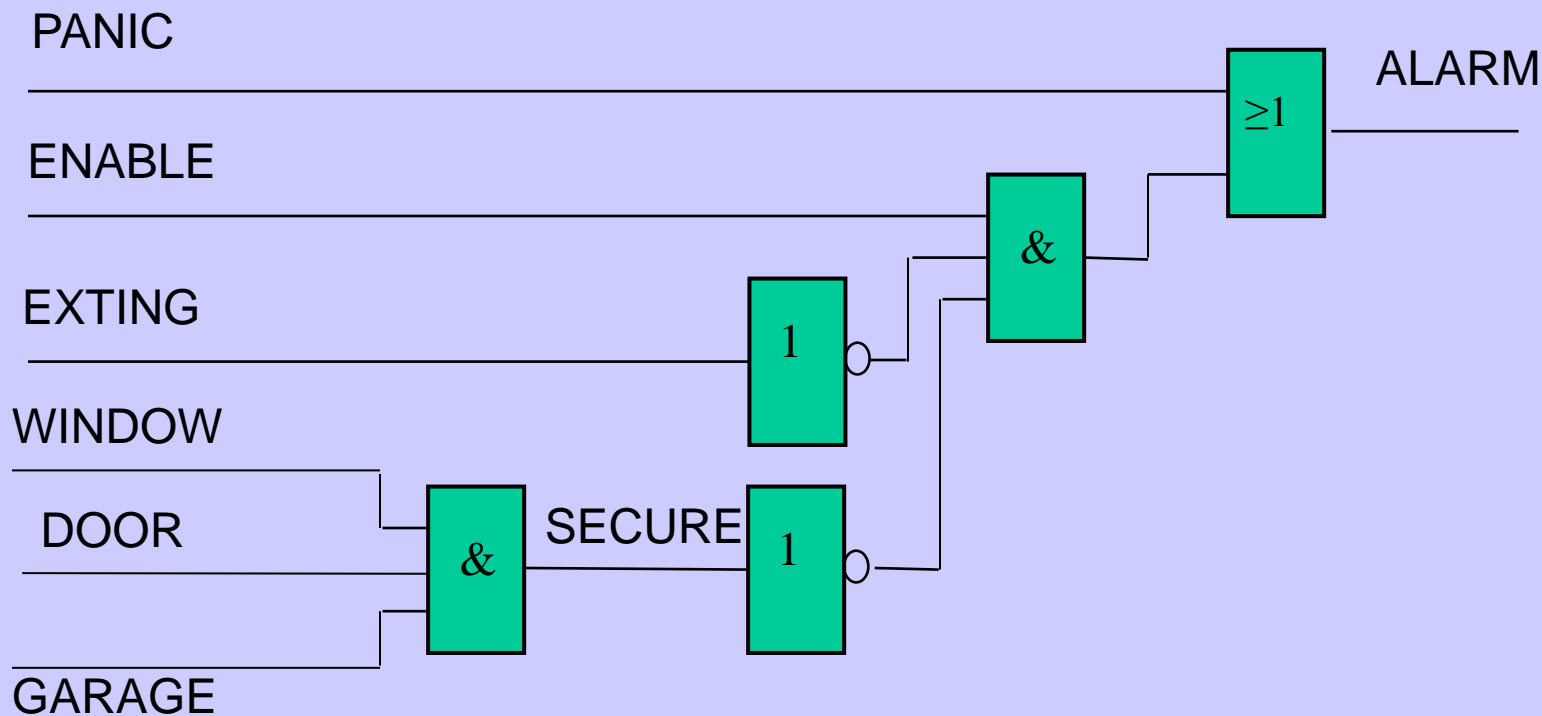
$$ALARM = PANIC + ENABLE \cdot \overline{EXITING} \cdot \overline{SECURE}$$

$$SECURE = WINDOW \cdot DOOR \cdot GARAGE$$

$$ALARM = PANIC + ENABLE \cdot \overline{EXITING}$$

$$\cdot \overline{(WINDOW \cdot DOOR \cdot GARAGE)}$$

报警电路逻辑图

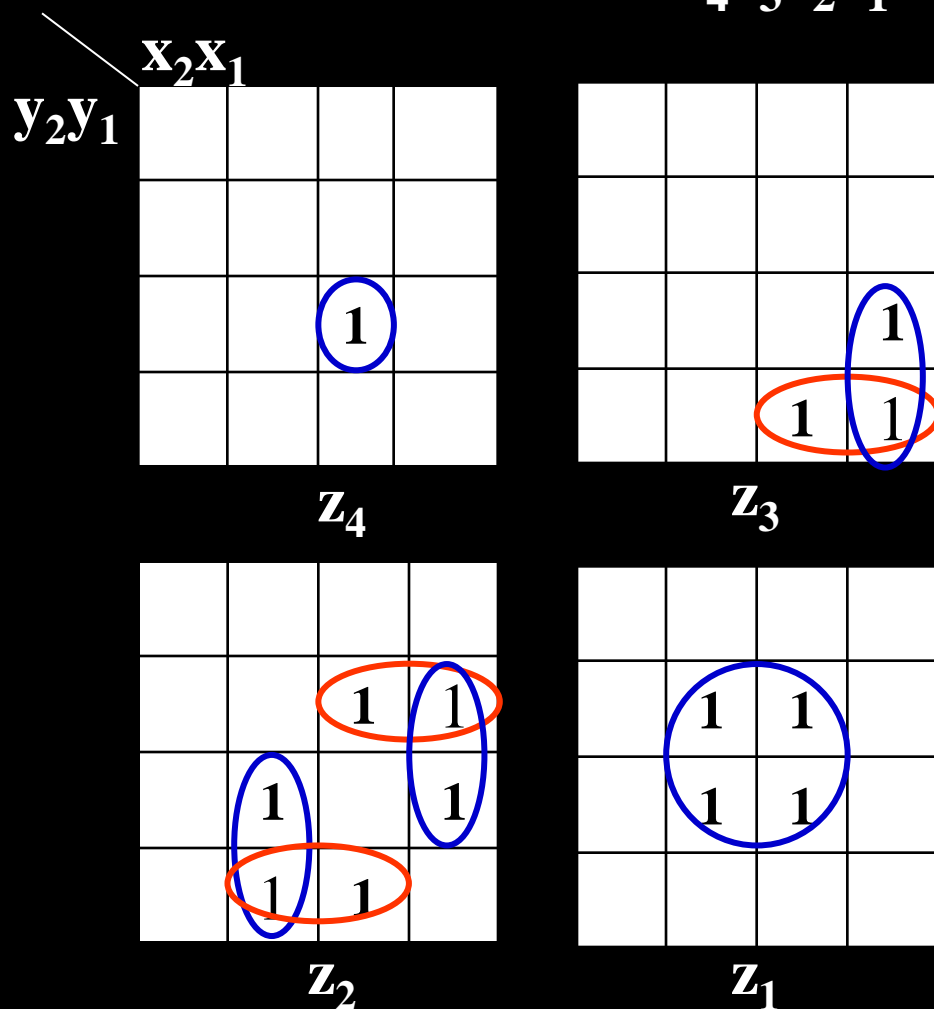


思考题： 1. 设计一个两位二进制数乘法器。

分析： 输入变量 $X = x_2x_1$

$Y = y_2y_1$

输出变量 $Z = z_4z_3z_2z_1$



输出

$$z_4 = x_2x_1 y_2y_1$$

$$z_3 = x_2\bar{x}_1y_2 + x_2y_2\bar{y}_1$$

$$z_2 = x_2\bar{x}_1y_1 + x_2\bar{y}_2y_1 + \bar{x}_2x_1y_2 + x_1y_2\bar{y}_1$$

$$z_1 = x_1y_1$$

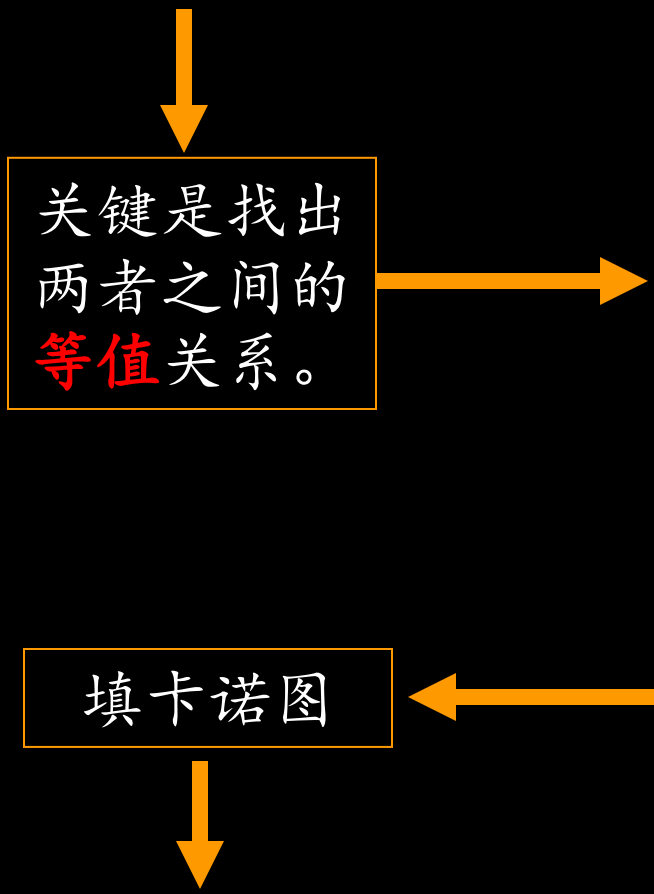
第二章 组合逻辑电路

思考题： 2. 码制转换电路

例1 输入为2421码ABCD

输出为余3码 $Y_3Y_2Y_1Y_0$

分析 列出真值表：



十进制数	A B C D	$Y_3Y_2Y_1Y_0$
0	0 0 0 0	0 0 1 1
1	0 0 0 1	0 1 0 0
2	0 0 1 0	0 1 0 1
3	0 0 1 1	0 1 1 0
4	0 1 0 0	0 1 1 1
	0 1 0 1	d
	0 1 1 0	d
	0 1 1 1	d
	1 0 0 0	d
	1 0 0 1	d
	1 0 1 0	d
5	1 0 1 1	1 0 0 0
6	1 1 0 0	1 0 0 1
7	1 1 0 1	1 0 1 0
8	1 1 1 0	1 0 1 1
9	1 1 1 1	1 1 0 0

第二章 组合逻辑电路

第一步：填出所有的“d”

CD \ AB	00	01	10	11
00				d
01		d		d
10		d		
11		d		d

Y₃

CD \ AB	00	01	10	11
00				d
01		d		d
10		d		
11		d		d

Y₂

CD \ AB	00	01	10	11
00				d
01		d		d
10		d		
11		d		d

Y₁

CD \ AB	00	01	10	11
00				d
01		d		d
10		d		
11		d		d

Y₀

A B C D	Y ₃ Y ₂ Y ₁ Y ₀
0 0 0 0	0 0 1 1
0 0 0 1	0 1 0 0
0 0 1 0	0 1 0 1
0 0 1 1	0 1 1 0
0 1 0 0	0 1 1 1
0 1 0 1	d
0 1 1 0	d
0 1 1 1	d
1 0 0 0	d
1 0 0 1	d
1 0 1 0	d
1 0 1 1	1 0 0 0
1 1 0 0	1 0 0 1
1 1 0 1	1 0 1 0
1 1 1 0	1 0 1 1
1 1 1 1	1 1 0 0

第二章 组合逻辑电路

第二步：按 Y_3 、 Y_2 、 Y_1 和 Y_0 分别填完卡诺图

CD \ AB	00	01	11	10
00			1	d
01		d	1	d
11		d	1	1
10		d	1	d

Y_3

CD \ AB	00	01	11	10
00		1		d
01	1	d		d
11	1	d	1	
10	1	d		d

Y_2

CD \ AB	00	01	11	10
00	1	1		d
01		d	1	d
11	1	d		
10		d	1	d

Y_1

CD \ AB	00	01	11	10
00	1	1	1	d
01		d		d
11		d		
10	1	d	1	d

Y_0

A B C D	Y_3	Y_2	Y_1	Y_0
0 0 0 0	0	0	1	1
0 0 0 1	0	1	0	0
0 0 1 0	0	1	0	1
0 0 1 1	0	1	1	0
0 1 0 0	0	1	1	1
0 1 0 1			d	
0 1 1 0			d	
0 1 1 1			d	
1 0 0 0			d	
1 0 0 1			d	
1 0 1 0			d	
1 0 1 1	1	0	0	0
1 1 0 0	1	0	0	1
1 1 0 1	1	0	1	0
1 1 1 0	1	0	1	1
1 1 1 1	1	1	0	0

第二章 组合逻辑电路

第三步：找出最小覆盖并写出最简表达式

AB \ CD	00	01	11	10
00			1	d
01		d	1	d
11		d	1	1
10		d	1	d

Y_3

AB \ CD	00	01	11	10
00		1		d
01	1	d		d
11	1	d	1	
10	1	d		d

Y_2

AB \ CD	00	01	11	10
00	1	1		d
01		d	1	d
11	1	d		
10		d	1	d

Y_1

$$Y_3 = A$$

$$Y_2 = \overline{A}B + \overline{A}C + \overline{A}D + BCD$$

$$Y_1 = \overline{A \oplus C \oplus D}$$

$$Y_0 = \overline{D}$$

AB \ CD	00	01	11	10
00	1	1	1	d
01		d		d
11		d		
10	1	d	1	d

Y_0

十进制数的常用代码一览表

BCD码	2421码	余3码	Gray码(1)	步进码	
0 0 0 0 0	0 0 0 0 0	0 0 0 0 d	0 0 0 0 0	00000 0	10000 9
0 0 0 0 1	0 0 0 1 1	0 0 0 1 d	0 0 0 1 1	00001 1	10001 d
0 0 0 1 0	0 0 1 0 2	0 0 1 0 d	0 0 1 0 3	00010 d	10010 d
0 0 0 1 1	0 0 1 1 3	0 0 1 1 0	0 0 1 1 2	00011 2	10011 d
0 0 1 0 0	0 1 0 0 4	0 1 0 0 1	0 1 0 0 d	00100 d	10100 d
0 0 1 0 1	0 1 0 1 d	0 1 0 1 2	0 1 0 1 d	00101 d	10101 d
0 0 1 1 0	0 1 1 0 d	0 1 1 0 3	0 1 1 0 4	00110 d	10110 d
0 0 1 1 1	0 1 1 1 d	0 1 1 1 4	0 1 1 1 d	00111 3	10111 d
0 1 0 0 0	1 0 0 0 d	1 0 0 0 5	1 0 0 0 9	01000 d	11000 8
0 1 0 0 1	1 0 0 1 d	1 0 0 1 6	1 0 0 1 8	01001 d	11001 d
0 1 0 1 0	1 0 1 0 d	1 0 1 0 7	1 0 1 0 6	01010 d	11010 d
0 1 0 1 1	1 0 1 1 5	1 0 1 1 8	1 0 1 1 7	01011 d	11011 d
0 1 1 0 0	1 1 0 0 6	1 1 0 0 9	1 1 0 0 d	01100 d	11100 7
0 1 1 0 1	1 1 0 1 7	1 1 0 1 d	1 1 0 1 d	01101 d	11101 d
0 1 1 1 0	1 1 1 0 8	1 1 1 0 d	1 1 1 0 5	01110 d	11110 6
0 1 1 1 1	1 1 1 1 9	1 1 1 1 d	1 1 1 1 d	01111 4	11111 5

红色数字表示该编码所对应的十进制数值，其它均为无效编码即无关项d。

第二章 组合逻辑电路

例2 输入为十进制Gray码 $G_3G_2G_1G_0$

练习 输出为BCD码 $B_8B_4B_2B_1$

②填卡诺图，先填出所有“d”

G_3G_2

G_1G_0

	d	d	
	d	d	
	d	d	

	d	d	
	d	d	
	d	d	

B_8

	d	d	
	d	d	
	d	d	

B_4

	d	d	
	d	d	
	d	d	

B_2

	d	d	
	d	d	
	d	d	

B_1

	d	d	
	d	d	
	d	d	

①列出真值表

数值	$G_3G_2G_1G_0$	$B_8B_4B_2B_1$
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 1	0 0 1 0
3	0 0 1 0	0 0 1 1
4	0 1 1 0	0 1 0 0
5	1 1 1 0	0 1 0 1
6	1 0 1 0	0 1 1 0
7	1 0 1 1	0 1 1 1
8	1 0 0 1	1 0 0 0
9	1 0 0 0	1 0 0 1
	0 1 0 0	d
	0 1 0 1	d
	0 1 1 1	d
	1 1 0 0	d
	1 1 0 1	d
	1 1 1 1	d

第二章 组合逻辑电路

③按真值表逐行填出卡诺图，只填1，不填0

练习

G_3G_2
 G_1G_0

	d	d	1
	d	d	1
	d	d	

B₈

	d	d	
	d	d	
	d	d	1
	1	1	1

B₄

	d	d	
	d	d	
1	d	d	1
1			1

B₂

	d	d	1
1	d	d	
	d	d	1
1		1	

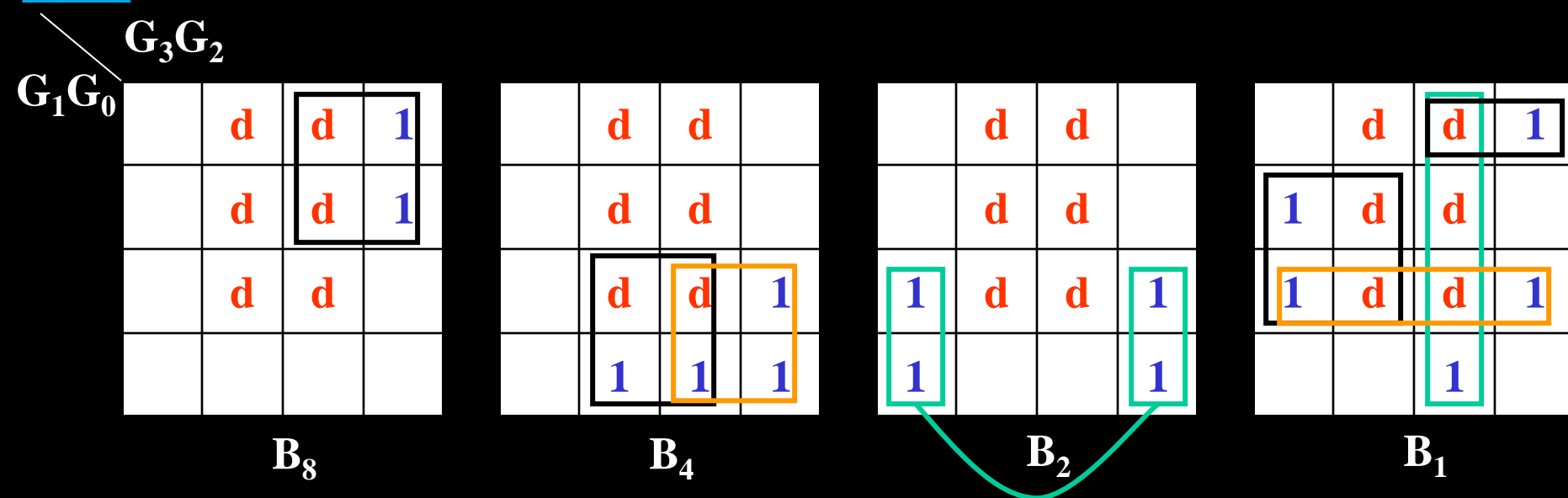
B₁

数值	$G_3G_2G_1G_0$	$B_8B_4B_2B_1$
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 1	0 0 1 0
3	0 0 1 0	0 0 1 1
4	0 1 1 0	0 1 0 0
5	1 1 1 0	0 1 0 1
6	1 0 1 0	0 1 1 0
7	1 0 1 1	0 1 1 1
8	1 0 0 1	1 0 0 0
9	1 0 0 0	1 0 0 1
	0 1 0 0	d
	0 1 0 1	d
	0 1 1 1	d
	1 1 0 0	d
	1 1 0 1	d
	1 1 1 1	d

第二章 组合逻辑电路

④找出最小覆盖并写出最简表达式

练习



$$B_8 = G_3 \bar{G}_1$$

$$B_4 = G_3 G_1 + G_2 G_1$$

$$B_2 = \bar{G}_2 G_1$$

$$B_1 = G_3 G_2 + \bar{G}_3 G_0 + G_1 G_0 + G_3 \bar{G}_1 \bar{G}_0$$

阅读 ➤ 逻辑电路的变换 *transform of Logic Circuit*

为了提高电路的速度，提高器件的利用率，从而减少IC的数量、也减少外部的连接线和提高电路的可靠性，需要对从逻辑表达式直接画出的逻辑电路图进行变换，尽可能使其用**同一类型的输出端带非**的门来实现。

一、“与—或”电路变换为“与非—与非”电路

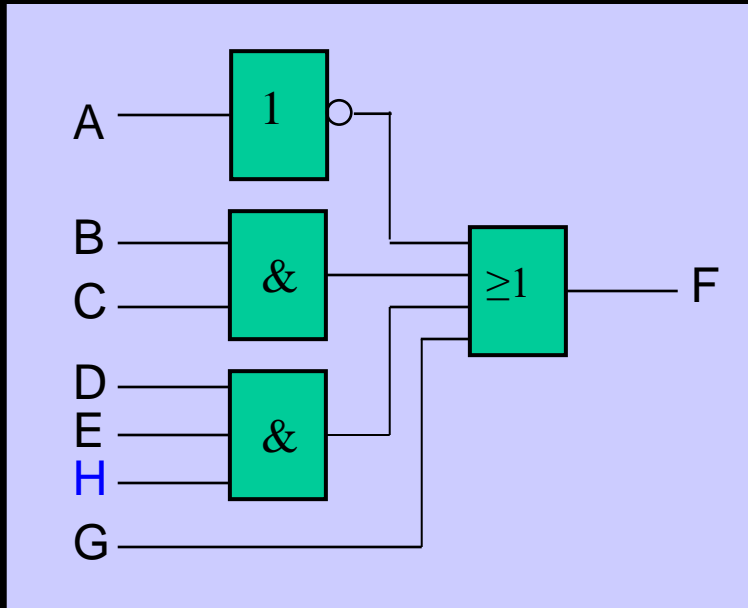
$$\begin{aligned}\text{例 } F &= \overline{A} + BC + DEH + G && (\text{与—或}) \\ &= \overline{\overline{A} + BC + DEH + G} && (\text{原函数二次求反}) \\ &= \overline{\overline{A}} \overline{BC} \overline{DEH} \overline{G} && (\text{运用反演规则}) \\ &= \overline{A} \overline{BC} \overline{DEH} \overline{G} && (\text{与非—与非})\end{aligned}$$

阅读对应的二个不同的电路如下：

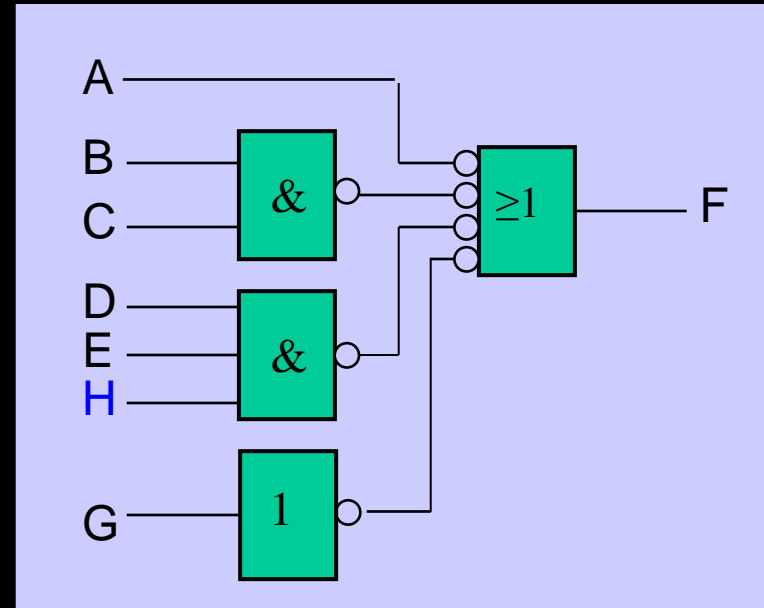
$$F = \overline{A} + BC + DEH + G$$
$$= \overline{A} \overline{BC} \overline{DEH} \overline{G}$$

(与—或)

(与非—与非)



与或电路



与非—与非电路

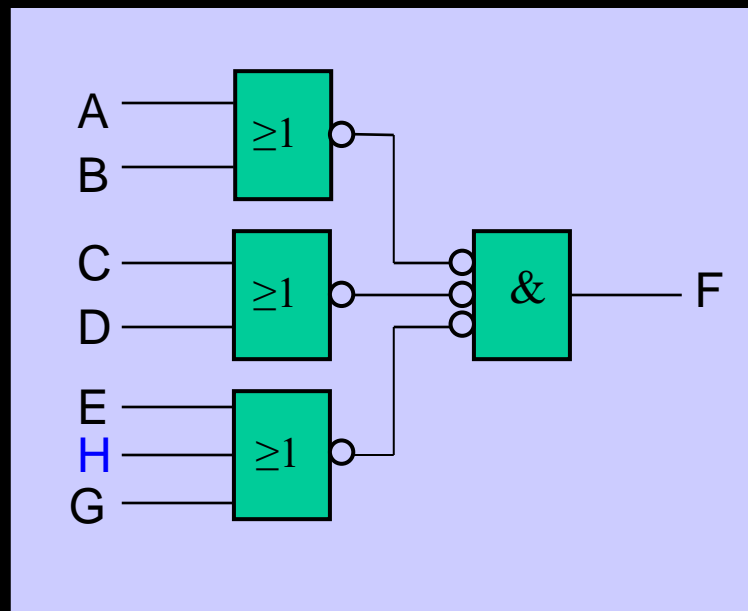
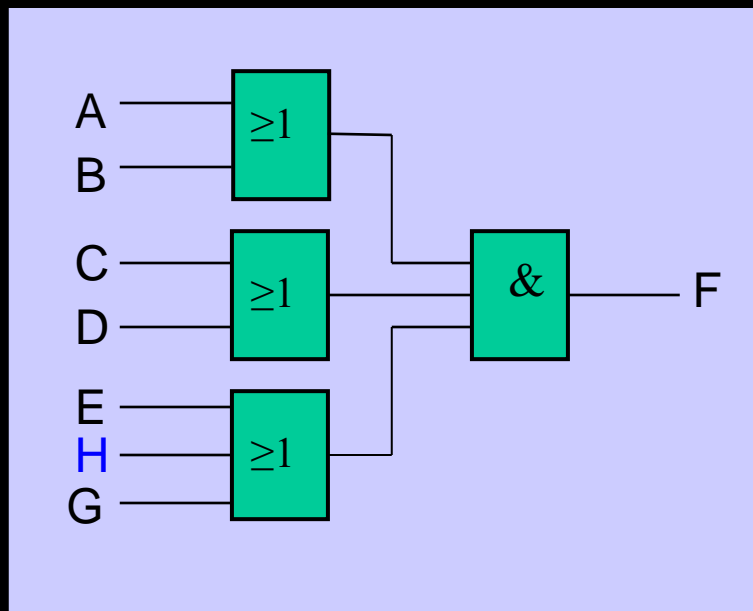
阅读 二、“或—与”电路变换为“或非—或非”电路

例 $F = (A + B)(C + D)(E + H + G)$

$$= \overline{\overline{(A + B)(C + D)(E + H + G)}} \quad (\text{原函数二次求反})$$

$$= \overline{(A + B) + (C + D) + (E + H + G)} \quad (\text{运用反演规则})$$

$$= \overline{(A + B)} \cdot \overline{(C + D)} \cdot \overline{(E + H + G)} \quad (\text{运用反演规则})$$



阅读三、“与—或”电路变换为“与或非”电路

例 $F = \overline{A}\overline{C} + A\overline{B}$ (图a)

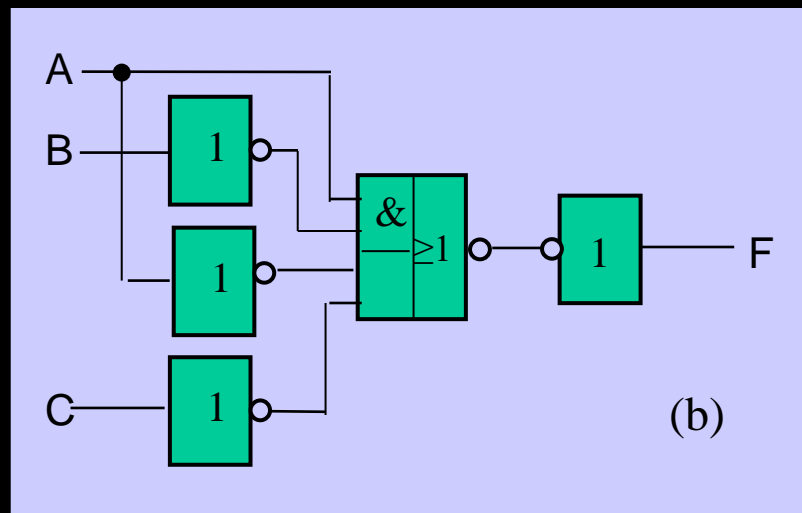
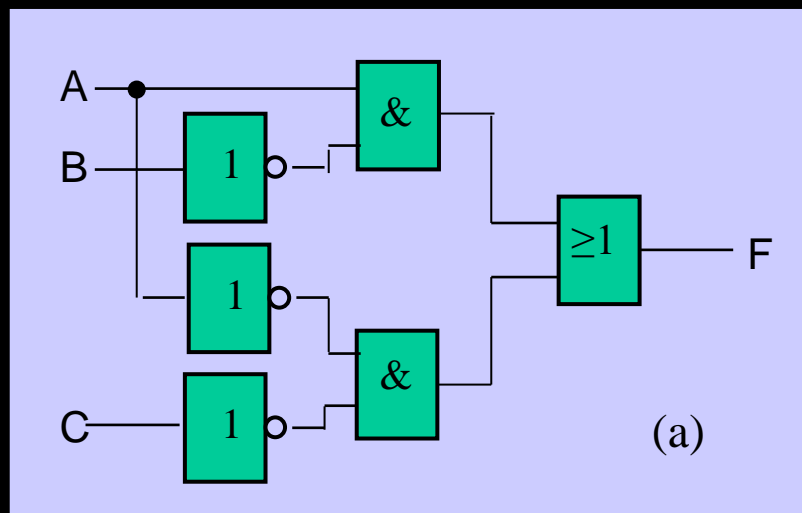
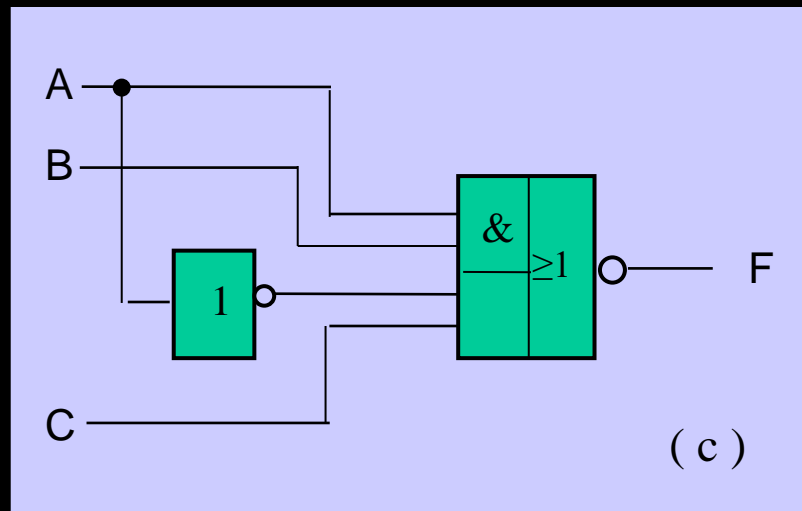
$$= \overline{\overline{A}\overline{C} + A\overline{B}}$$

(原函数二次求反) (图b)

$$\begin{aligned}\overline{F} &= \overline{\overline{A}\overline{C} + A\overline{B}} \\ &= (A + C)(\overline{A} + \overline{B}) \\ &= AB + \overline{A}C\end{aligned}$$

$$F = \overline{AB + \overline{A}C}$$

(图c)



4) 减少集成块的数量 *Reduce the Numbers of IC*

目前采用的小规模门电路SSI是把几个相同的门封装在同一个集成块中，在逻辑电路中使用的SSI的数目越少，则电路的印刷电路板的面积、功耗、总成本越小，而可靠性越高。

所以，减少SSI的数目是化简的最终目标。

在实际统计中，对SSI的计算与分立元件的计算不一样。例：

$$F_1 = x_2 \bar{y}_2 + \bar{x}_2 \bar{y}_2 \bar{x}_1 \bar{y}_1 + x_2 y_2 \bar{x}_1 \bar{y}_1$$

$$F_2 = \bar{x}_2 y_2 + \bar{x}_2 \bar{y}_2 \bar{x}_1 y_1 + x_2 y_2 \bar{x}_1 y_1$$

$$F_3 = \bar{x}_2 \bar{y}_2 \bar{x}_1 \bar{y}_1 + \bar{x}_2 \bar{y}_2 x_1 y_1 + \bar{x}_2 \bar{y}_2 \bar{x}_1 y_1 + x_2 y_2 \bar{x}_1 y_1$$

分立元件： 非(×4)、2与(×2)、4与(×8)、3或(×2)、4或(×1)

SSI器件： 4与非(×9)：74LS20—4输入双与非门(×5)

(全用 3与非(×2)：74LS10—3输入三与非门(×1)

与非门) 2与非(×2)：用上面74LS20或10剩余的一个与非门

4非(×4)：74LS04—六非门(×1) (有两个门未用)

门的数目最少与所用集成块的最少并不是完全等同的。