第三章 时序电路的分析与设计

学习要求：

3.1 时序逻辑电路

- 熟悉时序电路的一般形式、分类和描述方法
- 掌握时序电路双稳态元件的内部结构、逻辑符号、次态真值表和次态方程

3.2 熟练掌握同步时序逻辑电路的分析和设计方法

3.3 掌握脉冲异步时序逻辑电路的分析和设计方法*

3.4 熟练掌握常用时序中规模集成电路MSI和555定时电路的应用

3.2 同步时序电路的分析与设计

1. 同步时序电路的分析

- 同步时序电路分析的一般步骤
- 同步时序电路分析举例

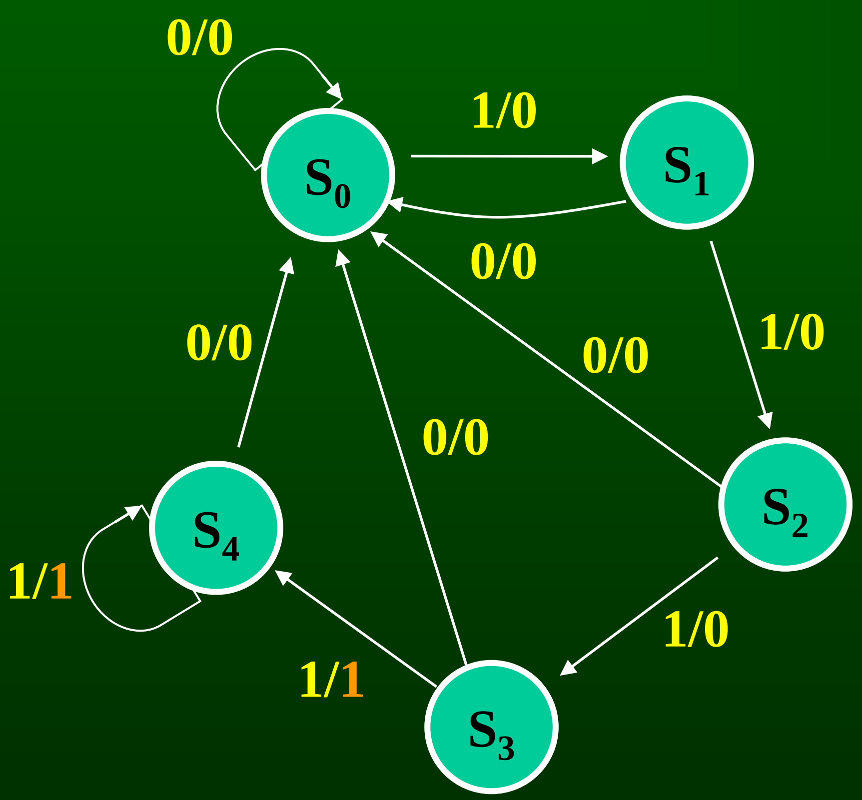
2. 同步时序电路的设计

- 同步时序电路设计步骤
- 建立原始状态图和原始状态表——构图法
- 状态化简：完全给定与不完全给定同步时序电路状态表的化简
- 状态分配：相邻状态分配法
- 激励函数和输出函数的确定
- 电路分析与说明、设计举例

3.2.3 设计举例

例1 设计一个“1111”序列检测器。当连续收到四个(或四个以上)“1”后，电路输出 Z = 1；否则，输出 Z = 0。(书例3-9对应D触发器实现)

① 画出原始状态图



② 写出原始状态表

y \ x	0	1
S_0	S_0/0	S_1/0
S_1	S_0/0	S_2/0
S_2	S_0/0	S_3/0
S_3	S_0/0	S_4/1
S_4	S_0/0	S_4/1

③ 隐含表

S_1	$\cancel{S_1, S_2}$			
S_2	$\cancel{S_1, S_3}$	$\cancel{S_2, S_3}$		
S_3	×	×	×	
S_4	×	×	×	√
	S_0	S_1	S_2	S_3

原始状态表

y \ x	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_0/0$	$S_3/0$
S_3	$S_0/0$	$S_4/1$
S_4	$S_0/0$	$S_4/1$

④ 最大等效类及命名

S_0 S_1 S_2 (S_3, S_4)

↓ ↓ ↓ ↓

A B C D

⑤ 最小化状态表

y \ x	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	D/1

⑥ 状态分配(1)

分配方案之一：

$R_{CD} = 1$

$m_{AB} = 1, m_{AC} = 1, m_{AD} = 2$

$l_{AB} = 1, \; l_{AC} = 1, \; l_{BC} = 1$

$y_0 \backslash y_1$	0	1
0	A	C
1	B	D

$E_{AB} = 2R_{AB} + m_{AB} + 2l_{AB} = 3$

$E_{AC} = 2R_{AC} + m_{AC} + 2l_{AC} = 3$

$E_{AD} = 2R_{AD} + m_{AD} + 2l_{AD} = 2$

$E_{BC} = 2R_{BC} + m_{BC} + 2l_{BC} = 2$

$E_{CD} = 2R_{CD} + m_{CD} + 2l_{CD} = 2$

最小化状态表

$y \backslash x$	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	D/1

状态分配(2)

分配方案之二：

$R_{CD} = 1$

$m_{AB} = 1, m_{AC} = 1, m_{AD} = 2$

（可忽略$l_{AB} = 1,\ l_{AC} = 1,\ l_{BC} = 1$）

$y_0 \backslash y_1$	0	1
0	A	D
1	B	C

$E_{AB} = 2R_{AB} + m_{AB} + 2l_{AB} = 1$

$E_{AC} = 2R_{AC} + m_{AC} + 2l_{AC} = 1$

$E_{AD} = 2R_{AD} + m_{AD} + 2l_{AD} = 2$

$E_{CD} = 2R_{CD} + m_{CD} + 2l_{CD} = 2$

最小化状态表

$y \backslash x$	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/0
D	A/0	D/1

7、求激励函数和输出函数的表达式

y_1y_0 \ x	0	1
A 00	00/0	01/0
B 01	00/0	11/0
C 11	00/0	10/0
D 10	00/0	10/1

二进制状态表

$$D_1 = x \cdot y_1 + x \cdot y_0$$

$$D_0 = x \cdot \overline{y_1}$$

$$Z = x \cdot y_1 \cdot \overline{y_0}$$

Q	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

激励表

y_1y_0 \ x	0	1
00	0	0
01	0	1
11	0	1
10	0	1

D_1

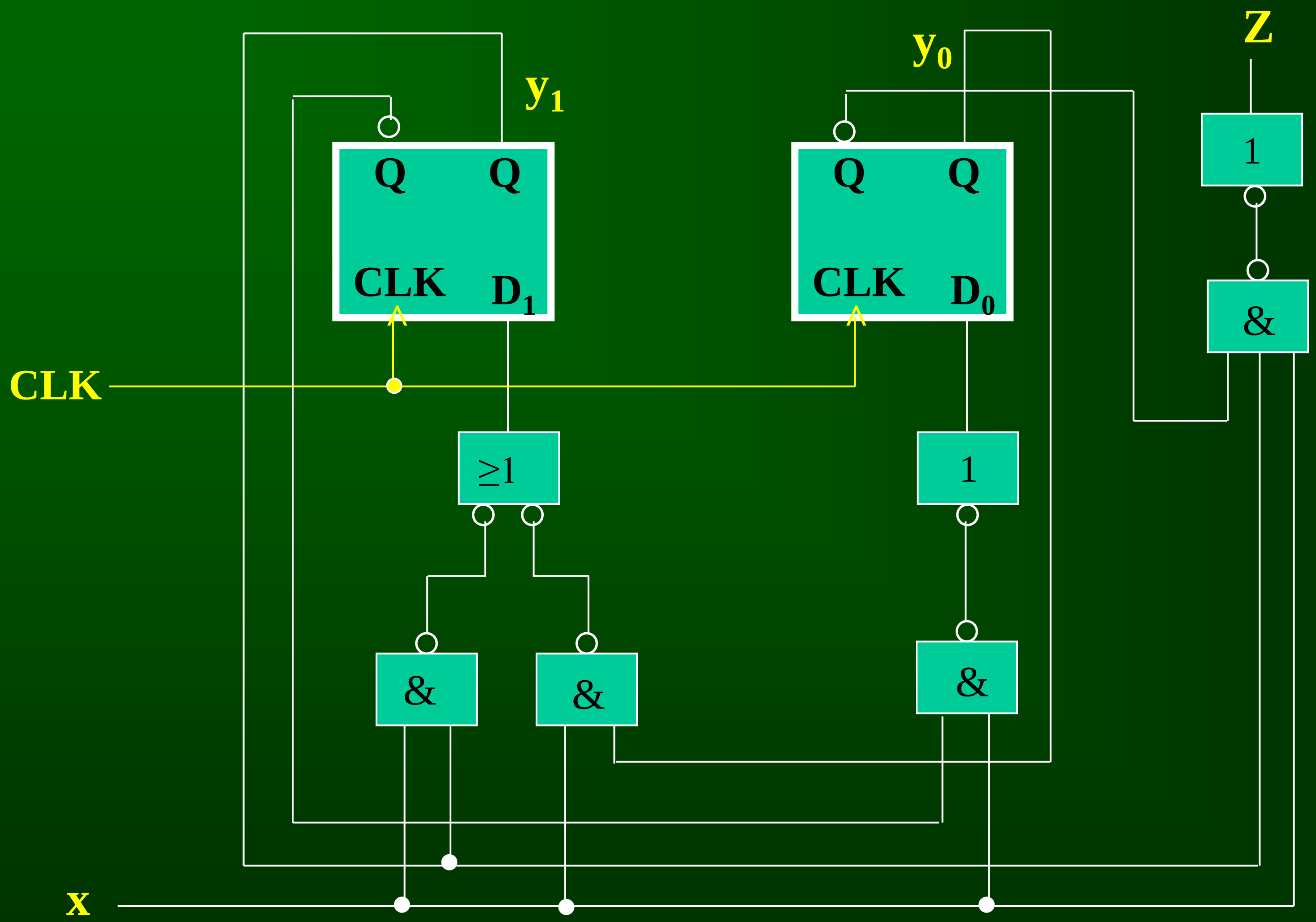
y_1y_0 \ x	0	1
00	0	1
01	0	1
11	0	0
10	0	0

D_0

y_1y_0 \ x	0	1
00	0	0
01	0	0
11	0	0
10	0	1

Z

“1111”序列检测器逻辑电路图



$D_1 = x \bullet y_1 + x \bullet y_0$

$D_0 = x \bullet \overline{y_1}$

$Z = x \bullet y_1 \bullet \overline{y_0}$

因为卡诺图中没有无关项d出现，因此不会出现挂起现象。

例2 用JK触发器设计一个六进制可逆计数器。当 x = 1 时，加1计数；当 x = 0 时，减1计数。

分别用二进制 000~101 表示六进制中的 6 个状态。

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000
110	ddd	ddd
111	ddd	ddd

y_1y_0 \ xy_2		01	11	
11		d	d	
10		d	d	

例2 用JK触发器设计一个六进制可逆计数器。当 x = 1 时，加1计数；当 x = 0 时，减1计数。

分别用二进制 000~101 表示六进制中的 6 个状态。

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000

二进制状态表

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

激励表

J_2 (y_1y_0 \ xy_2)

	d	d	
	d	d	

J_1 (y_1y_0 \ xy_2)

	d	d	
	d	d	

J_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_2 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_1 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

例2 用JK触发器设计一个六进制可逆计数器。当 x = 1 时，加1计数；当 x = 0 时，减1计数。

分别用二进制 000~101 表示六进制中的 6 个状态。

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000

二进制状态表

J_2 (y_1y_0 \ xy_2)

1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_1 (y_1y_0 \ xy_2)

	d	d	
	d	d	

J_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_2 (y_1y_0 \ xy_2)

d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_1 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

Q	Q^{n+1}	J K
0	0	0 d
0	1	1 d
1	0	d 1
1	1	d 0

激励表

例2 用JK触发器设计一个六进制可逆计数器。当 $x = 1$ 时，加1计数；当 $x = 0$ 时，减1计数。

分别用二进制 000~101 表示六进制中的 6 个状态。

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000

二进制状态表

J_2 (y_1y_0 \ xy_2)

1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_1 (y_1y_0 \ xy_2)

0	1	0	0
0	0	0	1
d	d	d	d
d	d	d	d

J_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

K_2 (y_1y_0 \ xy_2)

d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_1 (y_1y_0 \ xy_2)

d	d	d	d
d	d	d	d
0	d	d	1
1	d	d	0

K_0 (y_1y_0 \ xy_2)

	d	d	
	d	d	

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

激励表

例2 用JK触发器设计一个六进制可逆计数器。当 $x = 1$ 时，加1计数；当 $x = 0$ 时，减1计数。

分别用二进制 000~101 表示六进制中的 6 个状态。

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000

二进制状态表

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

激励表

J_2

y_1y_0 \ xy_2			
1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_1

y_1y_0 \ xy_2			
0	1	0	0
0	0	0	1
d	d	d	d
d	d	d	d

J_0

y_1y_0 \ xy_2			
1	1	1	1
d	d	d	d
d	d	d	d
1	d	d	1

K_2

y_1y_0 \ xy_2			
d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_1

y_1y_0 \ xy_2			
d	d	d	d
d	d	d	d
0	d	d	1
1	d	d	0

K_0

y_1y_0 \ xy_2			
d	d	d	d
1	1	1	1
1	d	d	1
d	d	d	d

激励函数表达式

$J_2 = x \cdot y_1 \cdot y_0 + \overline{x} \cdot \overline{y_1} \cdot \overline{y_0}$

$K_2 = x \cdot y_0 + \overline{x} \cdot \overline{y_1} \cdot \overline{y_0}$

$J_1 = x \cdot \overline{y_2} \cdot y_0 + \overline{x} \cdot \overline{y_2} \cdot y_0$

$K_1 = x \cdot \overline{y_2} \cdot y_0 + \overline{x} \cdot \overline{y_0}$

$J_0 = 1$

$K_0 = 1$

共10个门。

J_2 (y_1y_0 \ xy_2)

1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_1 (y_1y_0 \ xy_2)

0	1	0	0
0	0	0	1
d	d	d	d
d	d	d	d

J_0 (y_1y_0 \ xy_2)

1	1	1	1
d	d	d	d
d	d	d	d
1	d	d	1

K_2 (y_1y_0 \ xy_2)

d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_1 (y_1y_0 \ xy_2)

d	d	d	d
d	d	d	d
0	d	d	1
1	d	d	0

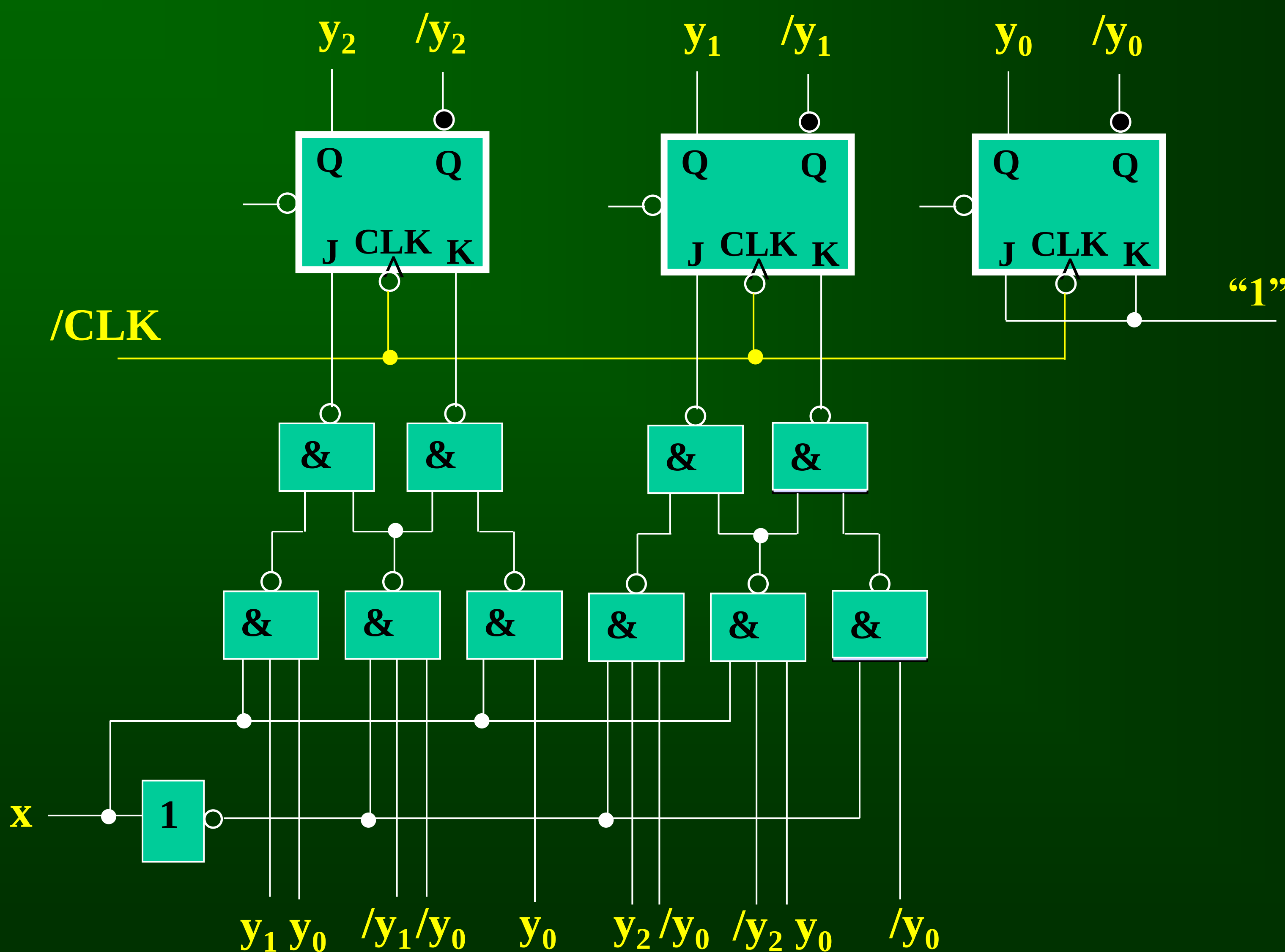
K_0 (y_1y_0 \ xy_2)

d	d	d	d
1	1	1	1
1	d	d	1
d	d	d	d

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

激励表

六进制可逆计数器逻辑图



电路状态图

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000
110	101	111
111	110	010

二进制状态表

y_1y_0 \ xy_2

J_2

1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_1

0	1	0	0
0	0	0	1
d	d	d	d
d	d	d	d

J_0

1	1	1	1
d	d	d	d
d	d	d	d
1	d	d	1

K_2

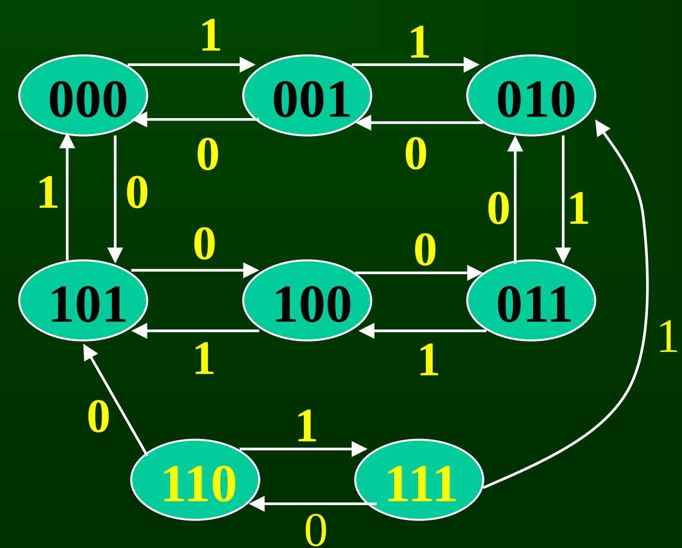
d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_1

d	d	d	d
d	d	d	d
0	d	d	1
1	d	d	0

K_0

d	d	d	d
1	1	1	1
1	d	d	1
d	d	d	d



另一种激励函数表达式及电路状态图

$J_2 = x \cdot y_1 \cdot y_0 + \overline{x} \cdot \overline{y_1} \cdot \overline{y_0}$

$K_2 = x \cdot y_0 + \overline{x} \cdot \overline{y_0}$

$J_1 = x \cdot \overline{y_2} \cdot y_0 + \overline{x} \cdot y_2 \cdot \overline{y_0}$

$K_1 = K_2$

$J_0 = 1 \quad K_0 = 1$ 共9个门

(y_1y_0 \ xy_2)

1	d	d	0
0	d	d	0
0	d	d	1
0	d	d	0

J_2

0	1	0	0
0	0	0	1
d	d	d	d
d	d	d	d

J_1

1	1	1	1
d	d	d	d
d	d	d	d
1	d	d	1

J_0

d	1	0	d
d	0	1	d
d	d	d	d
d	d	d	d

K_2

d	d	d	d
d	d	d	d
0	d	d	1
1	d	d	0

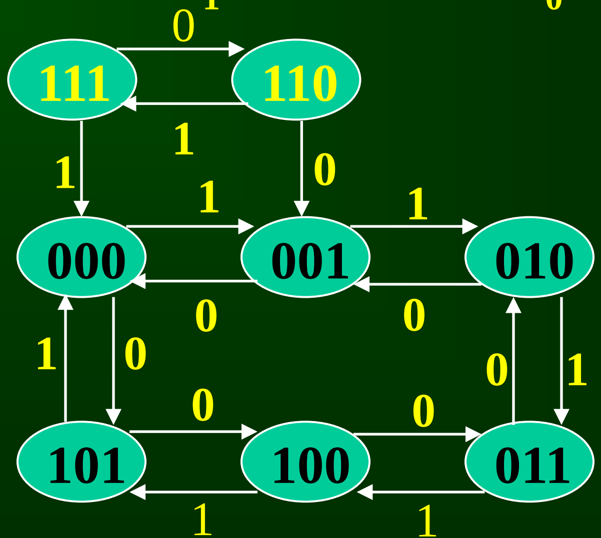
K_1

d	d	d	d
1	1	1	1
1	d	d	1
d	d	d	d

K_0

$y_2y_1y_0$ \ x	0	1
000	101	001
001	000	010
010	001	011
011	010	100
100	011	101
101	100	000
110	001	111
111	110	000

二进制状态表



例3 设计八进制步进码计数器。

第一步：列出次态真值表，如右表所示。

Q_4 Q_3 Q_2 Q_1	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$
0 0 0 0	0 0 0 1
0 0 0 1	0 0 1 1
0 0 1 0	d d d d
0 0 1 1	0 1 1 1
0 1 0 0	d d d d
0 1 0 1	d d d d
0 1 1 0	d d d d
0 1 1 1	1 1 1 1
1 0 0 0	0 0 0 0
1 0 0 1	d d d d
1 0 1 0	d d d d
1 0 1 1	d d d d
1 1 0 0	1 0 0 0
1 1 0 1	d d d d
1 1 1 0	1 1 0 0
1 1 1 1	1 1 1 0

第二步：根据次态真值表，画出计数器的卡诺图。

Q_4Q_3 / Q_2Q_1

	d	1	
	d	d	d
	1	1	d
d	d	1	d

Q_4^{n+1}

Q_4Q_3 / Q_2Q_1

	d		
	d	d	d
1	1	1	d
d	d	1	d

Q_3^{n+1}

Q_4Q_3 / Q_2Q_1

	d		
1	d	d	d
1	1	1	d
d	d		d

Q_2^{n+1}

Q_4Q_3 / Q_2Q_1

1	d		
1	d	d	d
1	1		d
d	d		d

Q_1^{n+1}

次态方程

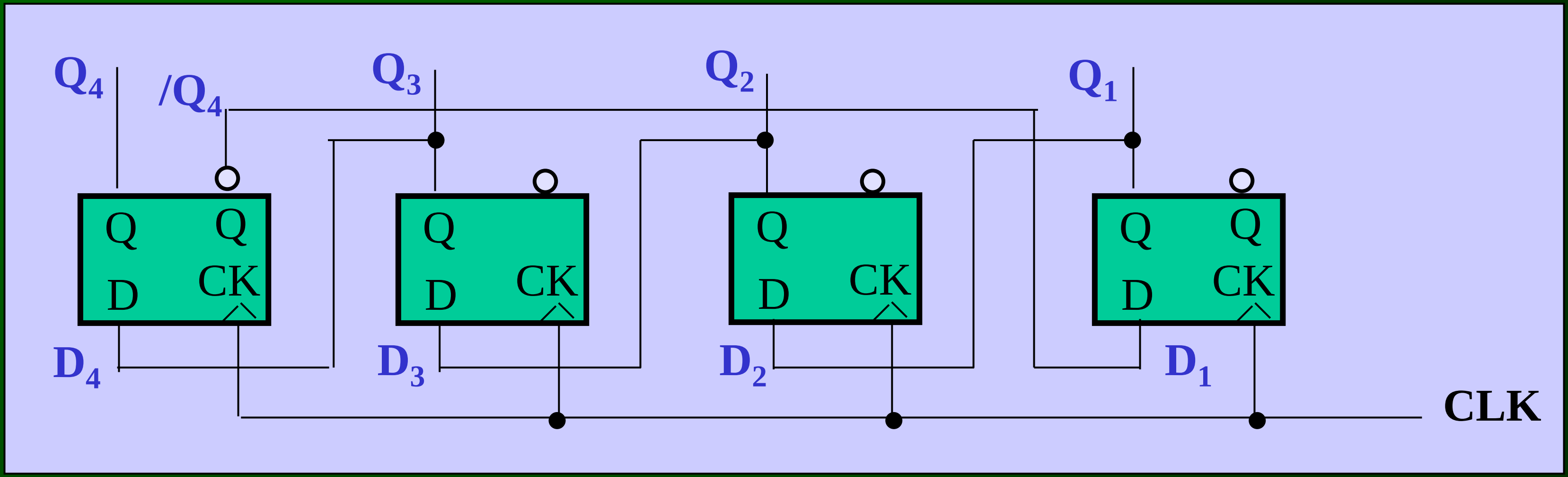
$$Q_4^{n+1} = Q_3$$

$$Q_3^{n+1} = Q_2$$

$$Q_2^{n+1} = Q_1$$

$$Q_1^{n+1} = \overline{Q_4}$$

电路为单纯的扭环移位寄存器，如图所示：

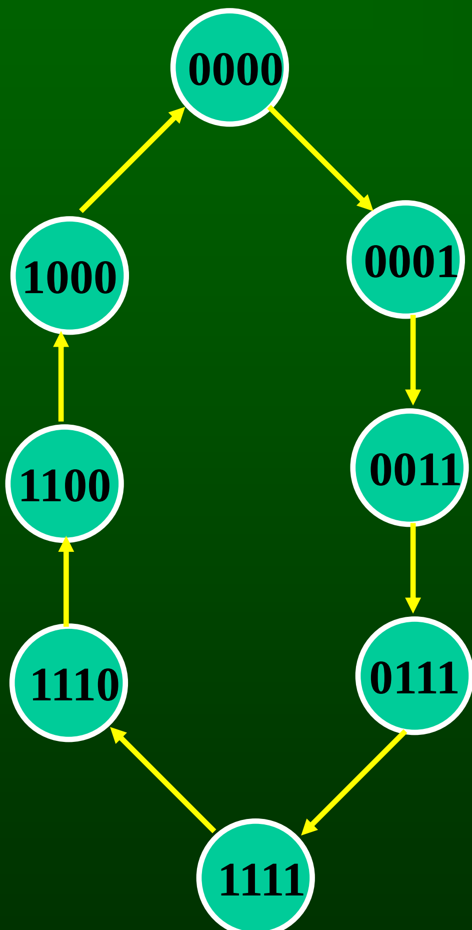


第三步：根据卡诺图确定次态真值表的无关项。

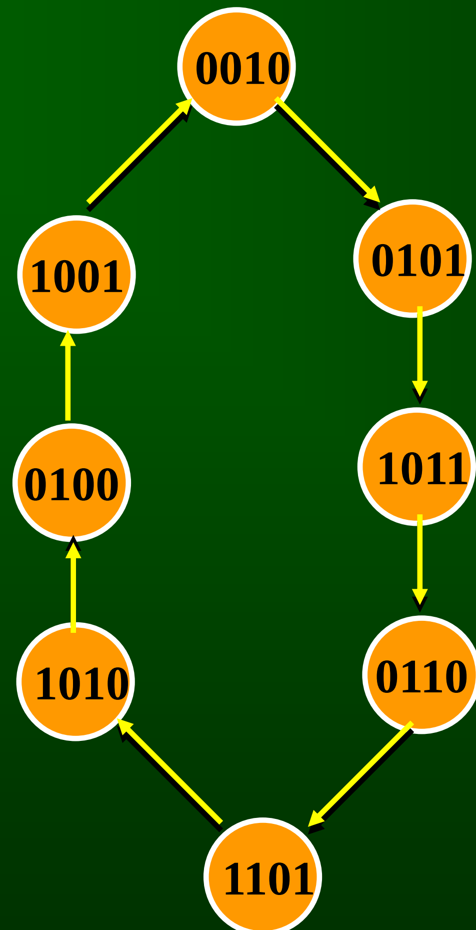
$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$
0 0 0 0	0 0 0 1
0 0 0 1	0 0 1 1
0 0 1 0	0 1 0 1
0 0 1 1	0 1 1 1
0 1 0 0	1 0 0 1
0 1 0 1	1 0 1 1
0 1 1 0	1 1 0 1
0 1 1 1	1 1 1 1
1 0 0 0	0 0 0 0
1 0 0 1	0 0 1 0
1 0 1 0	0 1 0 0
1 0 1 1	0 1 1 0
1 1 0 0	1 0 0 0
1 1 0 1	1 0 1 0
1 1 1 0	1 1 0 0
1 1 1 1	1 1 1 0

第四步：分析存在挂起现象的状态表和状态图。

(a) 有效序列



(b) 无效序列



$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$
0 0 0 0	0 0 0 1
0 0 0 1	0 0 1 1
0 0 1 0	0 1 0 1
0 0 1 1	0 1 1 1
0 1 0 0	1 0 0 1
0 1 0 1	1 0 1 1
0 1 1 0	1 1 0 1
0 1 1 1	1 1 1 1
1 0 0 0	0 0 0 0
1 0 0 1	0 0 1 0
1 0 1 0	0 1 0 0
1 0 1 1	0 1 1 0
1 1 0 0	1 0 0 0
1 1 0 1	1 0 1 0
1 1 1 0	1 1 0 0
1 1 1 1	1 1 1 0

解决挂起问题

为使电路改动最小，试只改变触发器Q_1的输入控制函数D_1来解决挂起问题。

$Q_1^{n+1} = D_1$，也就是改变Q_1^{n+1}卡诺图中无关项的取舍。可改变的只是Q_1输入端的原无关项部分，而且并不是改变每个无关项都能完全解决"挂起"问题。

注意：

能解决挂起问题的是"*"的部分。

当然，并不要求把所有打"*"的部分改变，那么应当改哪些最好？应根据卡诺图来判断。

	$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$	
	0 0 0 0	0 0 0 1	
	0 0 0 1	0 0 1 1	
	0 0 1 0	0 1 0 1	
	0 0 1 1	0 1 1 1	
m_4	0 1 0 0	1 0 0 1	*
	0 1 0 1	1 0 1 1	
m_6	0 1 1 0	1 1 0 1	*
	0 1 1 1	1 1 1 1	
	1 0 0 0	0 0 0 0	
m_9	1 0 0 1	0 0 1 0	*
	1 0 1 0	0 1 0 0	
m_{11}	1 0 1 1	0 1 1 0	*
	1 1 0 0	1 0 0 0	
	1 1 0 1	1 0 1 0	
	1 1 1 0	1 1 0 0	
	1 1 1 1	1 1 1 0	

修改Q_1的输入来解决挂起问题。

方案1（蓝色）： $Q_1^{n+1} = \overline{Q_4}\,\overline{Q_3} + \overline{Q_4}\,Q_1$

这就是**Johnson 计数器**的设计方案。

$Q_2Q_1 \backslash Q_4Q_3$

1	*d		
1	d	d	d
1	1		d
d	*d		d

Q_1^{n+1}

	$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$	
	0 0 0 0	0 0 0 1	
	0 0 0 1	0 0 1 1	
	0 0 1 0	0 1 0 1	
	0 0 1 1	0 1 1 1	
m_4	0 1 0 0	1 0 0 1	*
	0 1 0 1	1 0 1 1	
m_6	0 1 1 0	1 1 0 1	*
	0 1 1 1	1 1 1 1	
	1 0 0 0	0 0 0 0	
m_9	1 0 0 1	0 0 1 0	*
	1 0 1 0	0 1 0 0	
m_{11}	1 0 1 1	0 1 1 0	*
	1 1 0 0	1 0 0 0	
	1 1 0 1	1 0 1 0	
	1 1 1 0	1 1 0 0	
	1 1 1 1	1 1 1 0	

修改Q_1的输入来解决挂起问题。

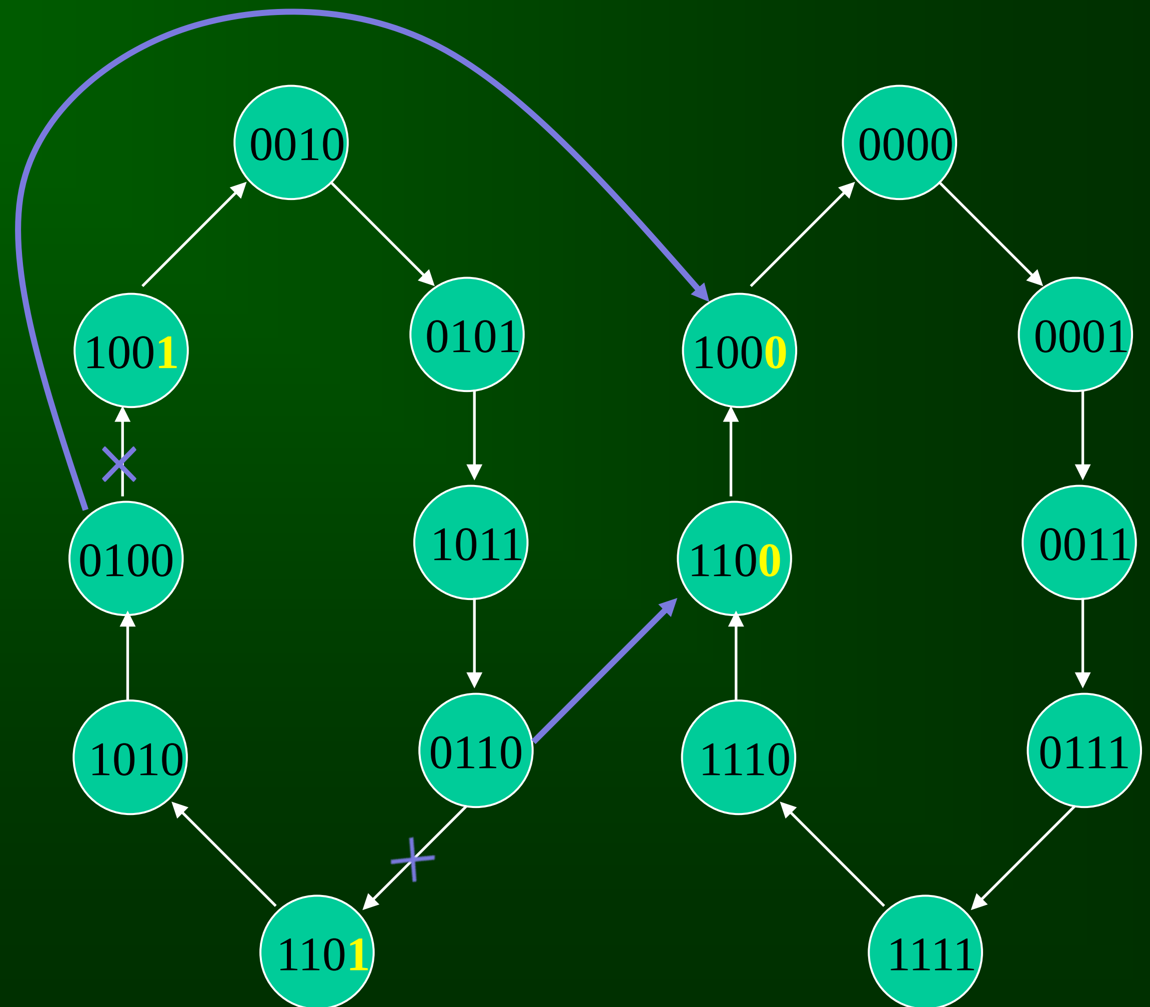
方案1（蓝色）： $Q_1^{n+1} = \overline{Q_4}\,\overline{Q_3} + \overline{Q_4}\,Q_1$

这就是**Johnson 计数器**的设计方案。

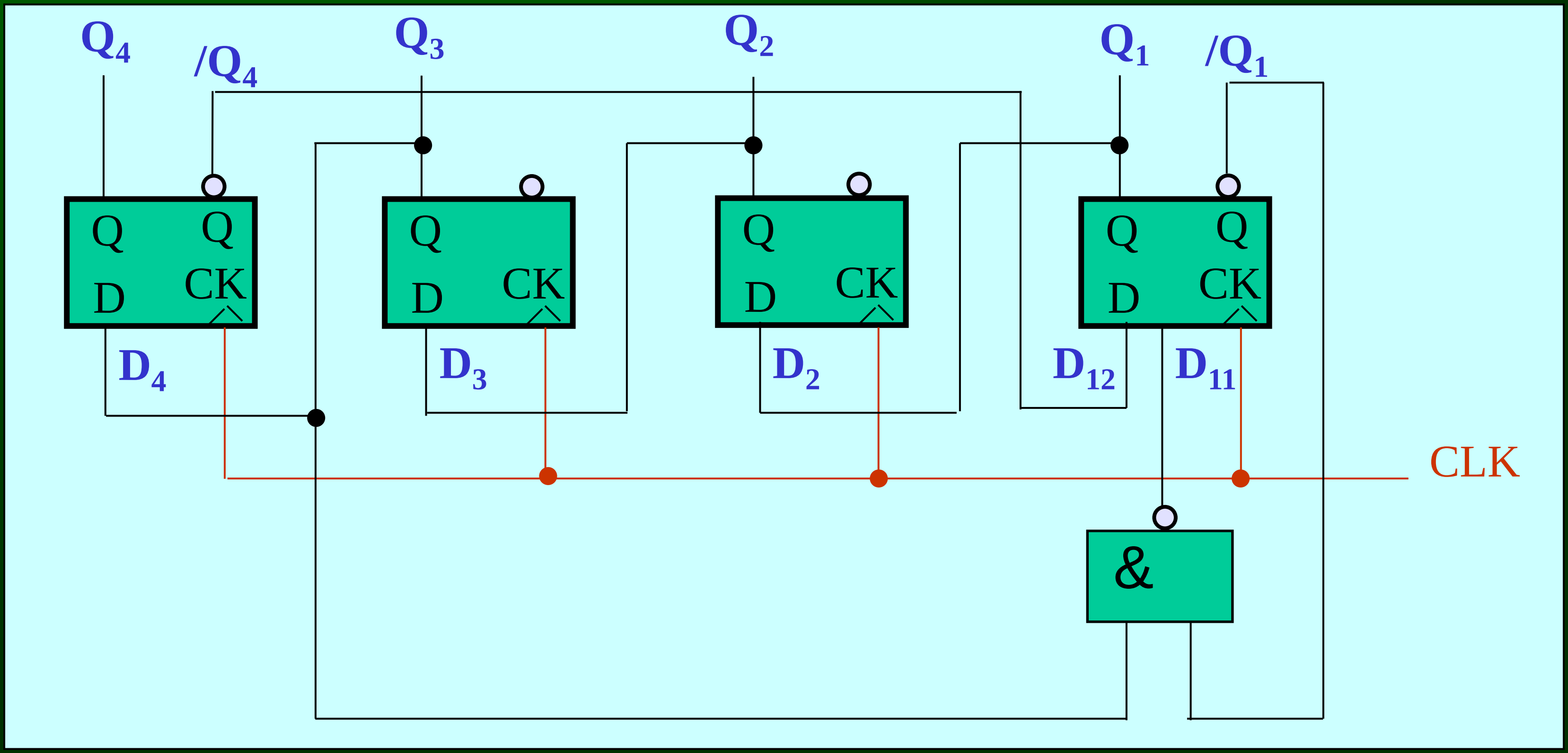
Q_4Q_3 / Q_2Q_1

1	*d		
1	d	d	d
1	1		d
d	*d		d

Q_1^{n+1}



该电路共有16个状态。只要电路的初始态为状态图闭合环中某一状态，在时钟脉冲作用下，电路将按箭头所指方向在闭合环中8个状态间循环。这是一个模8步进码计数器。时钟脉冲就是计数信号，这8个状态称为“有效序列”。在闭环以外的8个状态称为“无效序列”。这种电路称为格雷码计数器或 Johnson 计数器，也叫“自恢复扭环移位寄存器”。



修改Q_1的输入来解决挂起问题。

方案2（紫色）： $Q_1^{n+1} = \overline{Q}_4 + \overline{Q}_3 Q_1$

1	d		
1	d	d	d*
1	1		d*
d	d		d

Q_1^{n+1}

	$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$	
	0 0 0 0	0 0 0 1	
	0 0 0 1	0 0 1 1	
	0 0 1 0	0 1 0 1	
	0 0 1 1	0 1 1 1	
m_4	0 1 0 0	1 0 0 1	*
	0 1 0 1	1 0 1 1	
m_6	0 1 1 0	1 1 0 1	*
	0 1 1 1	1 1 1 1	
	1 0 0 0	0 0 0 0	
m_9	1 0 0 1	0 0 1 0	*
	1 0 1 0	0 1 0 0	
m_{11}	1 0 1 1	0 1 1 0	*
	1 1 0 0	1 0 0 0	
	1 1 0 1	1 0 1 0	
	1 1 1 0	1 1 0 0	
	1 1 1 1	1 1 1 0	

修改Q_1的输入来解决挂起问题。

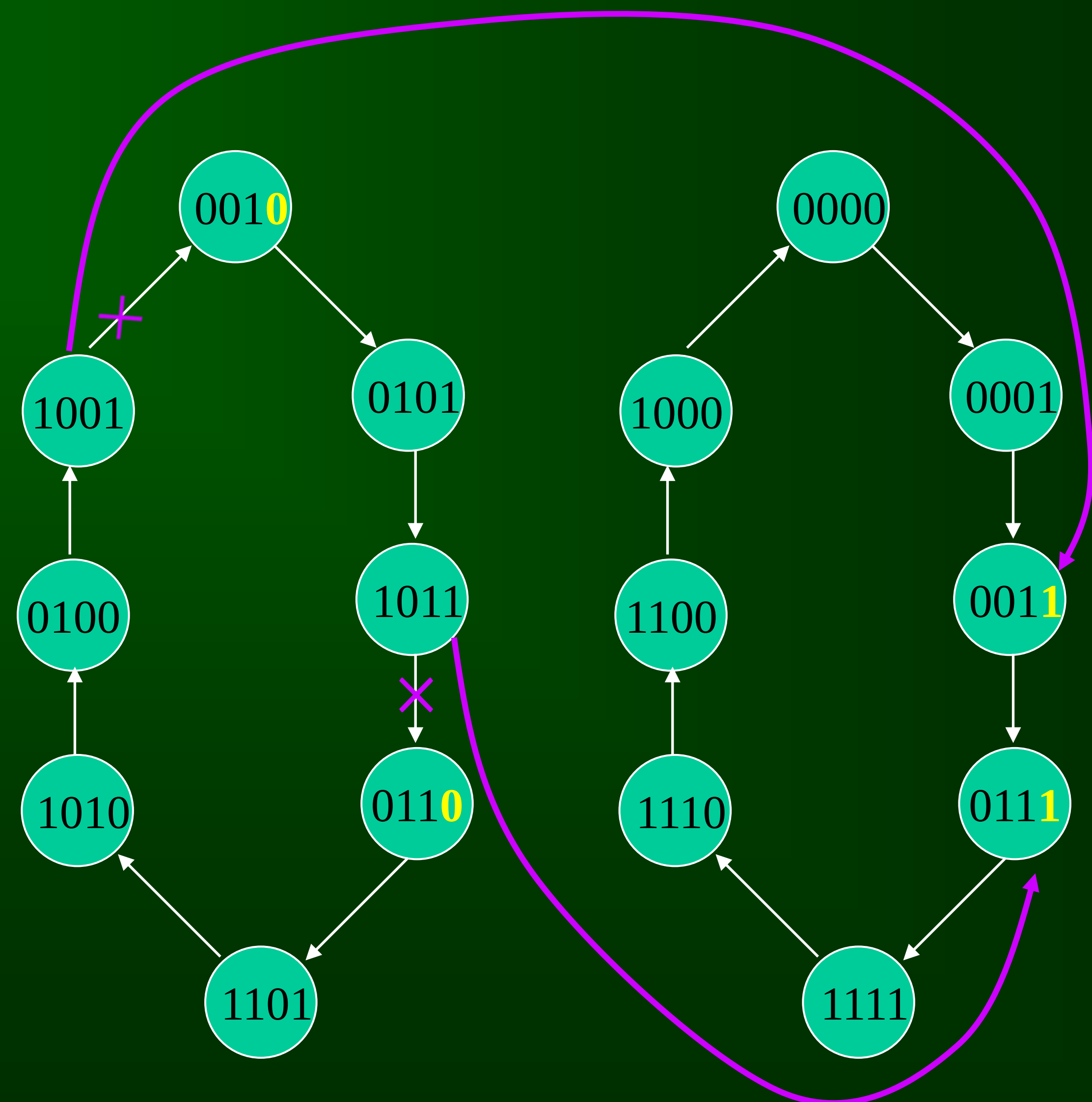
方案2（紫色）： $Q_1^{n+1} = \overline{Q}_4 + \overline{Q}_3 Q_1$

Q_4Q_3

Q_2Q_1

1	d		
1	d	d	d*
1	1		d*
d	d		d

Q_1^{n+1}



修改Q_2的输入来解决挂起问题。

方案1（蓝色）：

Q_4Q_3 / Q_2Q_1

	d		
1	d	*d	*d
1	1	1	d
d	d		d

Q_2^{n+1}

$$Q_2^{n+1} = \overline{Q}_4 Q_1 + Q_2 Q_1$$

	$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}$ $Q_2^{n+1}Q_1^{n+1}$
	0 0 0 0	0 0 0 1
	0 0 0 1	0 0 1 1
m_2	0 0 1 0	0 1 0 * 1
	0 0 1 1	0 1 1 1
	0 1 0 0	1 0 0 1
	0 1 0 1	1 0 1 1
m_6	0 1 1 0	1 1 0 * 1
	0 1 1 1	1 1 1 1
	1 0 0 0	0 0 0 0
m_9	1 0 0 1	0 0 1 * 0
	1 0 1 0	0 1 0 0
	1 0 1 1	0 1 1 0
	1 1 0 0	1 0 0 0
m_{13}	1 1 0 1	1 0 1 * 0
	1 1 1 0	1 1 0 0
	1 1 1 1	1 1 1 0

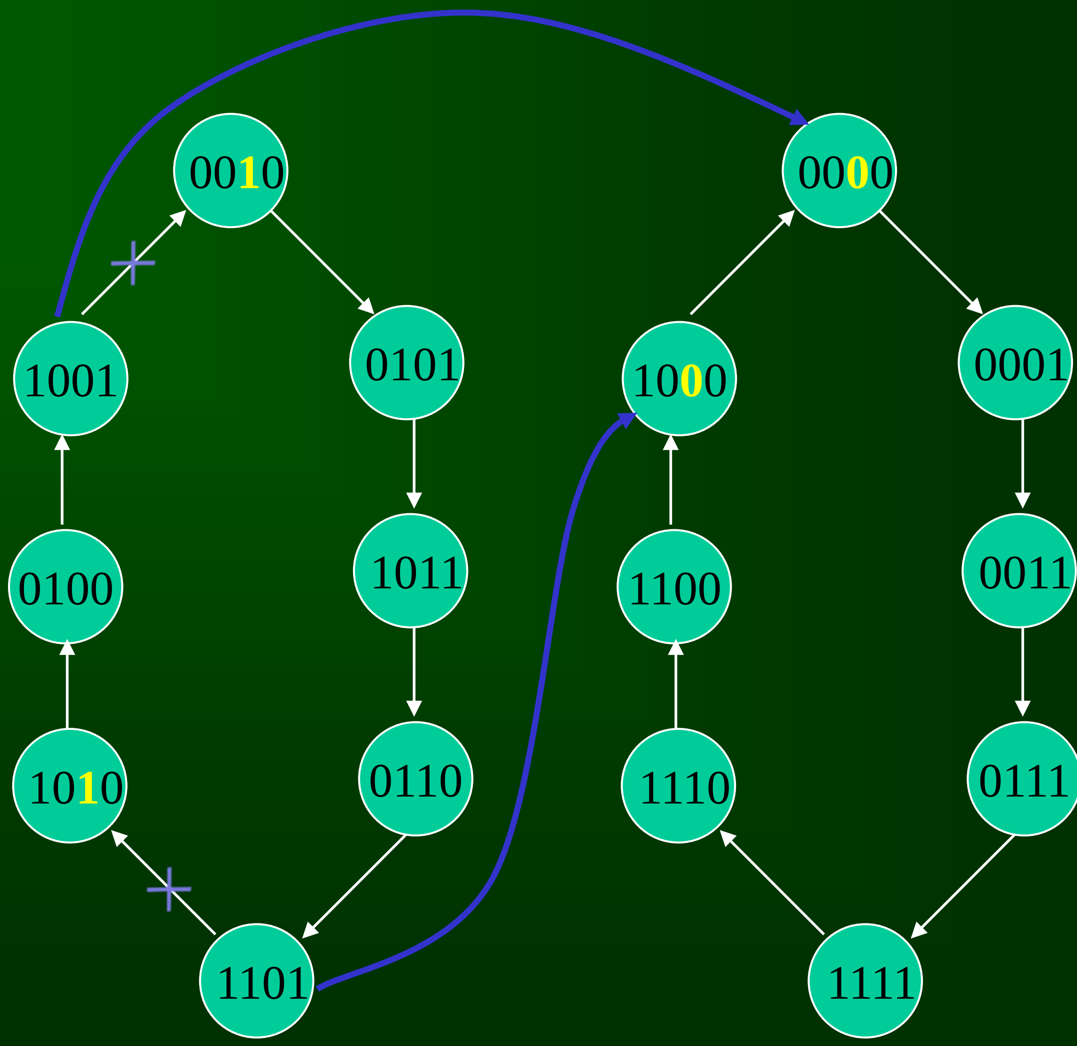
修改Q_2的输入来解决挂起问题。

方案1（蓝色）： $Q_2^{n+1} = \overline{Q_4}\, Q_1 + Q_2\, Q_1$

Q_4Q_3 \ Q_2Q_1

	d		
1	d	*d	*d
1	1	1	d
d	d		d

Q_2^{n+1}



修改Q_2的输入来解决挂起问题。

方案2（紫色）：$Q_2^{n+1} = Q_1 + \overline{Q}_4 Q_2$

Q_4Q_3 \ Q_2Q_1

	d		
1	d	d	d
1	1	1	d
*d	*d		d

Q_2^{n+1}

	$Q_4Q_3Q_2Q_1$	$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$
	0 0 0 0	0 0 0 1
	0 0 0 1	0 0 1 1
m_2	0 0 1 0	0 1 0 * 1
	0 0 1 1	0 1 1 1
	0 1 0 0	1 0 0 1
	0 1 0 1	1 0 1 1
m_6	0 1 1 0	1 1 0 * 1
	0 1 1 1	1 1 1 1
	1 0 0 0	0 0 0 0
m_9	1 0 0 1	0 0 1 * 0
	1 0 1 0	0 1 0 0
	1 0 1 1	0 1 1 0
	1 1 0 0	1 0 0 0
m_{13}	1 1 0 1	1 0 1 * 0
	1 1 1 0	1 1 0 0
	1 1 1 1	1 1 1 0

阅读

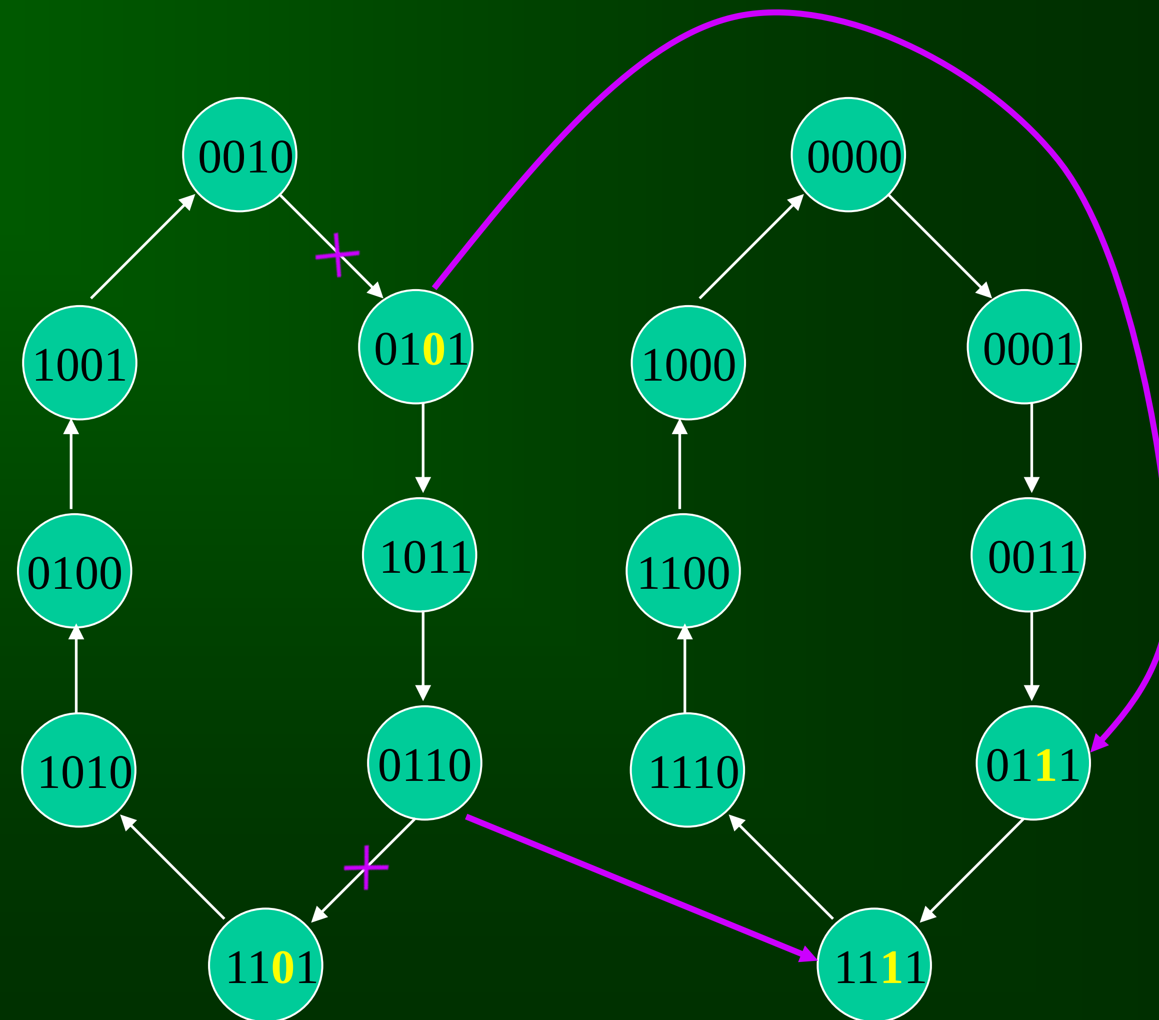
修改Q_2的输入来解决挂起问题。

方案2（紫色）： $Q_2^{n+1} = Q_1 + \overline{Q}_4 Q_2$

$Q_2Q_1 \backslash Q_4Q_3$

	d		
1	d	d	d
1	1	1	d
*d	*d		d

Q_2^{n+1}



练习

例4 用D触发器设计一个4位自校正环形计数器，其状态位：1110→1101 →1011 →0111 →1110。（书例3-11）

解：根据题意，得到如下二进制状态表，即可得到：

$Q_3^{n+1}=Q_2$，$Q_2^{n+1}=Q_1$，

$Q_1^{n+1}=Q_0$，　$Q_0^{n+1}=Q_3$。

则有

$D_3=Q_2$，$D_2=Q_1$，

$D_1=Q_0$，$D_0=Q_3$。

电路如下下页所示。

	$Q_3Q_2Q_1Q_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
	0000	*d d d d*
	0001	*d d d d*
	0010	*d d d d*
	0011	*d d d d*
	0100	*d d d d*
	0101	*d d d d*
	0110	*d d d d*
	1000	*d d d d*
	1001	*d d d d*
	1010	*d d d d*
	1100	*d d d d*
	1111	*d d d d*
m_{14}	**1110**	**1 1 0 1**
m_{13}	**1101**	**1 0 1 1**
m_{11}	**1011**	**0 1 1 1**
m_7	**0111**	**1 1 1 0**

表（a）二进制状态表

练习

Q_1Q_0 \ Q_3Q_2				
	d	d	d	d
	d	d	1	d
	d	1	d	d
	d	d	1	d

Q_3^{n+1}

Q_1Q_0 \ Q_3Q_2				
	d	d	d	d
	d	d	d	d
	d	1	d	1
	d	d	1	d

Q_2^{n+1}

Q_1Q_0 \ Q_3Q_2				
	d	d	d	d
	d	d	1	d
	d	1	d	1
	d	d	d	d

Q_1^{n+1}

Q_1Q_0 \ Q_3Q_2				
	d	d	d	d
	d	d	1	d
	d	d	d	1
	d	d	1	d

Q_0^{n+1}

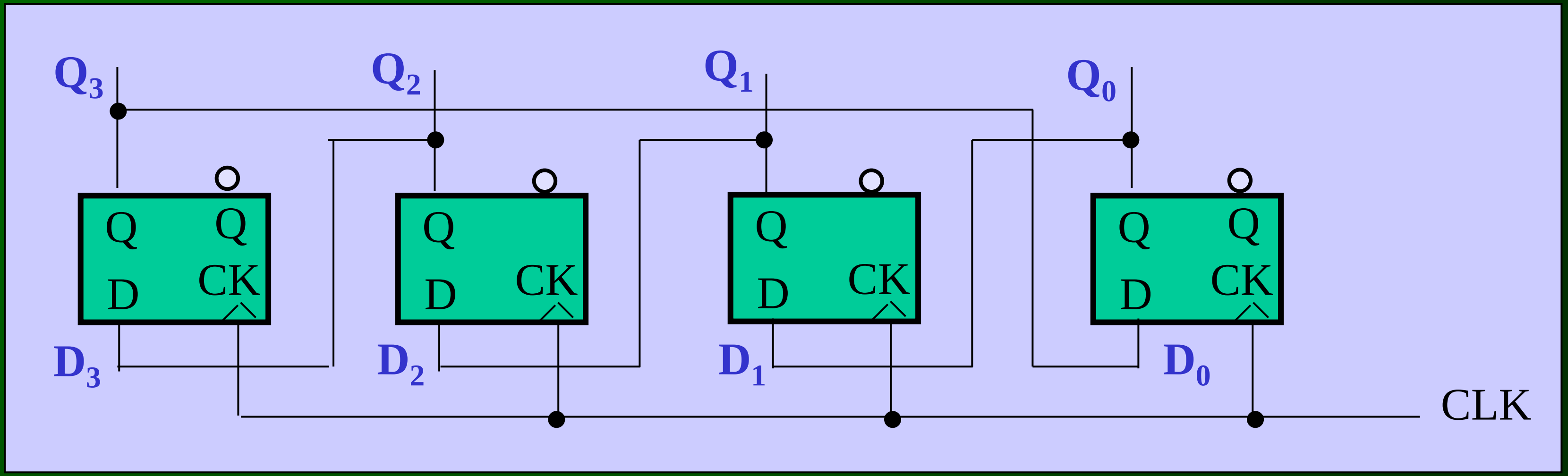
$Q_3^{n+1}=Q_2$，

$Q_2^{n+1}=Q_1$，

$Q_1^{n+1}=Q_0$，

$Q_0^{n+1}=Q_3$。

练习



分析并发现：电路可能停在0000或1111，

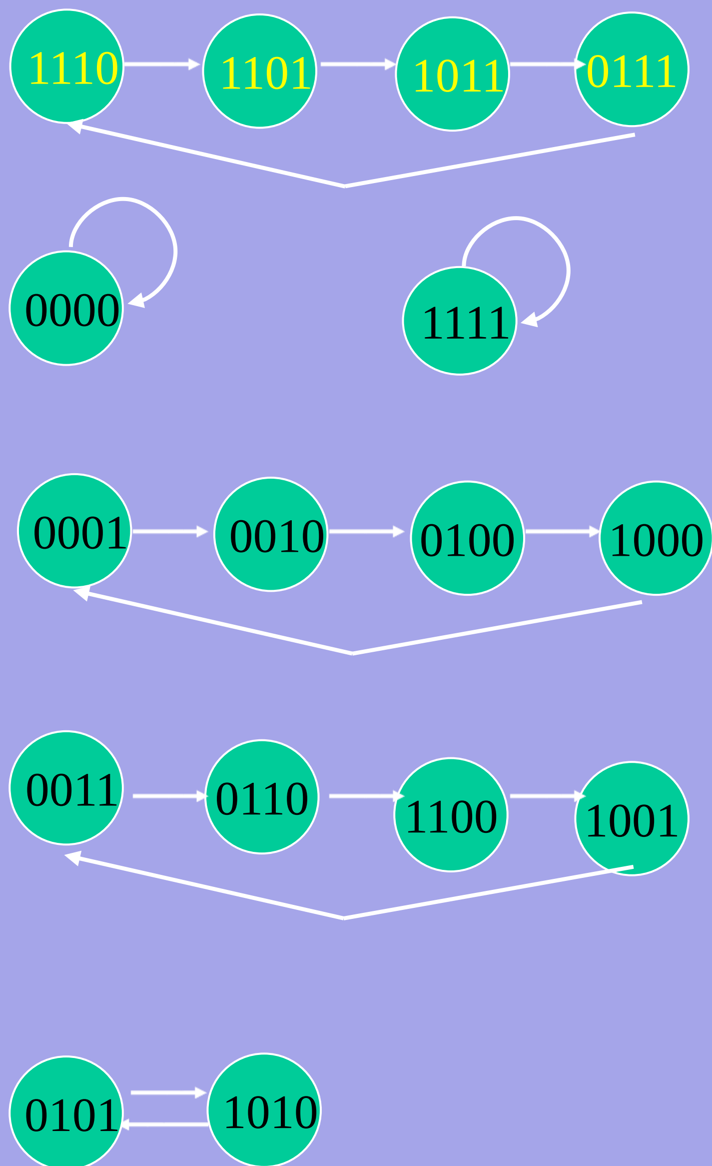
或在0001→0010→0100→1000→0001中循环，

或在0011→0110→1100→1001→0011中循环，

或在0101→1010→0101中循环，

即停留在无效状态或在无效状态中循环。也就是存在“挂起现象”：

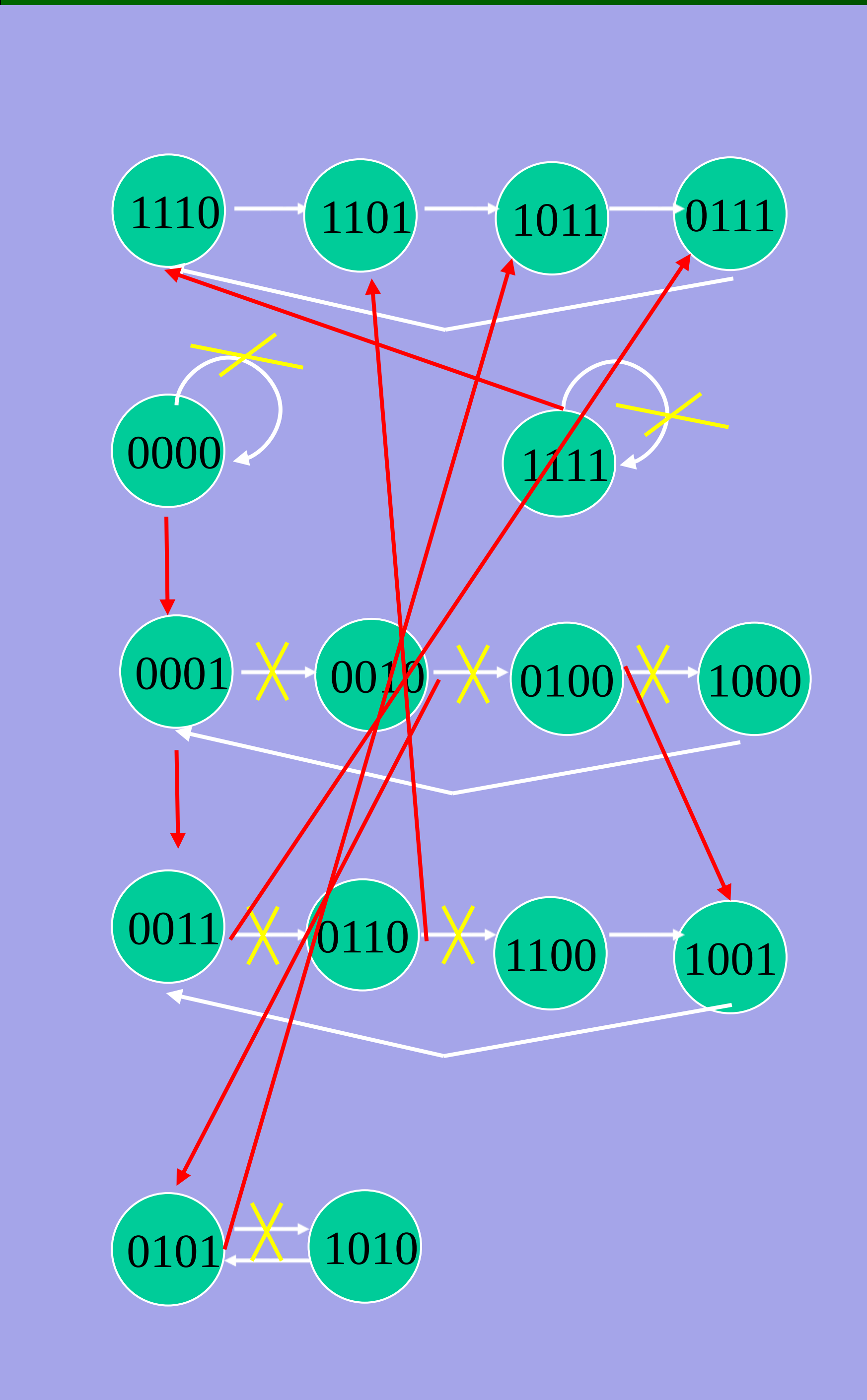
练习



	$Q_3Q_2Q_1Q_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
m_0	0000	0 0 0 *0*
m_1	0001	0 0 1 *0*
m_2	0010	0 1 0 *0*
m_3	0011	0 1 1 *0*
m_4	0100	1 0 0 *0*
m_5	0101	1 0 1 *0*
m_6	0110	1 1 0 *0*
	1000	0 0 0 1
	1001	0 0 1 1
	1010	0 1 0 1
	1100	1 0 0 1
m_{15}	1111	1 1 1 *1*
m_{14}	**1110**	**1 1 0 1**
m_{13}	**1101**	**1 0 1 1**
m_{11}	**1011**	**0 1 1 1**
m_7	**0111**	**1 1 1 0**

表（b）挂起的二进制状态表

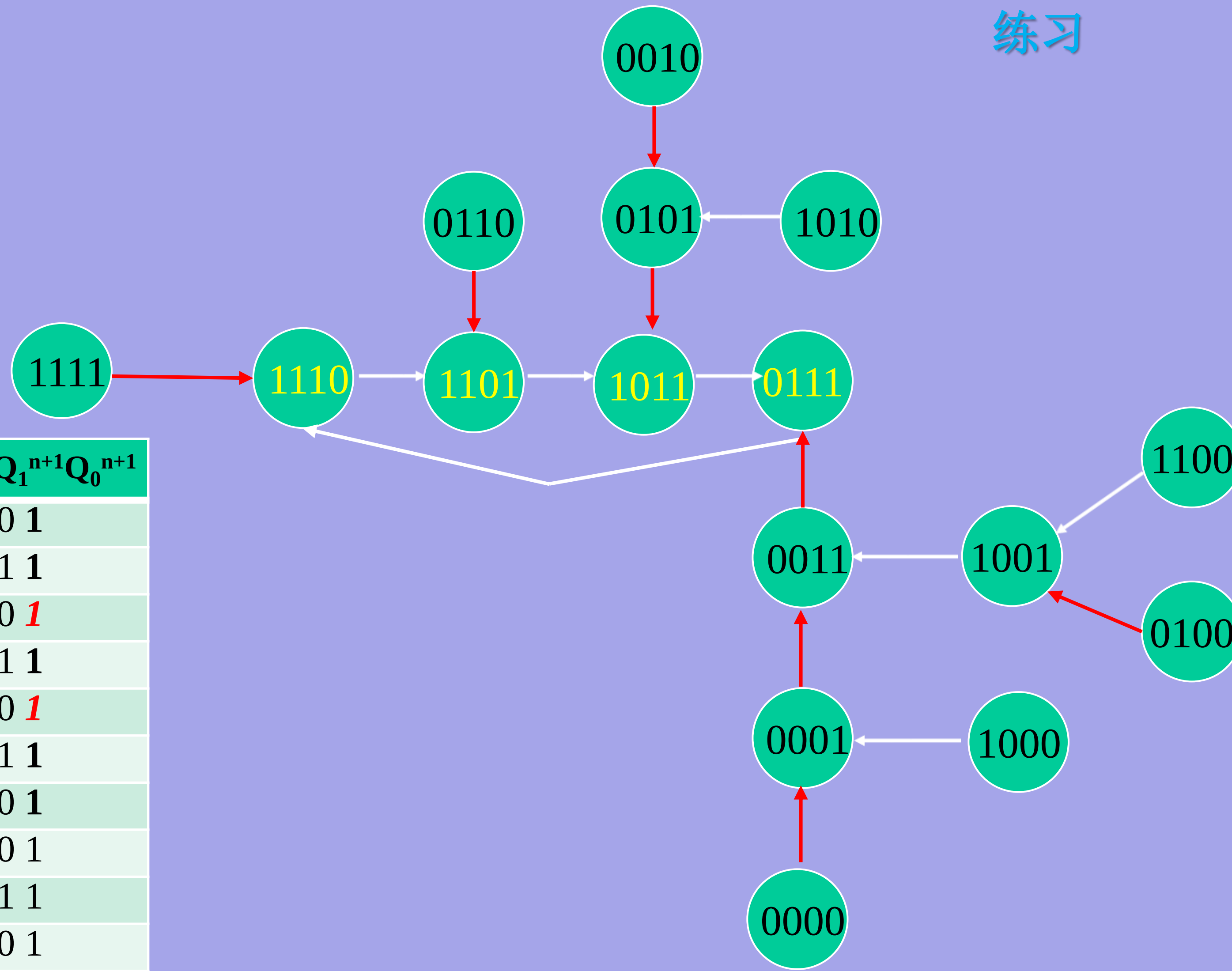
练习



	$Q_3Q_2Q_1Q_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
m_0	0000	0 0 0 **1**
m_1	0001	0 0 1 **1**
m_2	0010	0 1 0 ***1***
m_3	0011	0 1 1 **1**
m_4	0100	1 0 0 ***1***
m_5	0101	1 0 1 **1**
m_6	0110	1 1 0 **1**
	1000	0 0 0 1
	1001	0 0 1 1
	1010	0 1 0 1
	1100	1 0 0 1
m_{15}	1111	1 1 1 **0**
m_{14}	**1110**	**1 1 0 1**
m_{13}	**1101**	**1 0 1 1**
m_{11}	**1011**	**0 1 1 1**
m_7	**0111**	**1 1 1 0**

表（c）消除挂起的二进制状态表

练习



$Q_3Q_2Q_1Q_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
0000	0 0 0 **1**
0001	0 0 1 **1**
0010	0 1 0 ***1***
0011	0 1 1 **1**
0100	1 0 0 ***1***
0101	1 0 1 **1**
0110	1 1 0 **1**
1000	0 0 0 1
1001	0 0 1 1
1010	0 1 0 1
1100	1 0 0 1
1111	1 1 1 **0**
1110	**1 1 0 1**
1101	**1 0 1 1**
1011	**0 1 1 1**
0111	**1 1 1 0**

表（c）消除挂起的二进制状态表

Q_3Q_2 / Q_1Q_0

1	1	1	1
1	1	1	1
1			1
1	1	1	1

$$Q_0^{n+1}=\overline{Q_2}+\overline{Q_1}+\overline{Q_0}$$

练习

Q_3Q_2 / Q_1Q_0

d	d	d	d
d	d	1	d
d	d	d	1
d	d	1	d

$$Q_0^{n+1}=Q_3$$

Q_3Q_2 / Q_1Q_0

1		1	1
1	1	1	1
1			1
	1	1	1

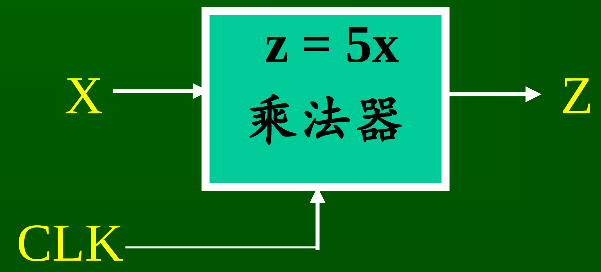
Q_0^{n+1}

	$Q_3Q_2Q_1Q_0$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
m_0	0000	0 0 0 **1**
m_1	0001	0 0 1 **1**
m_2	0010	0 1 0 ***1***
m_3	0011	0 1 1 **1**
m_4	0100	1 0 0 ***1***
m_5	0101	1 0 1 **1**
m_6	0110	1 1 0 **1**
	1000	0 0 0 1
	1001	0 0 1 1
	1010	0 1 0 1
	1100	1 0 0 1
m_{15}	1111	1 1 1 **0**
m_{14}	**1110**	**1 1 0 1**
m_{13}	**1101**	**1 0 1 1**
m_{11}	**1011**	**0 1 1 1**
m_7	**0111**	**1 1 1 0**

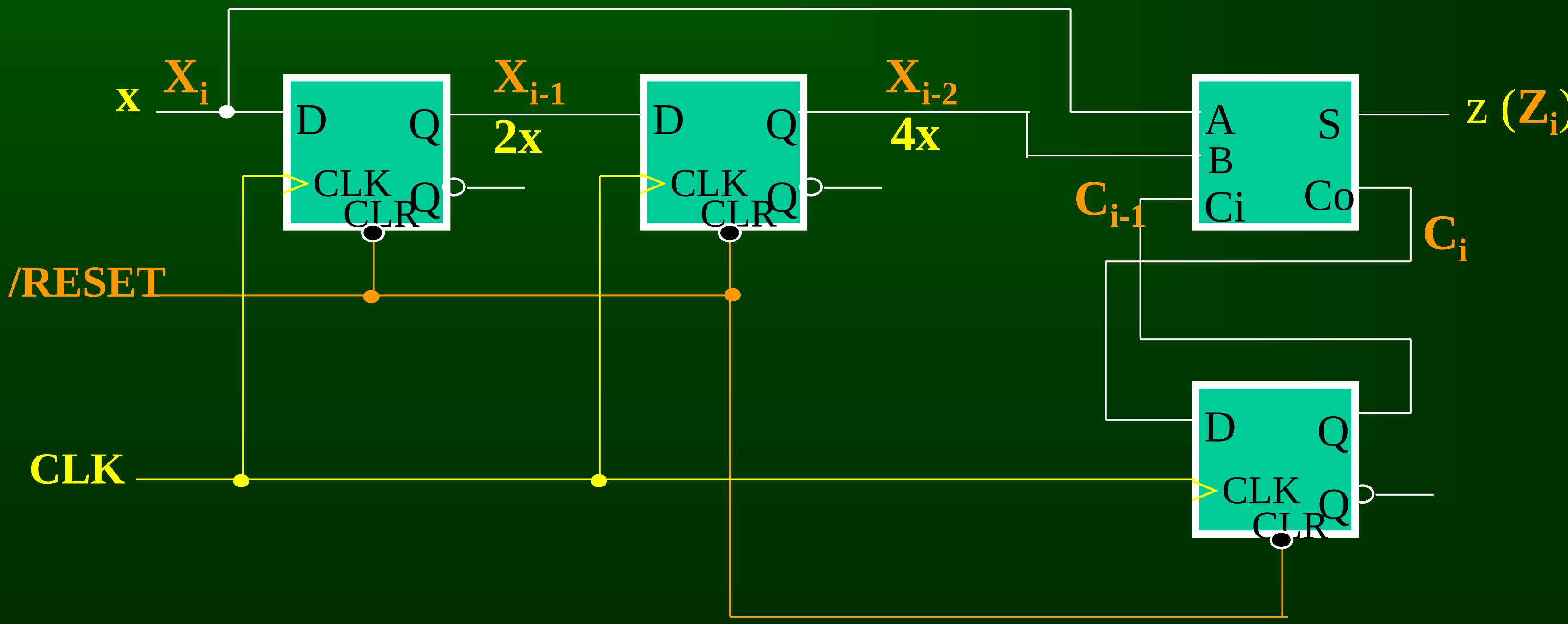
表（c）消除挂起的二进制状态表

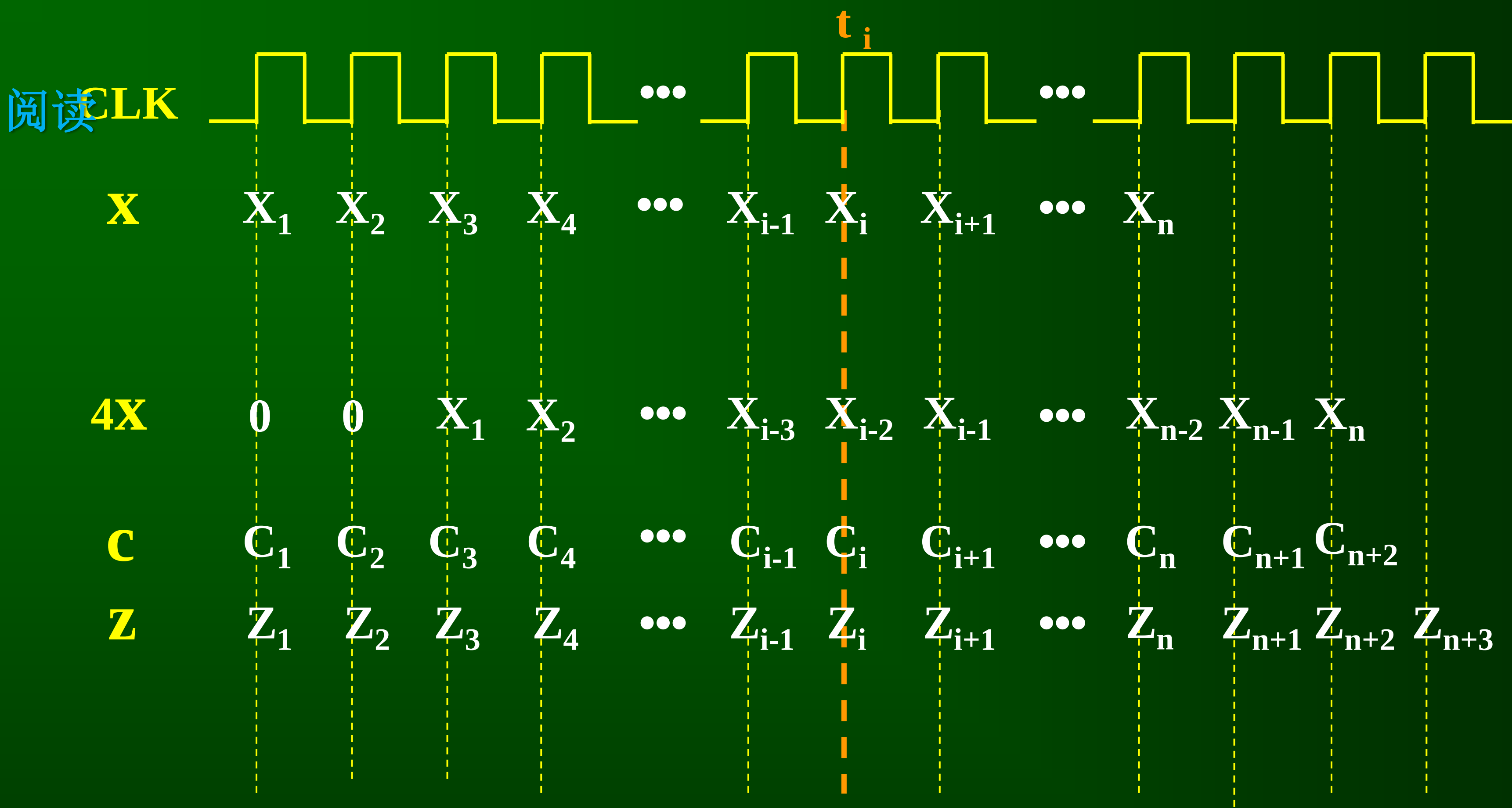
例5 设计一个 n 位二进制串行乘法器，该乘法器有一个输入端 X 及一个输出端 Z，输入 X 为由低位开始的二进制串行序列信号，输出 Z 为另一个串行序列(由低位开始输出)，且 Z = 5X。(书例3-10)

阅读



$Z = 5X = 4X + X$





$$Z_i = X_i \oplus X_{i-2} \oplus C_{i-1}$$

$$C_i = X_i X_{i-2} + X_i C_{i-1} + X_{i-2} C_{i-1}$$

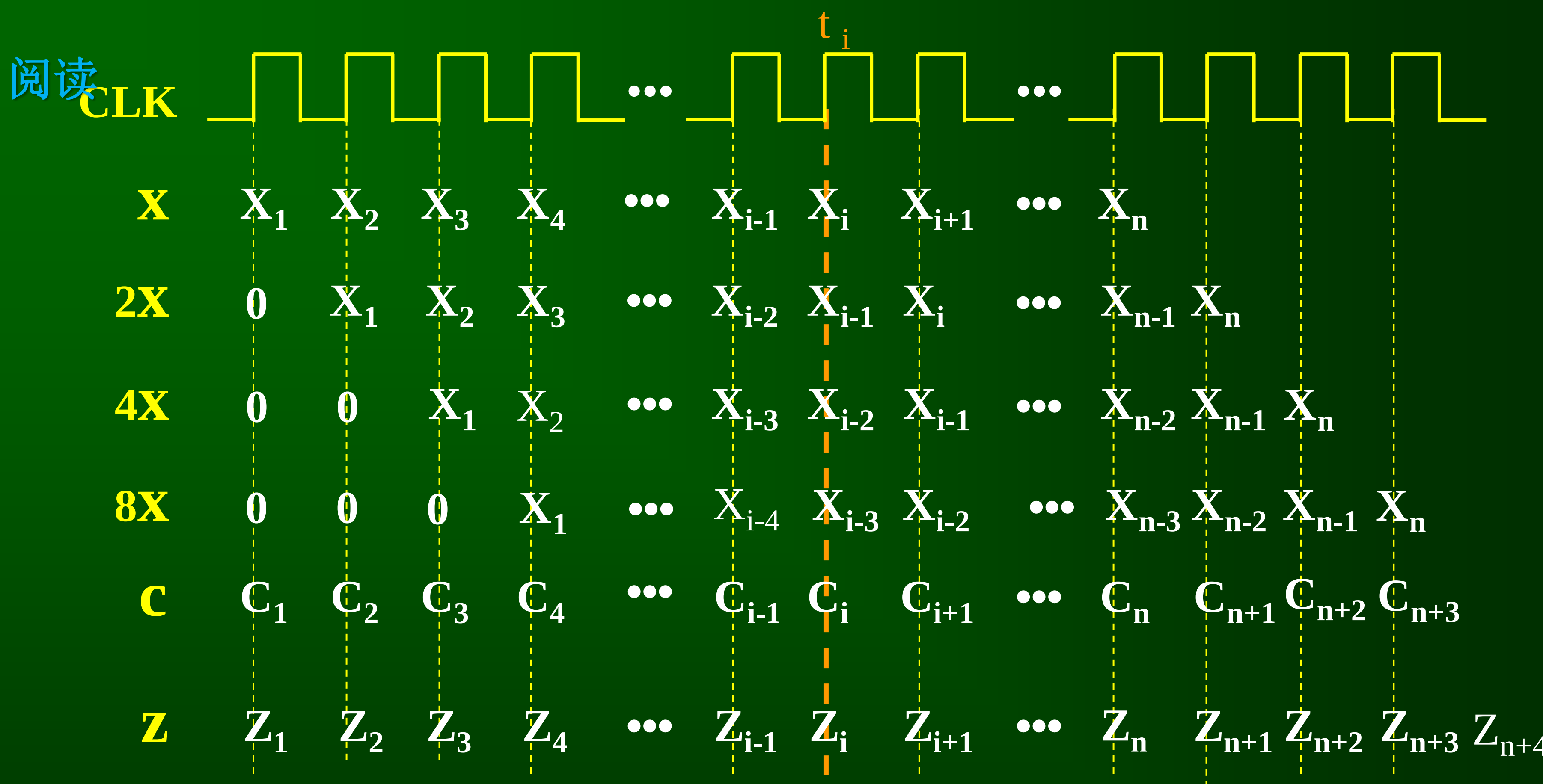
其中： X_i 为 t_i 时刻的输入信号，

X_{i-2} 为 t_i 时刻前两个节拍的输入信号，

C_{i-1} 为 t_i 时刻前一个节拍的加法进位信号。

$$S_i = A \oplus B \oplus C_{i-1}$$

$$C_i = AB + A\,C_{i-1} + BC_{i-1}$$



$z = kx$。其中 k 为控制端信号$K_3K_2K_1K_0$所构成的二进制代码数值$(0 \leqq k \leqq 15)$。

$$Z_i \rightarrow K_3x_{i-3} \oplus K_2x_{i-2} \oplus K_1x_{i-1} \oplus K_0x_i$$