

第4章 可编程逻辑器件

学习要求:

1. 了解可编程逻辑PLD的发展、结构分类、编程工艺、表示方法、设计过程
2. 熟悉PROM、可编程逻辑阵列PLA、可编程阵列逻辑PAL和通用逻辑阵列GAL
3. 掌握现场可编程门阵列FPGA、在系统可编程ISP的结构与编程原理
4. 熟悉并掌握硬件描述语言VHDL

4.1 可编程逻辑概述

1. PLD的基本结构
2. PLD的编程工艺
3. PLD的设计过程



4.1 可编程逻辑概述

PLD 是由工厂制好，不需要定制任何掩模，用户可以利用开发工具，对芯片功能进行编程的大规模集成电路器件。

掩模：在硅片上铺上一层导电膜，然后加工形成不同的芯片功能。

为了降低系统体积和成本、提高系统可靠性，完善设计方法和简化设计过程中产生的。

上世纪70年代末和80年代初，将TTL集成（4、5片）到一片电路中；结构简单、器件和编程器便宜；使用双极型工艺器件；硬编程；端点数和封装形式不同。

自上世纪80年代以来，编程工艺和辅助开发环境变化最大——以工作站为基础的软件开发环境，功能强大；使用CMOS工艺；EPROM, EEPROM, SRAM和逆熔丝工艺；

除端点数和封装形式不同，触发器的数目也是区别之一。市场上主要有两大类：PLD和PGA。

最有影响的是：可编程门阵列（PGA），属于现场可编程逻辑器件的一种。

PLD是做为一种通用集成电路产生的。**PLD**自20世纪70年代出现以来发展得很快，近年来得到了广泛应用。可编程逻辑器件的逻辑功能**由用户通过编程设定**。它既具有硬件电路的工作速度，又具有软件可编程的灵活性，并且设计简单，可靠性高。

FPGA/CPLD是目前广泛应用的PLD器件。有些**FPGA/CPLD**集成度很高，设计人员通过编程就可把数字系统集成在一片芯片上，实现各种复杂的专门用途的集成化数字电路，即所谓的**可编程ASIC**。

目前，**PLD**的规模已经超过一千万门，逻辑单元的延迟时间只有几个纳秒，器件内集成了锁相环、存储器、专用乘法器、高速I/O、数字信号处理器（DSP）内核和嵌入式CPU等模块，具备了非常强大的处理能力。

专用集成电路ASIC(Application Specified Intergrate Circuit) :

阅读 采用LSI和VLSI工艺制造的数字逻辑器件。

为某类整机系统设计和制造的专用IC。

相对于通用集成电路而言的用户专用集成电路ASIC大致分为：

门阵列电路，标准单元电路，可编译单元电路，全定制电路(Full custom IC)。

“半定制电路”或采用带有基本单元的“基板”（母片），或采用标准单元库中的单元，根据系统要求来选择布线方案以构筑不同的系统。标准单元不仅仅指早期的门、触发器，而且还包括微处理器、存储器等。

“全定制电路”则从基本单元到整个系统均由系统设计师来构建。

复杂可编程逻辑器件（CPLD）出现于20世纪80年代中期，通常被称为可编程ASIC。前面介绍的ASIC称为掩膜（mask）ASIC。两者的不同之处在于CPLD具有用户可编程特性。

PLD器件的发展历史:

最早出现的:

- 可编程只读存储器**PROM**、
- 紫外线可擦除只读存储器**EPROM**、
- 电可擦除只读存储器**EEPROM**。
- 可编程逻辑阵列器件**PLA (Programmable Logic Array)**

可以完成简单的逻辑功能，用于小型的逻辑实现。

随后出现的一般被称为PLD的可编程器件可以通过编程比较灵活地完成各种数字逻辑功能:

- 可编程阵列逻辑**PAL(Programmable Array Logic)**
- 通用阵列逻辑**GAL(Generic Array Logic)**

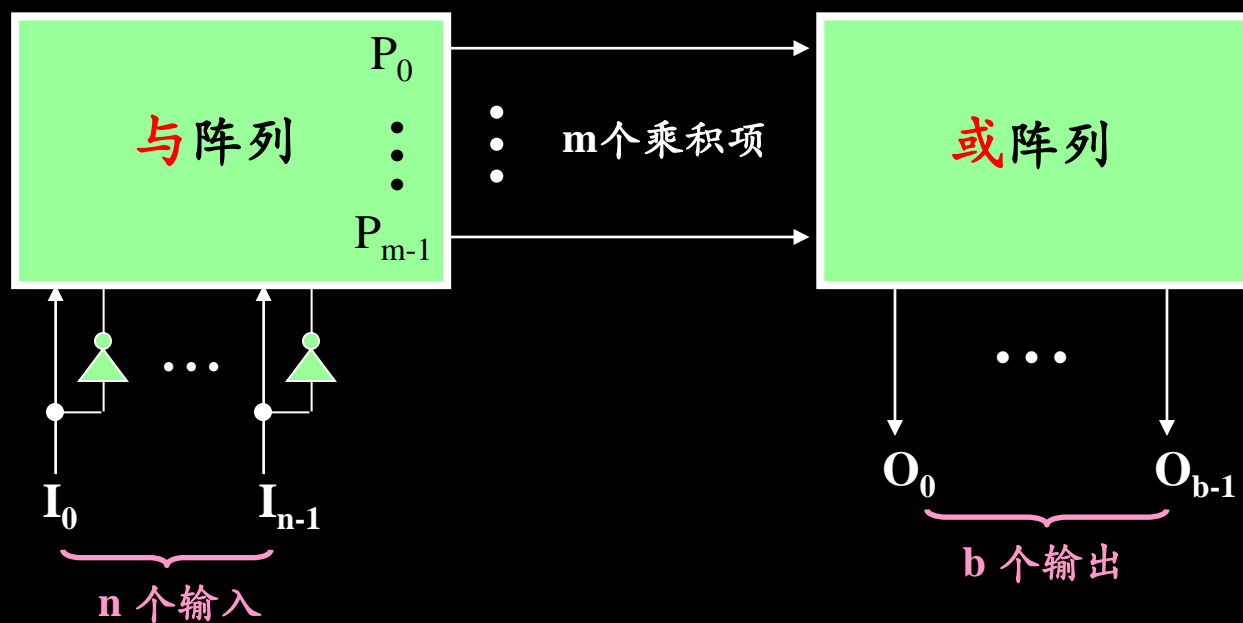
结构仍简单，用于实现规模较小的逻辑，具有价格、速度等方面的优势。

- 复杂可编程逻辑器件CPLD (Complex Programmable Logic Device)
- 类似标准门阵列的现场可编程门阵列FPGA (Field Programmable Gate Array) 。

结构复杂，用于实现较大规模的逻辑电路。

4.1.1. PLD 的基本结构

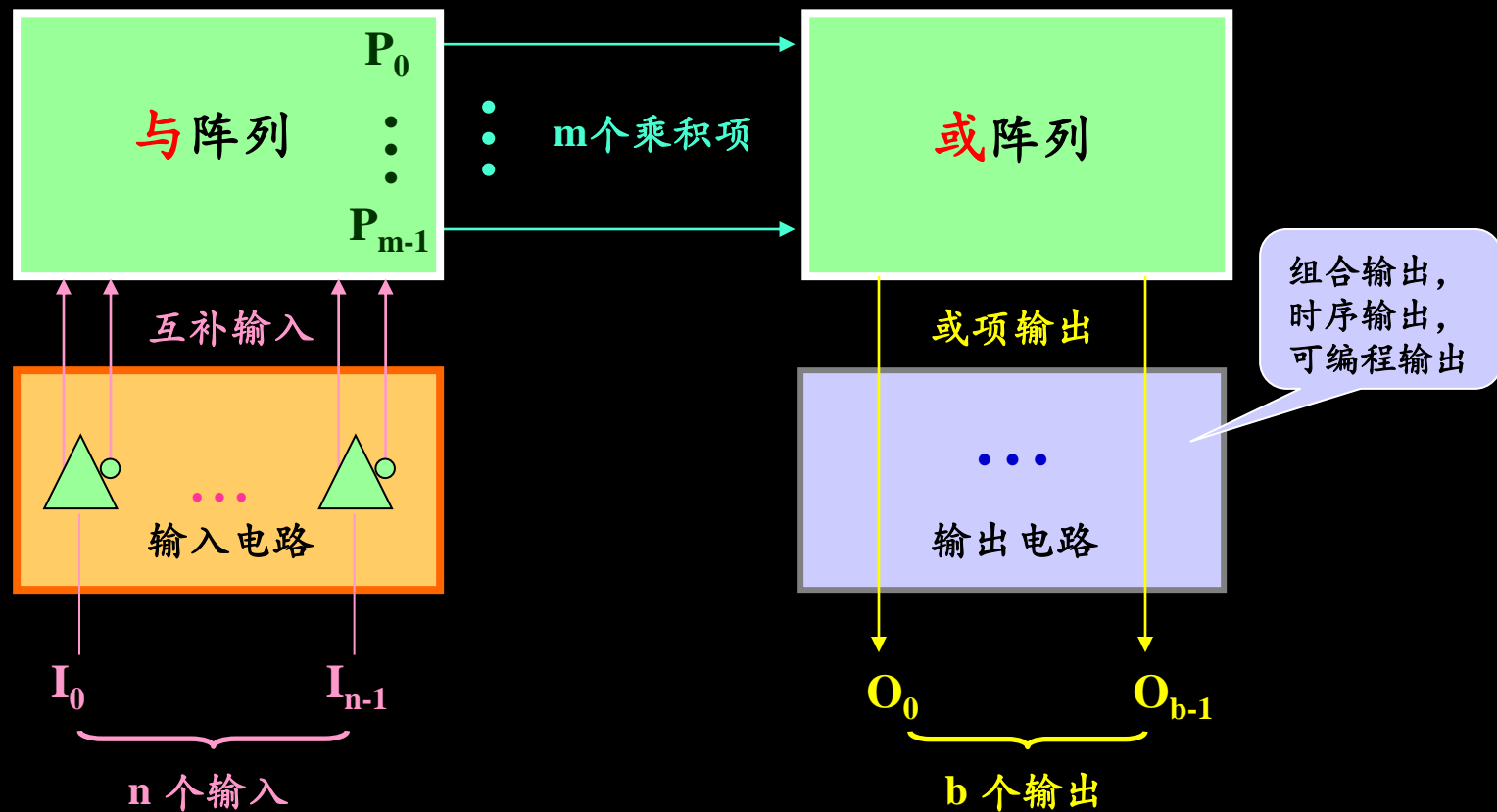
1) PLD 的结构



通过对“与阵列”和“或阵列”中的单元进行编程，可完成“任意的”逻辑功能。

4.1.1. PLD 的基本结构

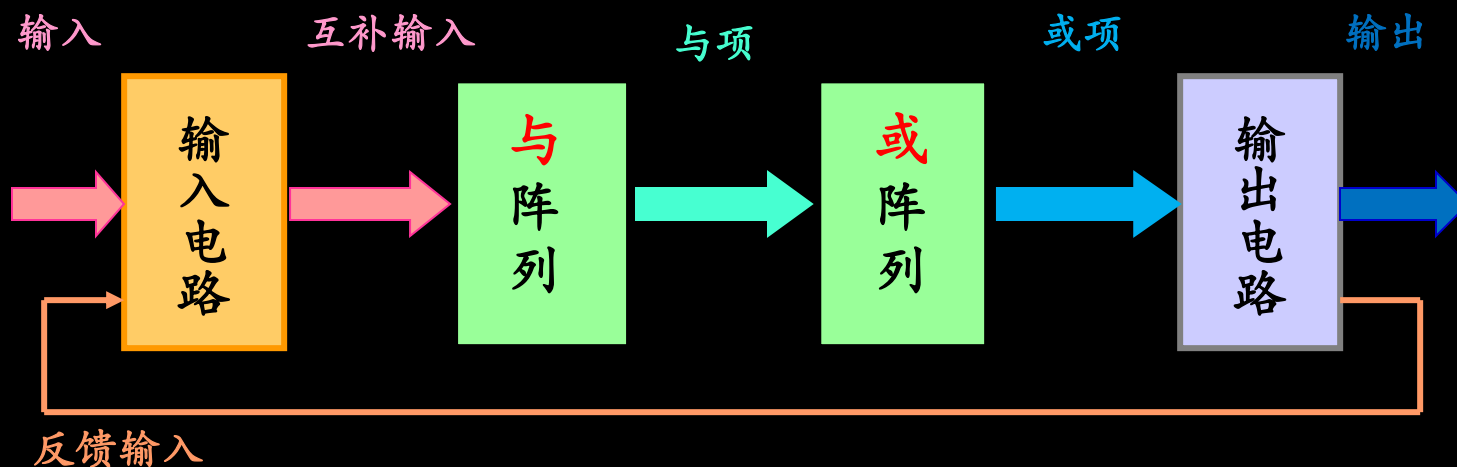
1) PLD 的结构



每个PLD输入变量应同时向内部电路提供原、反两种形式的变量；
为减少驱动该输入引脚的电流量，必须采用输入缓冲器。

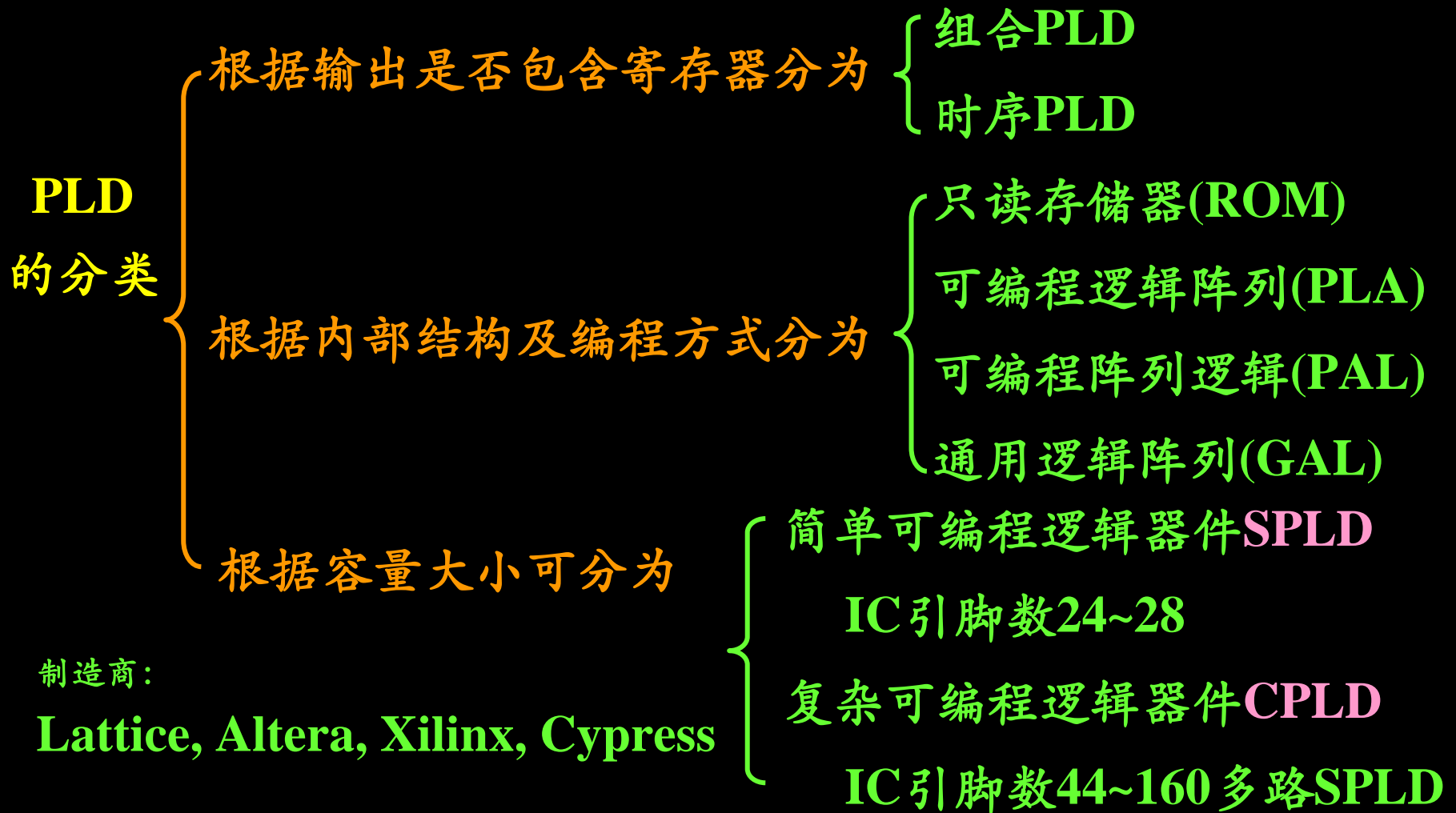
4.1.1. PLD 的基本结构

1) PLD 的结构



分类	与阵列	或阵列	输出电路
可编程只读存储器 PROM	固定	可编程	固定
可编程逻辑阵列 PLA	可编程	可编程	固定
可编程阵列逻辑 PAL	可编程	固定	固定
通用逻辑阵列 GAL	可编程	固定	可组态

2) PLD的分类



2) PLD的分类 (按编程方式分类)

简单可编程逻辑器件SPLD:

只读存储器 (ROM) : 与阵列固定或阵列可编程

可编程逻辑阵列 (PLA) : 与阵列可编程 或阵列可编程

可编程阵列逻辑 (PAL) : 与阵列可编程 或阵列固定

通用逻辑阵列(GAL): 兼容PAL, 增加可擦除、可重新编程及可组态结构等特点。使用最广泛的PLD产品之一。

目前流行的可编程逻辑器件有FPGA和ISP, 是更高层次的CPLD, 技术上更先进。

4.1.2. PLD 的编程工艺和表示方法

1. PLD 的编程工艺

含矩形排列的与或阵列；

含矩形排列的存储单元阵列。

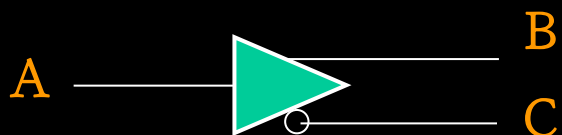
对PLD的编程主要就是对存储单元编程，存储单元的编程工艺决定了PLD的编程工艺。

早期：掩模、熔丝式、TTL

后期：NMOS、CMOS、E²CMOS

2. PLD 的逻辑符号表示

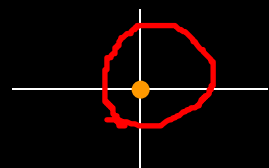
① 输入缓冲器



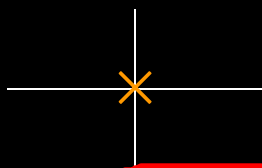
A	B	C
0	0	1
1	1	0

为了减少驱动该输入引脚的电流量，采用缓冲器。

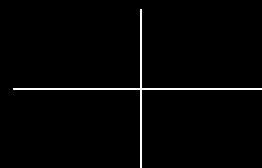
② PLD 编程点的连结方法



固定连接

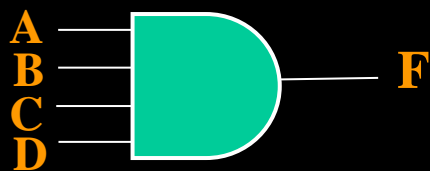


被编程接通

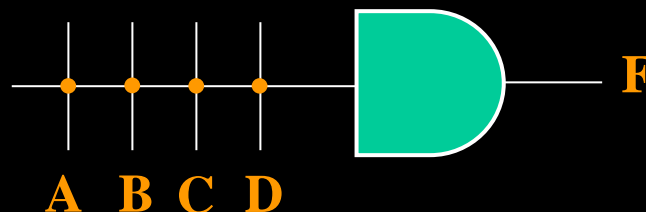


被编程擦除
(可编程断开)

③ 与门的表示

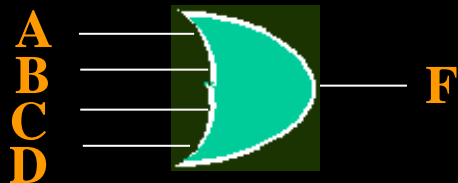


分立元件

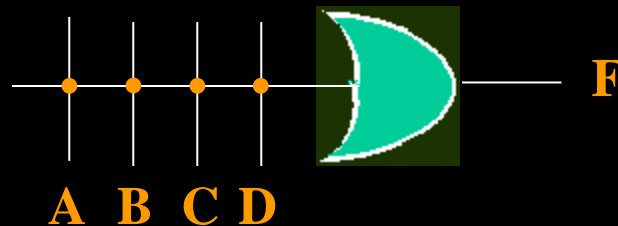


PLD 结构

④ 或门的表示



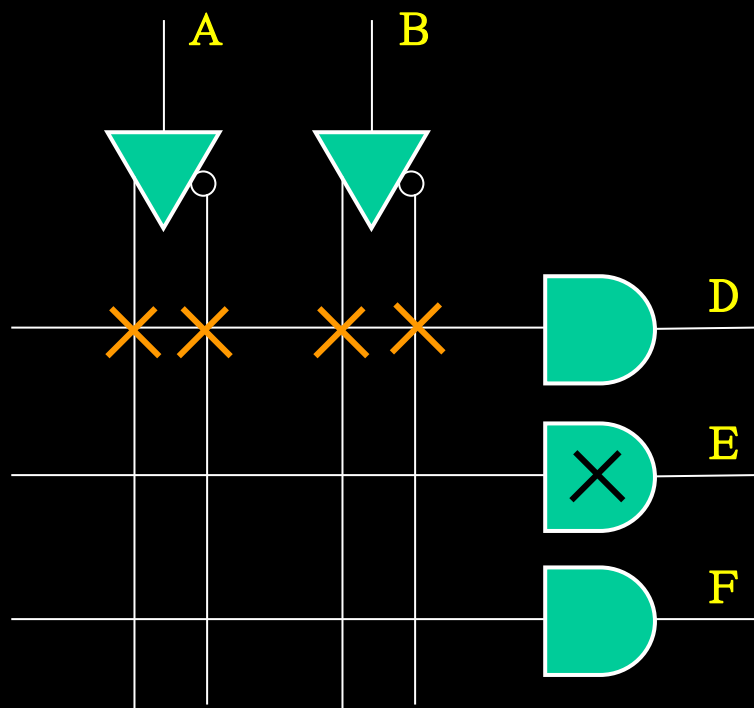
分立元件



PLD 结构

⑤ 与门的缺省状态

当一个输入缓冲器的互补输出同时接到某一个单独乘积项时，该乘积项的输出总为0。如图中D。这种状态称为与门的缺省状态。可用乘积项E的速记符号表示。



A	B	D	E	F
0	0	0	0	1
0	1	0	0	1
1	0	0	0	1
1	1	0	0	1

4.1.3 PLD 的设计过程

1) PLD的设计过程

所需设备：两大类——可编程逻辑开发软件，编程器

设计过程分三个阶段：

① **设计输入**：将逻辑问题用PLD编程语言描述出来

输入方法：利用专门绘图软件和逻辑单元库绘制逻辑图；

使用逻辑表达式或真值表输入；

使用文本方式的HDL编写程序实现。

② **设计验证**：包括两个步骤

在完成设计输入后，利用开发软件提供的模拟仿真功能检验电路设计；

在电路板上直接对PLD测试。

③ **设计实现**：PLD辅助开发软件将已经仿真正确的设计输入的描述转化为可供编程器使用的编程文件，再用编程器将编程文件写入PLD芯片。

2) PLD的主要优点

- ① 简化系统设计（满足各种使用要求，最有效地利用芯片，减少芯片数量；能快速进行设计。）
- ② 功能集成度高（高于中小规模集成电路，且具有更高的利用率。）
- ③ 可靠性高