数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104班

姓名：马茂原

**实验1 组合逻辑电路——译码器电路设计**

## 一 实验内容

* 1. Quartus Prime基本使用
  2. 使用Quartus Prime18.1设计3-8译码器
  3. 用译码器实现全加器

## 二 实验原理

* 1. Quartus Prime设计流程
  2. 译码器的电路原理
  3. 译码器设计全加器的电路原理

## 三 实验过程、结果及分析

* 1. Quartus Prime软件基本使用

包括工程文件夹截图、电路设计图、仿真结果图

* 1. 使用Quartus Prime设计实现3-8译码器

包括电路设计图、仿真结果图

* 1. 用译码器实现全加器 （选做）

包括电路设计图、仿真结果图

## 四 思考题

1. Quartus设计中的基本步骤
2. Quartus有哪几种输入设计文件？
3. 顶层实体在Quartus工程中起什么作用？
4. 如何设置波形才能从仿真结果分析电路功能？

## 五 实验总结