数字逻辑电路实验 实验报告

学号：2204112358

班级：自动化001

姓名：崔二飞

**6 时序逻辑电路设计**

## 一 题目描述

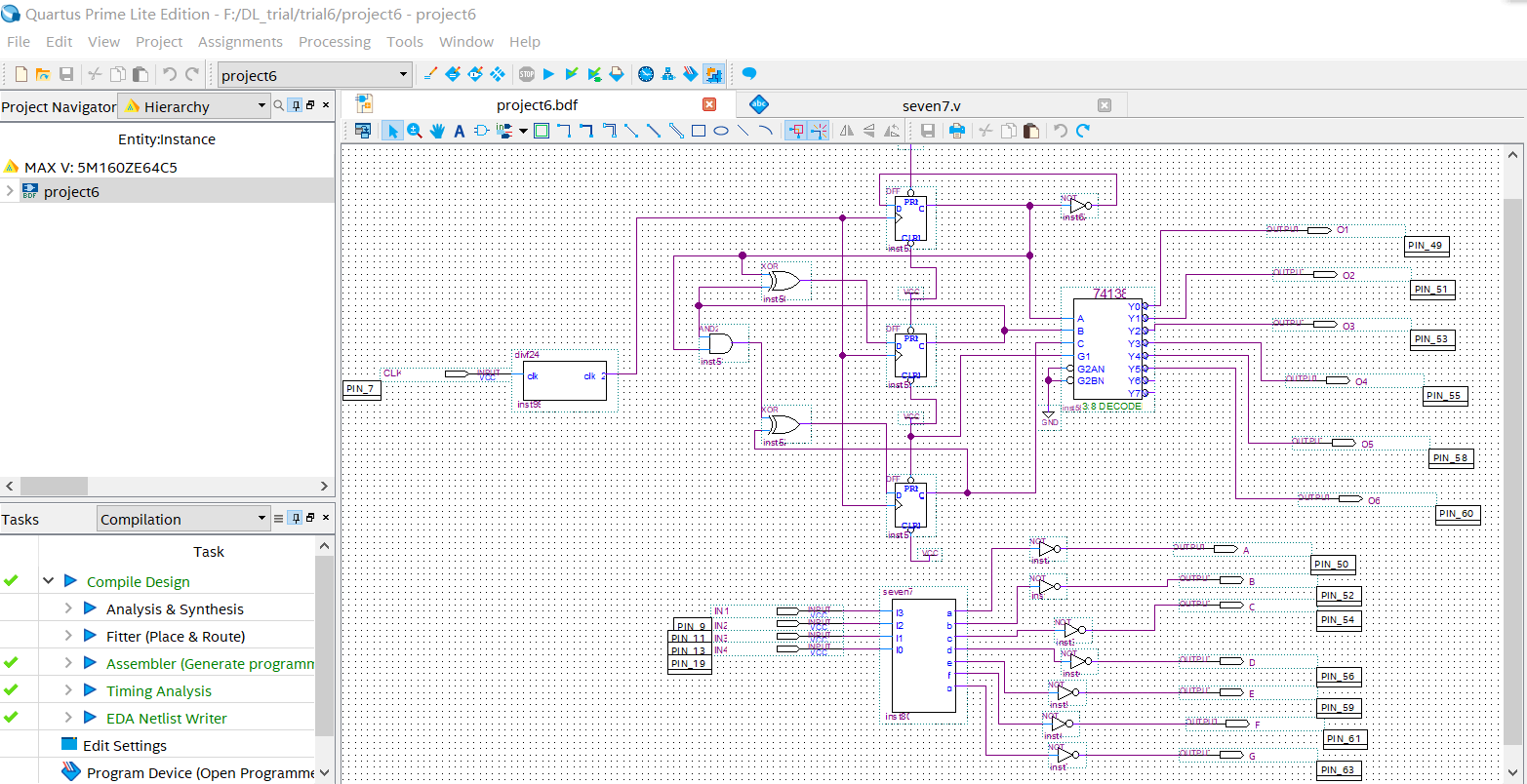
扫描式数码管驱动

设计一个S1、S2、S3、S4、S5、S6依次有序为低的电路

设计a、b、c、d、e、f、g的数据供给电路

## 二 实验原理

1、电路设计原理：



2、题目分析：

该题目是扫描式数码管，主要通过使用几个数码管选择线和7段数码管的选择来显示具体数字，且由于所需线路过多，我们采用扫描式，通过将6个数码管的段选放在一起，然后通过位选来控制选择的数码管。为让所有的数码管都正常显示，我们应该使用较高的时钟信号，通过时钟去使所有的数码管依次扫描显示，且因为周期短频率高，因此人眼看到的就是所有的数码管均显示。

3、设计实现思路：

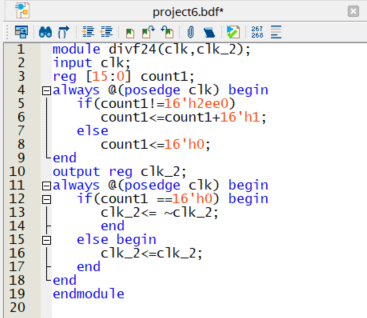
（1）首先对于段选信号，我们仍使用上节课所学知识，利用verilog语言写一个四输入16输出的模块，并对其进行封装处理，然后通过不同的输入使其显示1到F，特别注意由于其为共阴极，因此我们在上节课的基础上，要在7输出线上分别加入非门，进行取非处理。

（2）对于位选信号，因为我们想要所有的数码管都会显示相应的数字，因此，我们需要一个可以依次为低电平且有很高刷新率的电路，首先想到3-8译码器，通过同一个时钟去控制我们的计数器进行不停的计数，然后计数的结果通过译码使得S0-S5之间依次扫描，即可以显示数字。

（3）由于板子自带时钟过于高，我们设计分频器，将其频率进行大幅度的下降，使其为1kHz左右方便人眼观看。

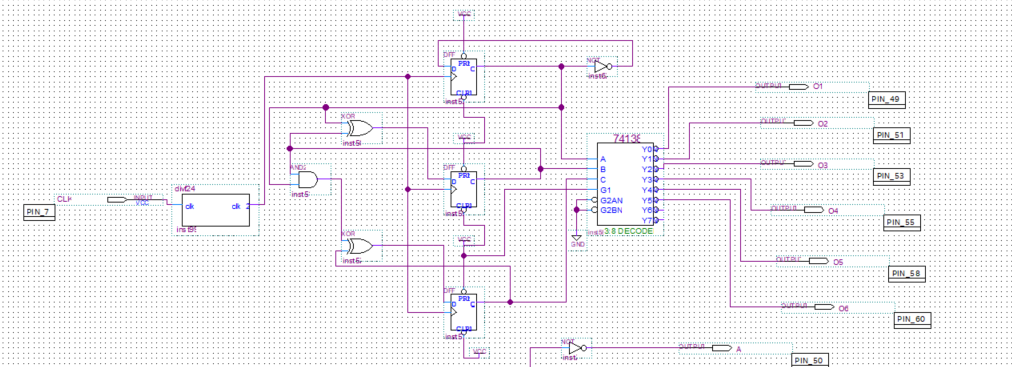
## 三 实验过程、结果及分析

1. 所选题目的具体实现（对应bdf电路原理图或Verilog设计文件）
2. 为使用板子自带时钟，先将其进行分频处理

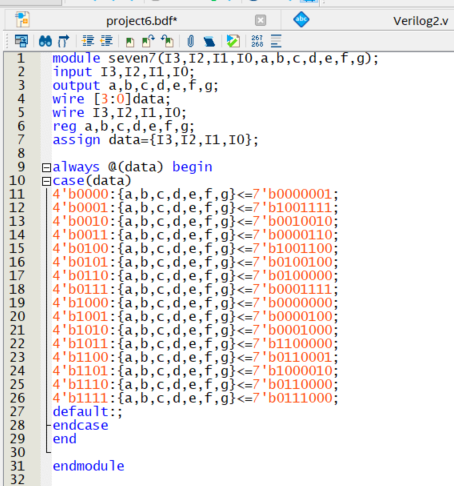


（采用前面学过的分频器进行处理，使用16位二进制数进行分频，进行约为24000分频，将频率降到1k赫兹左右。）

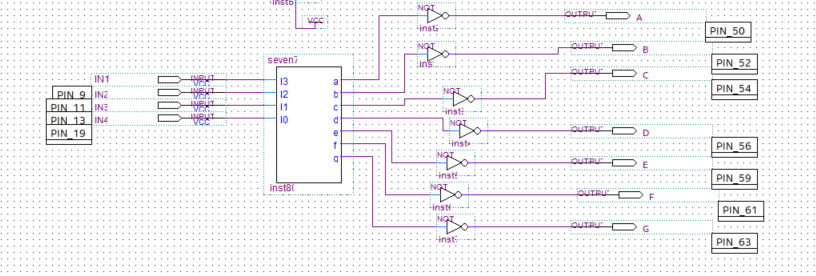
1. 计数器和三八译码器组合，进行6个位选信号的依次扫描



1. 设计由四个输入，产生16种情况的7段数码管

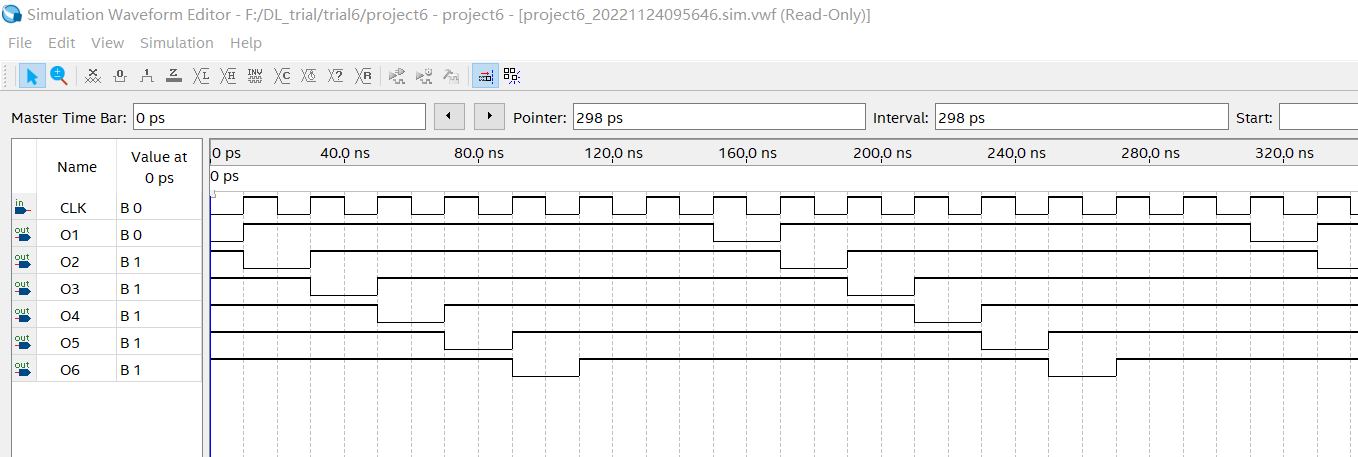


1. 由于此次为共阴极数码管，因此我们应该再原先的基础上，在所有的输出上加入非门进行取非操作。



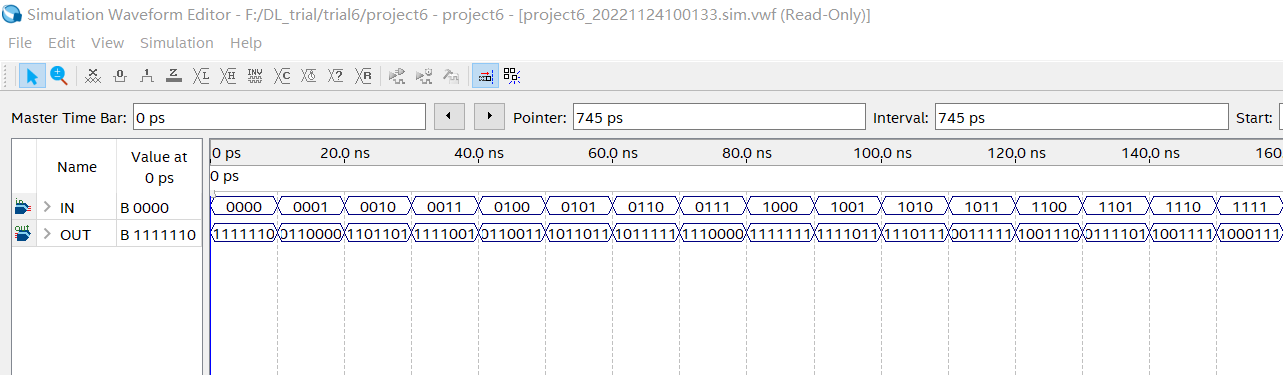
1. 仿真结果图及仿真结果分析

（1）计数器以及3-8数码管的联合仿真



分析：当我们输入时钟信号时，我们希望我们的6个输出引脚可以依次扫描，时钟信号每一次上升沿我们的计数器就会跳转一个，因此3-8译码器就会向下一位，因此会出现一个负脉冲，有图可知我们的仿真结果正确。

（2）七段数码管的段选信号，四输入七输出

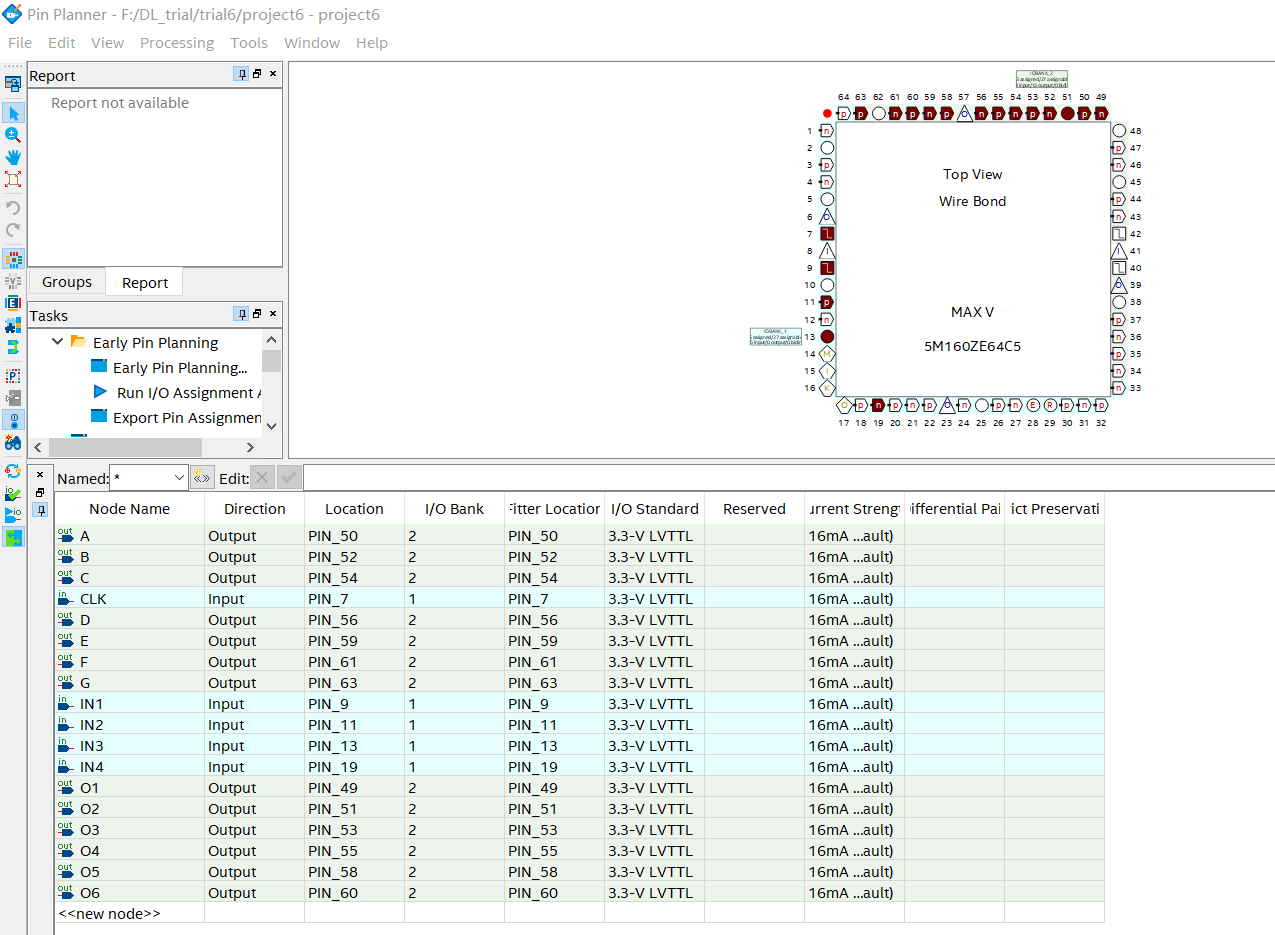


分析：我们通过四个二进制数，他的值为多少，对应的那一位上的二进制数为0，即相对应的那段数码管亮，和我们的真值表进行对比讨论，发现其仿真结果正确。

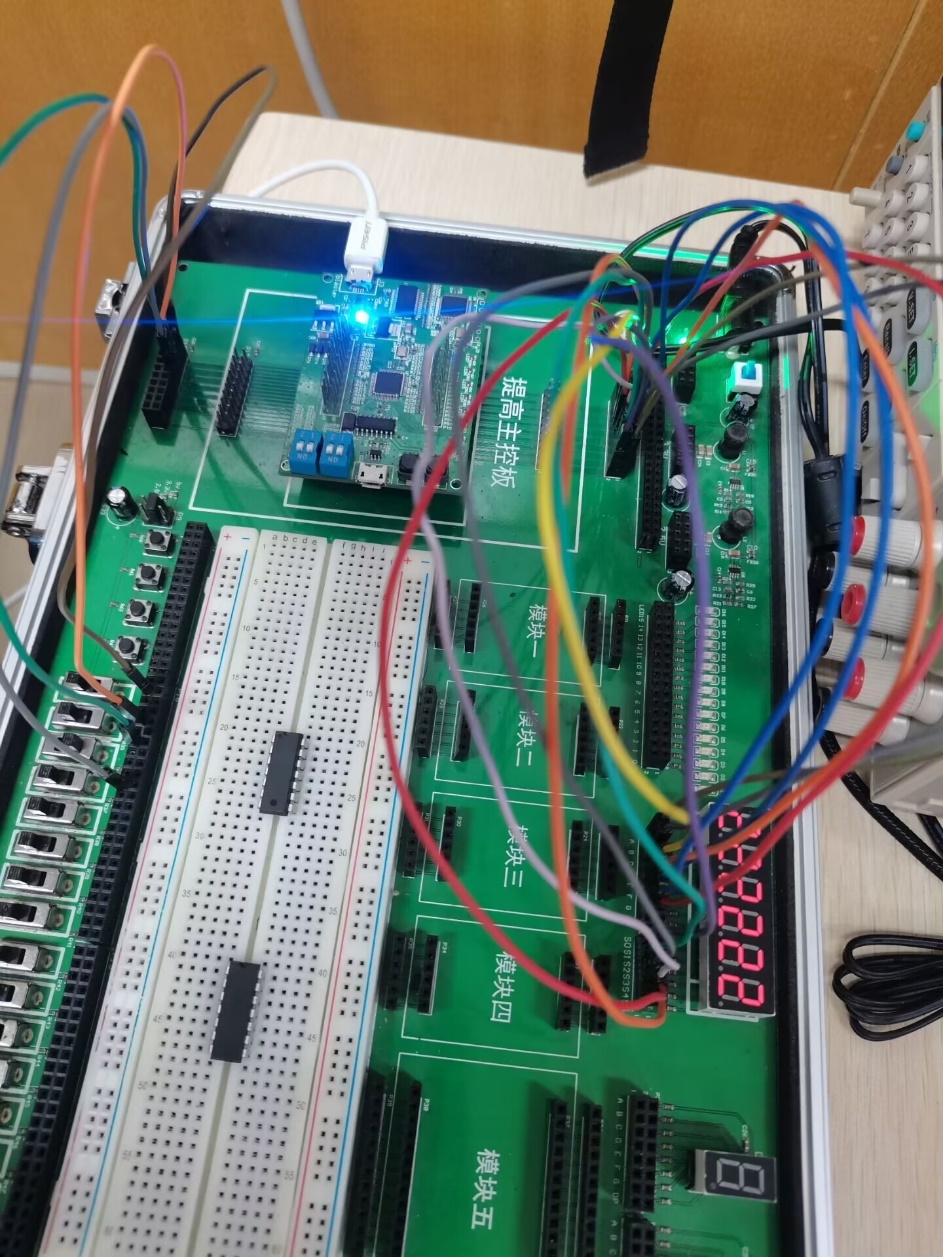
1. 管脚分配

如下图所示：

分析：管脚分配主要考虑到我们线下板子的连线问题，我们将上面两排作为输出连接到我们的七段扫描数码管上，将下面的两排作为输入，连接到我们的按钮上，通过控制我们的四位按钮，来控制。



1. 下载验证



## 四 思考与总结

1. 描述时序逻辑电路的设计方法

1、根据设计要求和给定条件，进行逻辑抽象，得出电路的原始状态转换图或转换表

1）分析给定的逻辑问题，确定输入变量、输出变量及该电路应包含的状态，并用字母a、b、c或SO、S1、S2等表示；

2）分别令以上述状态为现态，考察在每一个可能的输入组合作用下，应转入哪个状态及相应的输出;

2、状态化简——如有等价状态则合并之

等价状态——在原始状态图中，如有两个或两个以上的状态，在相同的条件下，不仅有相同的输出，而且向同一个状态转换，则这些状态是等价的，可以合并。

3、状态分配(状态编码)

1）根据电路包含的M个状态，确定触发器的类型和数目N。因为N个触发器共有2^N种状态组合，所以取2^(N-1)<M<2^N；

其次，要给每个电路状态规定对应的触发器状态组合，每组触发器的状态组合都是一组二值代码，所以，该过程又称状态编码；

4、求出电路的状态方程、激励方程和输出方程。

5、根据得到的方程式画出逻辑图。

6、检查设计的电路能否自启动。

1. 对本次实验的思考

（1）写Verilog语言时需要更加细心，注意数据有几位

（2）连接线路时需要观察是否有错误，特别是对于输入输出口

（3）要首先去进行电路仿真，先观察仿真有无问题，若仿真没有问题的前提下上电调试观察是否有问题。