数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

**实验7-实验8：数字系统设计**

## 一 题目描述

描述要实现的题目和设计目标：

设计一个数字钟,能够实现时、分、秒的计时和进位。时使用模24的计数器,分和秒使用模60的计数器,并在两个数码管上分别显示时、分、秒的高4位和低4位。数码管通过动态扫描方式实现6个数码管的独立显示。数字钟需要实现的功能包括:时分秒的计时和显示、按秒进位到分,按分进位到时,时计满24小时后清零、具有暂停和清零操作。

## 二 实验原理

按照自顶向下或自底向上的设计思路，描述整个设计原理。

如果是自底向上，先描述各模块具体设计、再描述各模块如何组装成完整的系统

如果是自顶向下，先描述整个设计的方案和系统的模块划分、再描述各模块的具体电路设计原理

第一部分是用于控制七段数码管的显示。它的输入是一个 4 位的二进制数 data，表示要显示的数字；它的输出是七个信号 a,b,c,d,e,f,g，分别对应七段数码管的七个段。它的作用是根据 data 的值来设置输出信号的状态，使得数码管能够显示相应的数字。使用一个 always 块和一个 case 语句来实现多路选择，根据 data 的不同取值，给输出信号赋予不同的二进制值。

第二部分用于实现数字钟的功能。它的输入是一个时钟信号 clk，一个清零信号 clr，一个设定信号 w；它的输出是六个 4 位的信号，分别表示秒的低位和高位，分的低位和高位，时的低位和高位。它的作用是根据时钟信号的周期来更新输出信号的值，实现计时的功能。它使用了一个 always 块和一些条件语句来实现计数器的逻辑，根据清零信号和设定信号的状态，给输出信号赋予不同的值，同时考虑了秒、分、时的进位规则。

第三部分是用于产生两个频率分别为 1kHz 和 1Hz 的时钟信号。它的输入是一个时钟信号 clk，一个使能信号 enable；它的输出是两个信号 clk\_1k 和 clk\_1，分别表示 1kHz 和 1Hz 的时钟信号。它的作用是根据外部时钟信号的周期来更新输出信号的状态，实现分频的功能。它使用了一个 always 块和一些条件语句来实现分频器的逻辑，根据使能信号的状态，给输出信号赋予不同的值，同时考虑了 1kHz 和 1Hz 时钟的周期关系。

第四部分用于从多个输入信号中选择四个输出信号，并通过六个选择信号控制显示的位置。它的输入是一个时钟信号和 32 个信号，分别表示 8 个 4 位的二进制数；它的输出是六个选择信号 s1,s2,s3,s4,s5,s6，和四个输出信号 o0,o1,o2,o3。它的作用是根据时钟信号的周期来更新输出信号和选择信号的值，实现多路复用的功能。它使用了一个 always 块和一个计数器来实现多路选择的逻辑，根据计数器的不同取值，给输出信号赋予不同的输入信号的值，同时给选择信号赋予不同的二进制值，控制显示的位置。

这四个部分是这样配合工作的：

A.时钟模块的时钟信号 clk 是由 clk\_1k\_1 模块的输出信号 clk\_1k 提供的，这样时钟模块可以根据 1kHz 的时钟信号来更新输出的六个 4 位二进制数，表示时分秒。

B.选择模块的时钟信号 clk\_seven 是由 clk\_1k\_1 模块的输出信号 clk\_1 提供的，这样 seven\_select 模块可以根据 1Hz 的时钟信号来更新输出的四个信号和六个选择信号，表示每秒切换一次显示的位置。

C.选择模块的 32 个输入信号是由时钟模块的六个输出信号提供的，这样选择模块可以从这些输入信号中选择四个输出信号，表示要显示的数字。

D.七段数码管模块的输入信号 data 是由选择模块的输出信号 o0,o1,o2,o3 提供的，这样七段数码管模块可以根据这个输入信号，输出对应的七个段的状态，表示要显示的数字。

E.七段数码管模块的输出信号 a,b,c,d,e,f,g 是连接到七段数码管的，这样七段数码管可以根据这些输出信号，显示相应的数字。

F.选择模块的输出信号 s1,s2,s3,s4,s5,s6 是连接到六个数码管的使能端的，这样可以控制显示的位置。

## 三 实验过程、结果及分析

1. 所选题目的具体实现

第一部分：七段数码管部分

module seven\_segment(data,a,b,c,d,e,f,g);

input wire [3:0]data;

output reg a,b,c,d,e,f,g;

always @(\*)begin

case(data)

4'b0000:{a,b,c,d,e,f,g} <={7'b1111110};

4'b0001:{a,b,c,d,e,f,g} <={7'b0110000};

4'b0010:{a,b,c,d,e,f,g} <={7'b1101101};

4'b0011:{a,b,c,d,e,f,g} <={7'b1111001};

4'b0100:{a,b,c,d,e,f,g} <={7'b0110011};

4'b0101:{a,b,c,d,e,f,g} <={7'b1011011};

4'b0110:{a,b,c,d,e,f,g} <={7'b1011111};

4'b0111:{a,b,c,d,e,f,g} <={7'b1110000};

4'b1000:{a,b,c,d,e,f,g} <={7'b1111111};

4'b1001:{a,b,c,d,e,f,g} <={7'b1111011};

default: ;

endcase

end

endmodule

第二部分：数字钟

module shuzizhong(

input clk\_s,clr,w,

output reg [3:0] s\_low,

output reg [3:0] s\_high,

output reg [3:0] m\_low,

output reg [3:0] m\_high,

output reg [3:0] h\_low,

output reg [3:0] h\_high

);

reg sflag;

reg mflag;

always @(posedge clk\_s)begin

if(w==1'd1)begin

s\_low <=4'd7;

s\_high <=4'd5;

m\_low <=4'd9;

m\_high <=4'd5;

h\_high<=4'd2;

h\_low<=4'd3;

end

if(clr==1'd0)begin

s\_low <=4'd0;

s\_high <=4'd0;

m\_low <=4'd0;

m\_high <=4'd0;

h\_high<=4'd0;

h\_low<=4'd0;

end

else begin

if(s\_low==4'd9)begin

s\_low <=4'd0;

if(s\_high<4'd5)begin

s\_high <= s\_high+4'd1;

end

else begin

s\_high <=4'd0;

sflag <=1'd1;

end

end

else begin

s\_low <= s\_low+4'd1;

end

if((s\_low==4'd9) &&(s\_high==4'd5))begin

sflag<=1'd0;

if(m\_low==4'd9)begin

m\_low <=4'd0;

if(m\_high<4'd5)begin

m\_high <= m\_high+4'd1;

end

else begin

m\_high <=4'd0;

mflag <=1'd1;

end

end

else if(m\_low<4'd9) begin

m\_low <= m\_low+4'd1;

end

end

if((s\_low==4'd9) &&(s\_high==4'd5)&&(m\_low==4'd9) &&(m\_high==4'd5))begin

mflag<=1'd0;

if(h\_low==4'd9)begin

h\_low <=4'd0;

if(h\_high<4'd2)begin

h\_high <= h\_high+4'd1;

end

else begin

h\_high <=4'd0;

end

end

else if(h\_low<4'd9) begin

h\_low <= h\_low+4'd1;

end

end

end

end

endmodule

第三部分：分频时钟

module clk\_1k\_1(clk,clk\_1k,clk\_1,enable);

input clk,enable;

output clk\_1k,clk\_1;

reg clk\_1k,clk\_1;

reg [16:0] cnt;

reg [10:0] cnt2;

always @ (posedge clk)begin

if(enable==1'b0)

begin

cnt <= 0;

clk\_1k<= 0;

clk\_1<=0;

end

else if(cnt==17'd11999)

begin

clk\_1k<=~clk\_1k;

cnt<=0;

cnt2<=cnt2+1'b1;

end

else

begin

cnt <= cnt + 1'b1;

clk\_1k<=clk\_1k;

end

if(enable==1'b0)

begin

cnt2 <= 0;

end

else if(cnt2==11'd999)

begin

clk\_1<=~clk\_1;

cnt2<=0;

end

else

begin

//cnt2 <= cnt2 + 1'b1;

clk\_1<=clk\_1;

end

end

Endmodule

第四部分：选择输出部分

module seven\_select(clk\_seven,s1,s2,s3,s4,s5,s6,i10,i11,i12,i13,i14,i15,i16,i17,i20,i21,i22,i23,i24,i25,i26,i27,i30,i31,i32,i33,i34,i35,i36,i37,o0,o1,o2,o3);

input clk\_seven,i10,i11,i12,i13,i14,i15,i16,i17,i20,i21,i22,i23,i24,i25,i26,i27,i30,i31,i32,i33,i34,i35,i36,i37;

reg [2:0] cnt7;

output reg s1,s2,s3,s4,s5,s6,o0,o1,o2,o3;

always @(posedge clk\_seven)begin

if(cnt7<5)begin

cnt7<=cnt7+1'b1;

end

else begin

cnt7<=3'd0;

end

if (cnt7==0)begin

{s1,s2,s3,s4,s5,s6} <={6'b111110};

{o0,o1,o2,o3}={i10,i11,i12,i13};

end

if (cnt7==1)begin

{s1,s2,s3,s4,s5,s6} <={6'b111101};

{o0,o1,o2,o3}={i14,i15,i16,i17};

end

if (cnt7==2)begin

{s1,s2,s3,s4,s5,s6} <={6'b111011};

{o0,o1,o2,o3}={i20,i21,i22,i23};

end

if (cnt7==3)begin

{s1,s2,s3,s4,s5,s6} <={6'b110111};

{o0,o1,o2,o3}={i24,i25,i26,i27};

end

if (cnt7==4)begin

{s1,s2,s3,s4,s5,s6} <={6'b101111};

{o0,o1,o2,o3}={i30,i31,i32,i33};

end

if (cnt7==5)begin

{s1,s2,s3,s4,s5,s6} <={6'b011111};

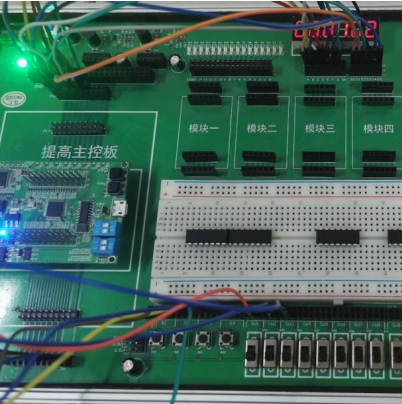
{o0,o1,o2,o3}={i34,i35,i36,i37};

end

end

Endmodule

1. 下载验证



实验箱上连线和具体的验证结果 ：经过实验验证，制作的数字钟可以正常计时，有正常的进位功能，并且添加的功能有：暂停和清零两项功能，均能正常工作。

## 四 思考与总结

1. 描述数字系统的设计方法

数字系统的设计方法可以分为两种，即自下而上的设计方法和自上而下的设计方法。

自下而上的设计方法是一种从具体到抽象的设计方法，它是根据设计者的经验和技巧，将规模大、功能复杂的数字系统划分为若干个子模块，然后用通用的集成逻辑器件或可编程逻辑器件实现各个子模块的功能，最后将各个子模块连接起来，组成完整的数字系统。这种设计方法的优点是比较直观和灵活，缺点是比较复杂和低效，不适合设计规模很大的数字系统。

自上而下的设计方法是一种从抽象到具体的设计方法，它是根据数字系统的逻辑功能，将系统分层次、分模块进行设计，通常将系统从逻辑上划分为控制单元和数据处理单元两大部分，然后用算法状态机或硬件描述语言来描述控制单元和数据处理单元的工作过程，再用可编程逻辑器件或专用集成电路来实现各个模块的功能，最后将各个模块连接起来，组成完整的数字系统。这种设计方法的优点是比较规范和高效，缺点是比较抽象和复杂，需要掌握一定的设计工具和技巧。

1. 本次实验中遇到的问题及解决方法

遇到的问题：如何用 Verilog 语言描述数字钟的计时逻辑？

解决方法：制作了一个数字钟模块，用于实现一个数字钟的功能。它的输入是一个时钟信号 clk，一个清零信号 clr，一个设定信号 w；它的输出是六个 4 位的信号，分别表示秒的低位和高位，分的低位和高位，时的低位和高位。它的作用是根据时钟信号的周期来更新输出信号的值，实现计时的功能。它使用了一个 always 块和一些条件语句来实现计数器的逻辑，根据清零信号和设定信号的状态，给输出信号赋予不同的值，同时考虑了秒、分、时的进位规则。

1. 这门实验课程的学习体验和建议

数字逻辑电路实验课程是一门实践性很强的课程，它可以帮助我们巩固和深化数字逻辑理论课程的知识，提高我们分析和设计数字电路的能力，培养我们发现问题、解决问题和创新问题的能力。在这门课程中，我学到了很多有用的知识和技能，也遇到了一些困难和挑战，下面我就具体说说我的学习体验和建议。

首先，我认为这门课程的教学内容和实验设计都很合理和科学，涵盖了数字逻辑的基本概念、基本原理、基本方法和基本应用，从简单的门电路、组合逻辑电路、时序逻辑电路到复杂的数字系统设计，从硬件实验、软件仿真到可编程逻辑器件，从基本功能、静态特性、动态特性到电路优化、故障排除、性能测试，每一个实验都有明确的目的、要求和步骤，每一个实验都有相应的理论知识、实验原理和实验方法，每一个实验都有丰富的实验内容、实验数据和实验结果，每一个实验都有完善的实验报告、实验总结和实验评价。这些都使得我们能够在实验中获得系统的、全面的、深入的和有效的学习。

其次，我认为这门课程的教学方式和教学资源都很先进和丰富，利用了多种教学手段和教学平台，提高了教学效果和教学质量，满足了不同学习者的不同学习需求，激发了学习者的学习兴趣和学习动力。例如，教师在实验前会给我们讲解实验的背景、目的、原理、方法和注意事项，让我们对实验有一个清晰的认识和准备；教师在实验中会给我们提供必要的指导和帮助，让我们能够顺利地完成实验的搭建、调试、测量和分析；教师在实验后会给我们提供及时的反馈和评价，让我们能够及时地发现和改正实验中的错误和不足。此外，教师还利用了网络教学平台，为我们提供了数字逻辑虚拟仿真实验[1](https://bing.com/search?q=%E6%95%B0%E5%AD%97%E9%80%BB%E8%BE%91%E7%94%B5%E8%B7%AF%E5%AE%9E%E9%AA%8C%E8%AF%BE%E7%A8%8B%E7%9A%84%E5%AD%A6%E4%B9%A0%E4%BD%93%E9%AA%8C%E5%92%8C%E5%BB%BA%E8%AE%AE" \t "https://www.bing.com/_blank)，让我们能够在不受时间和空间限制的情况下，进行数字电路的设计、仿真、验证和优化，提高了我们的实验效率和实验能力。

最后，我认为这门课程的教学效果和教学收获都很显著和有意义，不仅让我们掌握了数字逻辑电路的基本知识和基本技能，而且让我们培养了数字逻辑电路的基本素养和基本能力，为我们后续的专业课程的学习和数字电子技术的实际工作打下了坚实的基础。通过这门课程的学习，我感受到了数字逻辑电路的魅力和趣味，也感受到了数字逻辑电路的挑战和难度，我对数字逻辑电路的理解和应用有了更深的层次和更广的视野，我对数字逻辑电路的学习和研究有了更强的兴趣和更高的目标。

我对这门课程的建议是：希望能够增加一些数字逻辑电路的创新实验和设计项目，让我们能够发挥我们的创造力和想象力，提高我们的创新能力和实践能力。