数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

**6 时序逻辑电路设计**

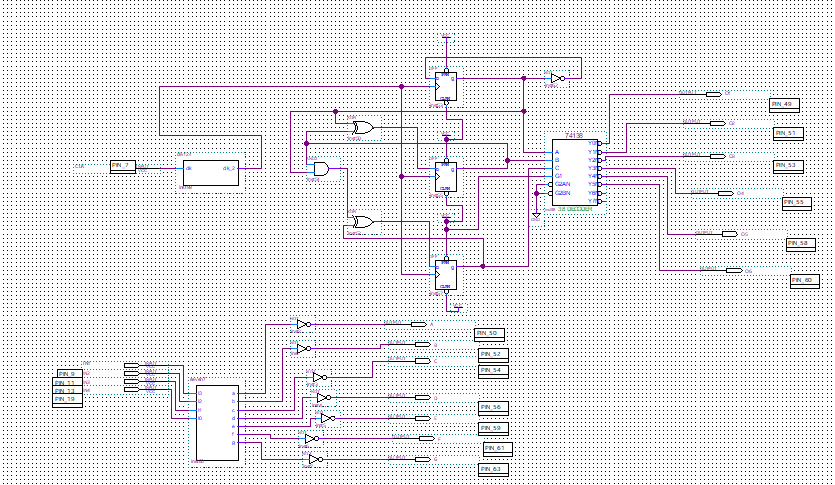
## 一 题目描述

选择题目：扫描式数码管驱动

题目要求描述：扫描式数码管是将多个数码管通过控制信号进行扫描显示的一种技术。在设计扫描式数码管时,主要需要解决的问题是:如何生成数码管位选信号,使不同数码管顺序亮灭从而实现扫描;如何为各个数码管提供要显示的数据,使其可以显示出不同的数字。

## 二 实验原理

原理图：



对题目的分析：

使用计数器和译码电路生成数码管的位选信号,数量与要驱动的数码管数量相匹配,频率适中。另外使用一个或多个计数器,它们的输出接到数码管的段选输入,以产生要显示的数据。有时可能还需要考虑添加分频电路,把时钟频率调整到合适的范围。通过位选信号和段选信号的配合,就可以使多个数码管采用扫描的方式显示数字了。

设计思路：

要实现一个扫描式数码管,主要需要完成两个部分:

(1)设计数码管的位选电路,使数码管能够顺序扫描亮灭。

(2)设计数码管的段选数据,为每个数码管动态提供要显示的数字。

设计方案

(1)位选电路

可以使用一个3-8译码器。给译码器输入顺序变化的地址信号,然后它的输出依次有序为低电平,从而选通不同的数码管。地址信号的变化频率要考虑人眼视觉暂留,不能太快。

(2)段选电路

第一步,给所有数码管赋同样的固定值,例如都显示0。

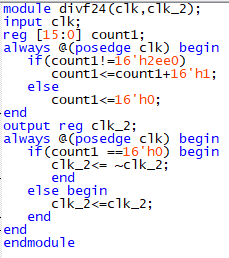
第二步,使用一个计数器,其输出接到所有数码管的段选输入,这样所有数码管会显示计数器的值。

第三步,给每个数码管各自设置段选数据,实现每个数码管显示不同值的功能。可以使用多个计数器,每个计数器输出接一个数码管。

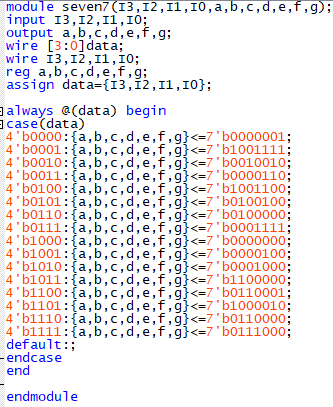
同时，考虑使用分频电路,把时钟频率降低,方便人眼观看。

## 三 实验过程、结果及分析

1. 所选题目的具体实现
2. 对时钟进行分频处理：

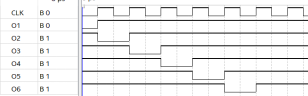


1. 七段数码管代码



将模块封装完成后，使用3-8译码器进行选通

1. 仿真结果图



3

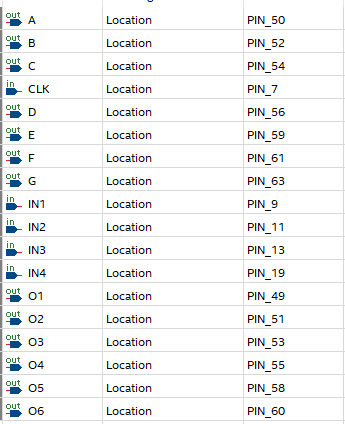
仿真结果分析：

6个位选信号输出是有序依次变化的,每一个上升沿计数值加1,对应的译码器输出变为低电平,完成了对数码管的顺序扫描控制。

段选电路输入4位二进制号码,对应地选择点亮数码管的a-g段。从仿真波形可以看出,某段信号为低电平时,该段会点亮。这符合设计的共阴极数码管的工作原理。

1. 管脚分配

管脚分配图

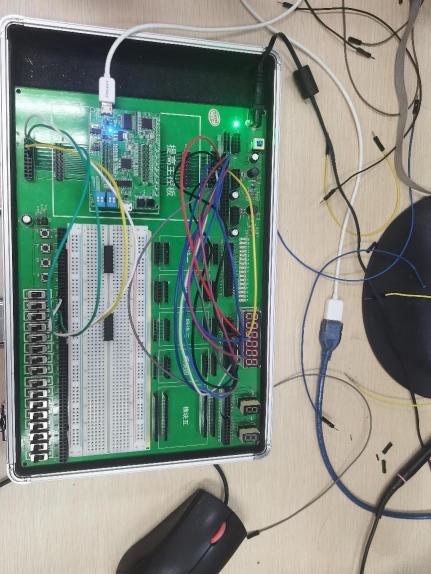


描述：

输出接口方面,文档将开发板上排的两组管脚与数码管连接,作为段选和位选信号的输出,共计13根线。其中7根接到数码管的a-g段,6根接到6个数码管的位选输入。

输入接口方面,文档将开发板下排的两组管脚与按钮连接,作为输入接口,共计4根线。这4根线可以通过按钮控制输入4位二进制值,以选择数码管要显示的数字。

1. 下载验证



## 四 思考与总结

1. 描述时序逻辑电路的设计方法
2. 确定电路的输入信号、输出信号、状态变量和存储单元。
3. 建立电路的状态转换图和状态转换表。
4. 化简电路的状态数。如果电路的状态数过多，可以采用一些化简方法，来减少电路的状态数，从而简化电路的设计。
5. 分配电路的状态。
6. 列出电路的激励方程和输出方程。可以用真值表或卡诺图的方法来列出电路的激励方程和输出方程。

F 画出电路的逻辑图。可以用常规的逻辑门或者集成的逻辑器件来画出电路的逻辑图。

1. 对本次实验的思考

通过这次的设计项目,让我对扫描式数码管的工作原理有了更深入的了解,也掌握了采用Verilog语言实现硬件系统的主要方法。开始规划设计时,我脑海里对各模块的连接和协作还是比较模糊的,在不断修改完善代码的过程中,逐渐理清了系统的框架。当看到仿真和线下验证都达到预期效果时,获得了很大的成就感。

这次实验的难点在于整个系统包含很多部分,如计数器、译码器、段选电路等,需要考虑各模块间的接口和相互配合。调试时也比较头痛,一个小问题就可能导致整体失效。这让我感受到大型项目设计的复杂性,也锻炼了我分析和排查问题的能力。

通过这次实践,我掌握了更多硬件设计的技能,提高了运用核心电路设计系统的能力。也让我认识到学习数字电路设计的知识非常有用,要加强理论知识的学习和应用能力的培养。这是一次非常有意义的学习经历。