数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

**实验3：组合逻辑电路(3)—— 组合逻辑电路设计**

## 一 实验内容

设计电路：多路选择器

题目要求描述：

1、有多位表决者（如5位），每位表决者可以选择支持或不支持，也可以弃权。

2、如果有超过一半的表决者赞成，则结果为通过（绿灯亮，红灯灭），否则结果为不通过（绿灯灭，红灯亮）。

## 二 实验原理

1. 功能要求：

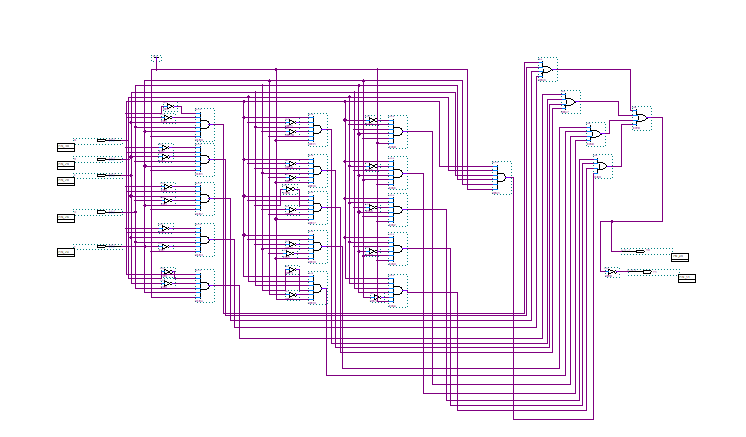
（1）有多位表决者（如5位），每位表决者可以选择支持或不支持，也可以弃权

（2）如果有超过一半的表决者赞成，则结果为通过（绿灯亮，红灯灭），否则结果为不通过（绿灯灭，红灯亮）

2.2 所选题目分析和设计实现思路

电路是一个五输入两输出的电路，根据五个开关的状态来决定两个输出Y0和Y1的电平。如果对于每一个输出，开关的状态为1，表示赞成，输出高电平；如果开关的状态为0，表示反对，输出低电平。如果赞成的开关数目大于或等于三个，那么Y0输出高电平，Y1输出低电平，表示表决通过；如果赞成的开关数目小于三个，那么Y0输出低电平，Y1输出高电平，表示表决不通过。

## 三 实验过程、结果及分析



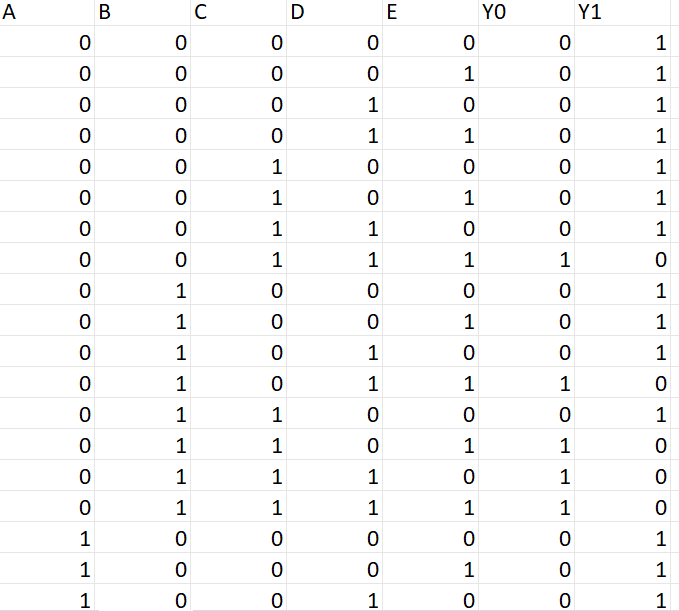
电路原理图

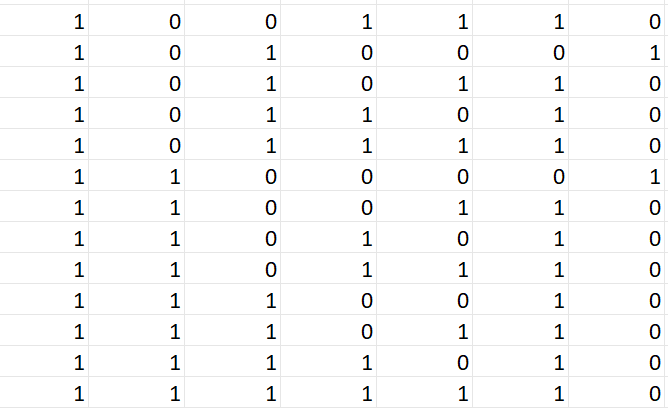
具体实现：

对于五位多路表决器电路，我们需要确定电路有五个输入端A,B,C,D,E和两个输出端Y0,Y1，输入端接收五个逻辑信号，输出端提供两个逻辑信号。

找出输入和输出之间的关系。对于五位多路表决器电路，我们可以用真值表来列出所有可能的输入和输出组合，然后用逻辑表达式或卡诺图来简化和优化输出信号的函数

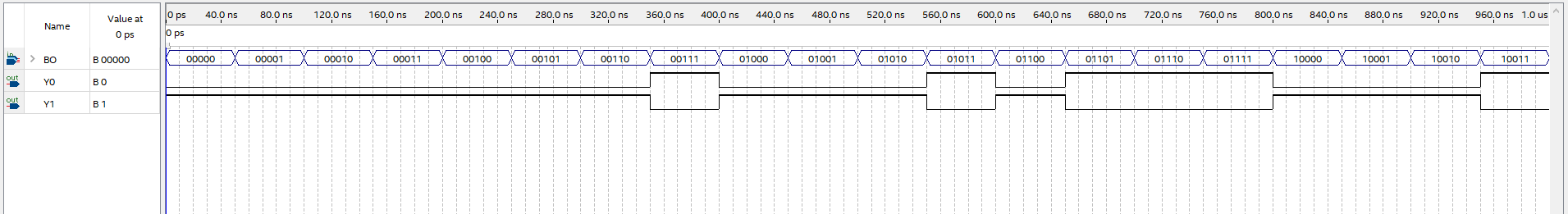
找到所有可能的情况。如下图所示：





利用逻辑表达式，对于五位多路表决器电路，我们可以用若干个与门和或门来构成电路，用来构造Y0和Y1的值。

其中Y0=A’B’CDE+A’BCDE+AB’CDE+ABC’DE+ABCDE+A’B’C’DE+A’BC’DE+AB’C’DE+A’B’CD’E+A’BCD’E+AB’CD’E+A’B’CDE’+A’BCDE’+AB’CDE’+ABC’DE’+ABCDE’。Y1=Y0’。

仿真结果图

仿真结果分析：

当五位输入中“1”的个数比“0”的个数多时，Y0=1,Y1=0;

当五位输入中“1”的个数比“0”的个数少时，Y0=0,Y1=1。

仿真结果符合五位多路选择器的设计要求。

## 四 思考题

1. 如何从需求中抽象出电路？

第一步：分析需求，确定输入和输出。这一步是要明确电路的功能和目的，以及电路需要接收和提供的信号。例如，对于五位多路表决器电路，我们需要确定电路有五个输入端和两个输出端，输入端接收五个逻辑信号，输出端提供两个逻辑信号。

第二步：建立数学模型，找出输入和输出之间的关系。这一步是要用数学语言来描述电路的行为，通常可以用真值表，逻辑表达式，卡诺图等工具来表示。例如，对于五位多路表决器电路，我们可以用真值表来列出所有可能的输入和输出组合，然后用逻辑表达式或卡诺图来简化和优化输出信号的函数。

第三步：选择合适的电子元件，搭建电路。这一步是要根据数学模型，选择能够实现相应逻辑功能的电子元件，如开关，门电路，触发器等，然后按照逻辑连接方式，将这些元件组合成电路。例如，对于五位多路表决器电路，我们可以用若干个与门和或门来构成电路。

2、是否可以扩展为更多路的表决器？如果可以，以7位表决器为例，在现有的方案下，如何扩展？

可以设计更多路的表决器。更多路的表决器可以用多个五位表决器搭建而成。

对于7位多路表决器，可以使用两个五位多路表决器电路和一个三位多路表决器电路搭建而成。将七个输入信号分为两组，一组五个，一组两个。将每组的输出信号作为三位多路表决器电路的输入信号。这样，三位多路表决器电路的输出信号就是七位多路表决器电路的输出信号。

## 五 实验总结

1. 实验目的：设计一个多路选择器电路，实现多位表决者的投票功能。
2. 实验方法：利用真值表和卡诺图，简化和优化输出信号的逻辑函数，然后用基本逻辑门组合实现电路。
3. 实验结果：电路能够根据五个开关的状态，正确地输出表决结果。如果赞成的开关数目大于或等于三个，绿灯亮，红灯灭，表示表决通过；如果赞成的开关数目小于三个，绿灯灭，红灯亮，表示表决不通过。
4. 实验感悟：通过这次实验，我学习了组合逻辑电路的设计方法和步骤，掌握了真值表和卡诺图的使用，提高了逻辑思维和电路分析的能力。我也体会到了实验的乐趣和挑战，发现了自己的不足和问题，希望在以后的学习中继续努力和进步。