数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

# 实验4：时序逻辑电路(1)—双稳态元件功能测试

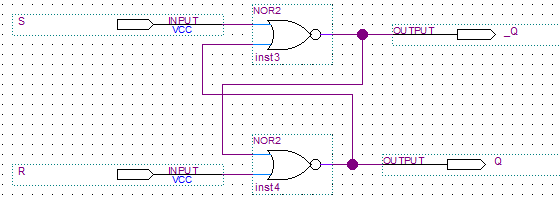
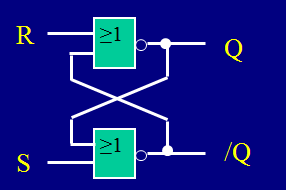
## 一 实验内容

* 1. 在Quartus 18.1中完成双稳态元件功能测试

1. /S-/R锁存器功能测试
2. S-R锁存器功能测试
3. D触发器功能测试
4. J-K触发器功能测试
5. T触发器功能测试
   1. /S-/R锁存器的测试与验证
   2. D触发器的测试与验证
   3. 使用D触发器实现/S-/R锁存器并验证

## 二 实验原理

1. /S-/R锁存器、S-R锁存器、D触发器、J-K触发器



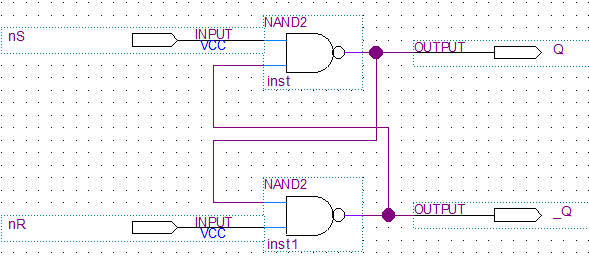
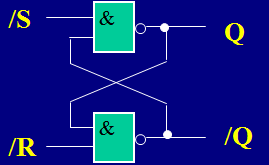
/S-/R锁存器是由两个与非门构成的电路，它有两个输入端S和R，分别表示置位和复位，以及两个输出端Q和Q’，分别表示输出和反输出。

当S和R都为0时，锁存器保持原来的状态，不受输入的影响，这是锁存器的存储功能。

当S为1，R为0时，锁存器的输出Q为1，Q’为0，这是锁存器的置位功能。

当S为0，R为1时，锁存器的输出Q为0，Q’为1，这是锁存器的复位功能。

当S和R都为1时，锁存器的输出不确定，这是锁存器的不允许状态，应该避免出现。



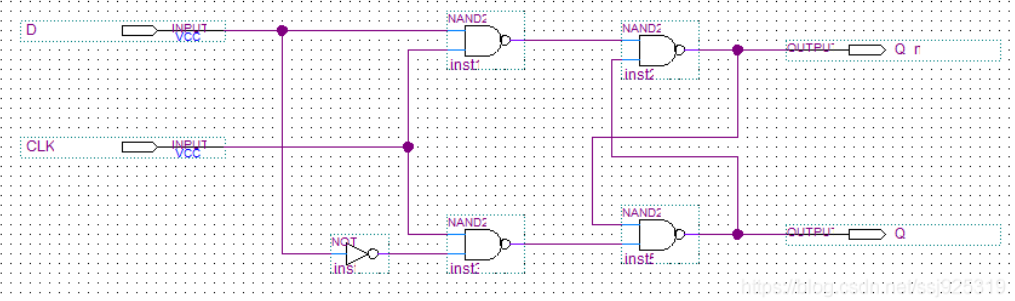
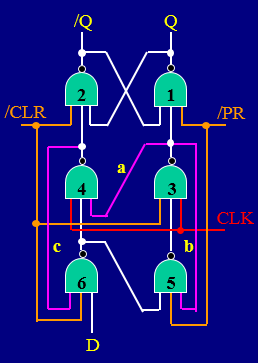
R锁存器是由两个或非门构成的电路，它与S-/R锁存器的区别是，输入端和输出端的逻辑电平相反.

当S和R都为0时，锁存器保持原来的状态，不受输入的影响，这是锁存器的存储功能。

当S为1，R为0时，锁存器的输出Q为1，Q’为0，这是锁存器的置位功能。

当S为0，R为1时，锁存器的输出Q为0，Q’为1，这是锁存器的复位功能。

当S和R都为1时，锁存器的输出Q和Q’都为0，这是锁存器的清零状态，但是这样会导致锁存器的输出失去反相关系，因此也应该避免出现。

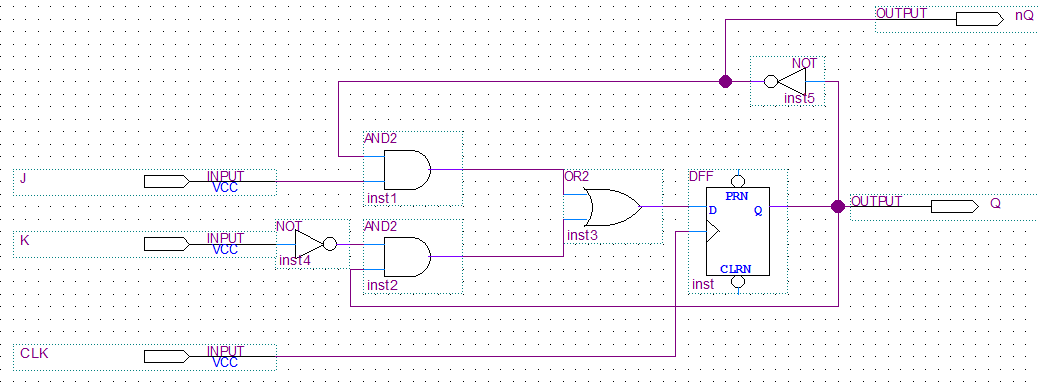
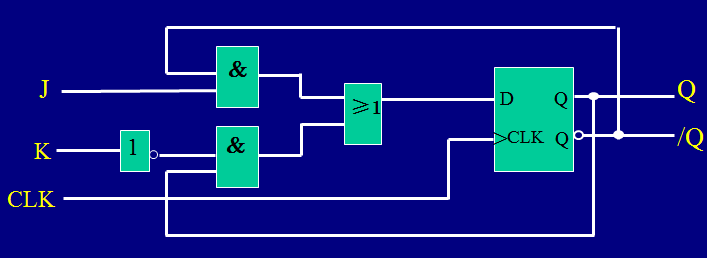


D触发器是由一个D锁存器和一个时钟信号构成的电路，它有一个数据输入端D，一个时钟输入端C，以及两个输出端Q和Q’。

当时钟信号C的上升沿到来时，触发器的输出Q和Q’与输入D的逻辑电平相同，这是触发器的传输功能。

当时钟信号C的其他状态时，触发器的输出Q和Q’保持原来的状态，不受输入的影响，这是触发器的存储功能。

D触发器可以避免S-R锁存器的不允许状态，因为它只有一个数据输入端，不会出现S和R同时为1的情况。



J-K触发器是由一个J-K锁存器和一个时钟信号构成的电路，它有两个输入端J和K，分别表示置位和复位，一个时钟输入端C，以及两个输出端Q和Q’。

当时钟信号C的上升沿到来时，触发器的输出Q和Q’根据输入J和K的逻辑电平变化，这是触发器的传输功能。

当J为0，K为0时，触发器的输出Q和Q’保持原来的状态，这是触发器的存储功能。

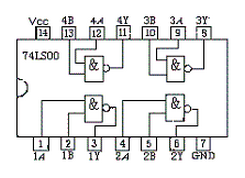
当J为0，K为1时，触发器的输出Q为0，Q’为1，这是触发器的复位功能。

当J为1，K为0时，触发器的输出Q为1，Q’为0，这是触发器的置位功能。

当J为1，K为1时，触发器的输出Q和Q’互换，这是触发器的翻转功能。

当时钟信号C的其他状态时，触发器的输出Q和Q’保持原来的状态，不受输入的影响，这是触发器的存储功能。

1. 7400芯片的结构及管脚图



引脚1和引脚2是第一个与非门的输入端，分别用A1和B1表示。这两个引脚可以接收高电平或低电平的信号，用来控制与非门的输出状态。

引脚3是第一个与非门的输出端，用Y1表示。这个引脚可以输出高电平或低电平的信号，用来表示与非门的逻辑结果。

引脚7是芯片的接地端，用GND表示。这个引脚需要接地线。

引脚4和引脚5是第二个与非门的输入端，分别用A2和B2表示。这两个引脚的功能与第一个与非门的输入端相同。

引脚6是第二个与非门的输出端，用Y2表示。这个引脚的功能与第一个与非门的输出端相同。

引脚10和引脚9是第三个与非门的输入端，分别用A3和B3表示。这两个引脚的功能与第一个与非门的输入端相同。

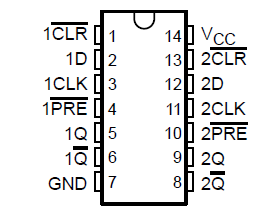
引脚8是第三个与非门的输出端，用Y3表示。这个引脚的功能与第一个与非门的输出端相同。

引脚13和引脚12是第四个与非门的输入端，分别用A4和B4表示。这两个引脚的功能与第一个与非门的输入端相同。

引脚11是第四个与非门的输出端，用Y4表示。这个引脚的功能与第一个与非门的输出端相同。

引脚14是芯片的电源端，用VCC表示。这个引脚需要接正电源，用来提供芯片的工作电压。

1. 7474芯片的结构及管脚图



引脚2和引脚12是第一个D触发器的数据输入端，分别用1D和2D表示。这两个引脚可以接收高电平或低电平的信号，用来控制触发器的输出状态。

引脚3和引脚11是第一个D触发器的时钟输入端，分别用1CLK和2CLK表示。这两个引脚可以接收上升沿或下降沿的信号，用来触发触发器的状态转换。

引脚5和引脚6是第一个D触发器的输出端，分别用1Q和1Q’表示。这两个引脚可以输出高电平或低电平的信号，用来表示触发器的当前状态。

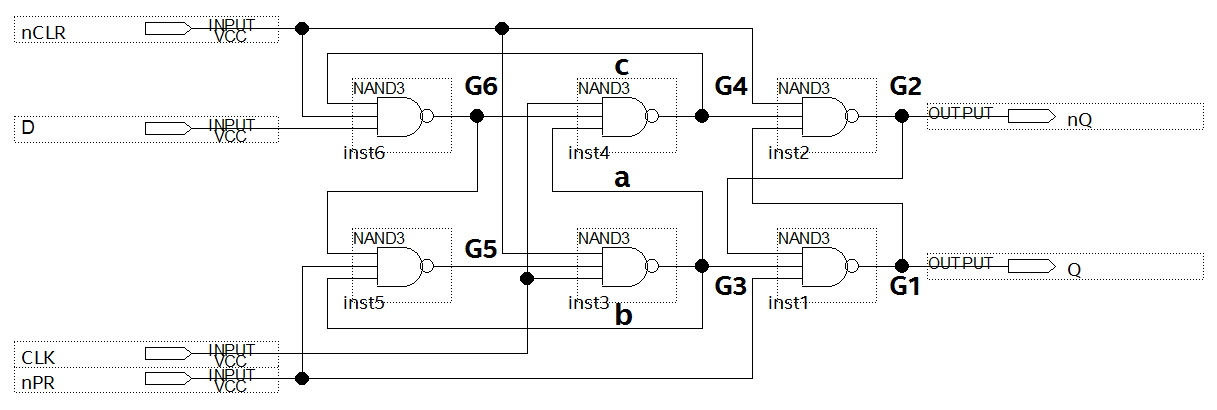
引脚9和引脚8是第二个D触发器的输出端，分别用2Q和2Q’表示。这两个引脚可以输出高电平或低电平的信号，用来表示触发器的当前状态。

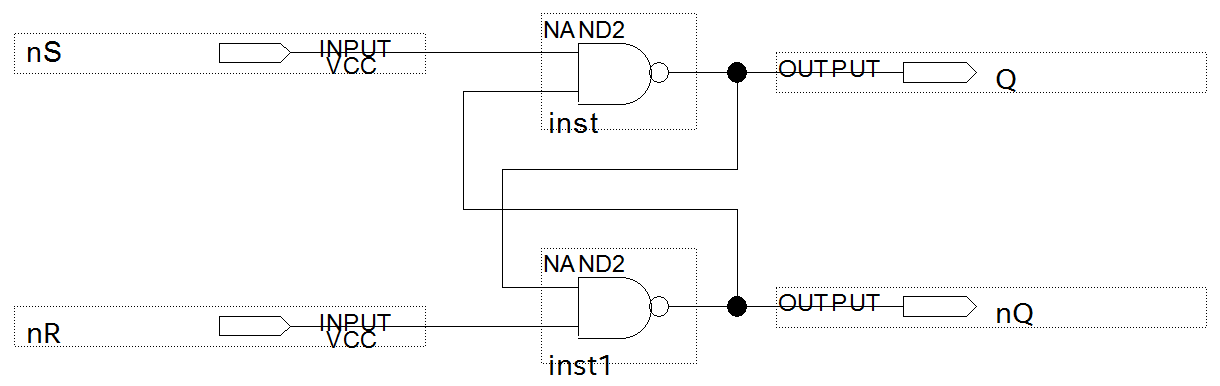
引脚1和引脚13是第一个D触发器的复位端，分别用1CLR’和2CLR’表示。这两个引脚可以接收低电平有效的信号，用来强制触发器的输出为低电平，即清零状态。

引脚4和引脚10是第一个D触发器的置位端，分别用1PRE’和2PRE’表示。这两个引脚可以接收低电平有效的信号.

引脚14是芯片的电源端VCC, 引脚7是芯片的接地端GND。这两个引脚分别接正电源和地线，用来给芯片提供工作电压。

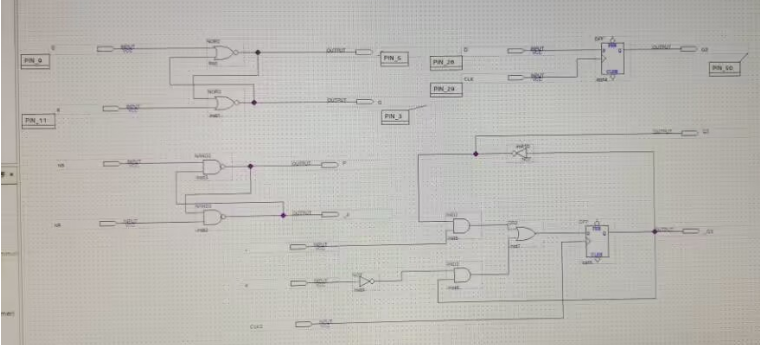
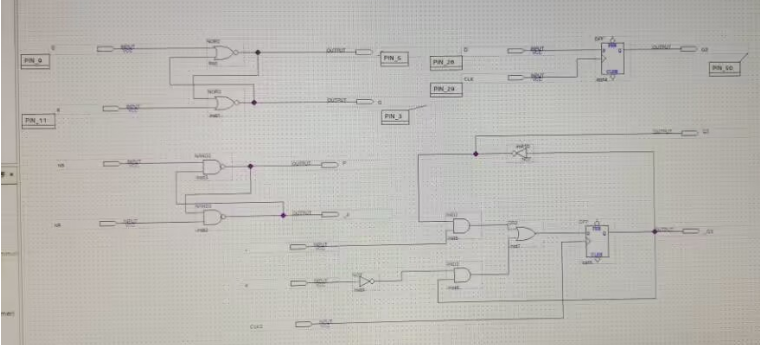
1. 使用D触发器实现/S-/R锁存器电路



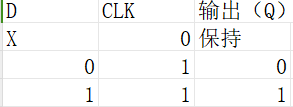
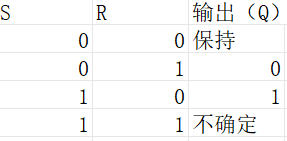


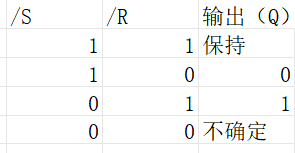
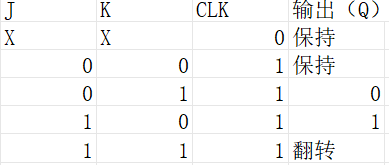
## 三 实验过程、结果及分析

1. 实验内容1“双稳态元件功能测试”的bdf图、仿真结果图以及得出的真值表



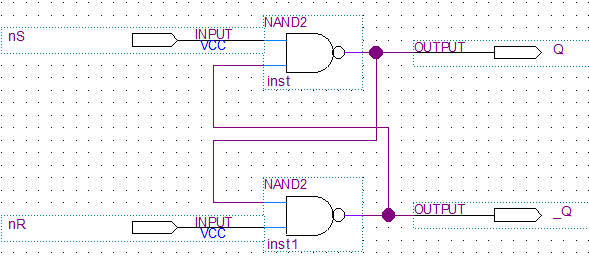
真值表：



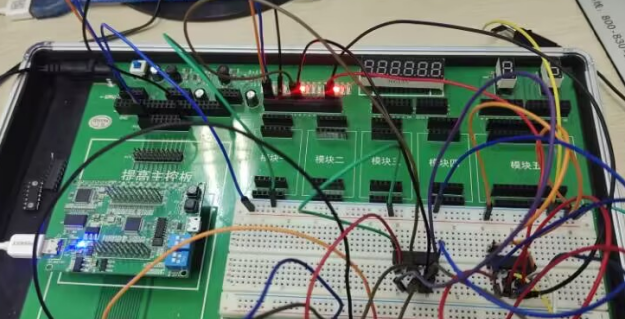


1. 实验内容2“/S-/R锁存器的测试与验证”的原理图、连线图、测试结果描述

原理图：



连线图：



测试结果描述：

当S和R都为0时，电路输出Q和Q’保持原来的状态，不受输入的影响，这是锁存器的存储功能。

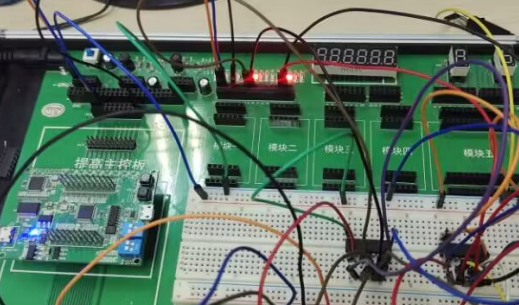
当S为1，R为0时，电路输出Q为1，Q’应该为0，这是锁存器的置位功能。

当S为0，R为1时，电路输出Q为0，Q’应该为1，这是锁存器的复位功能。

当S和R都为1时，电路输出Q和Q’不确定，这是锁存器的不允许状态，应该避免出现。

1. 实验内容3“D触发器的测试与验证”的连线图、测试结果描述、实测的延时时间

连线图：



测试结果描述：

当时钟信号C的上升沿到来时，电路输出Q和Q’与输入D的逻辑电平相同，这是锁存器的传输功能。

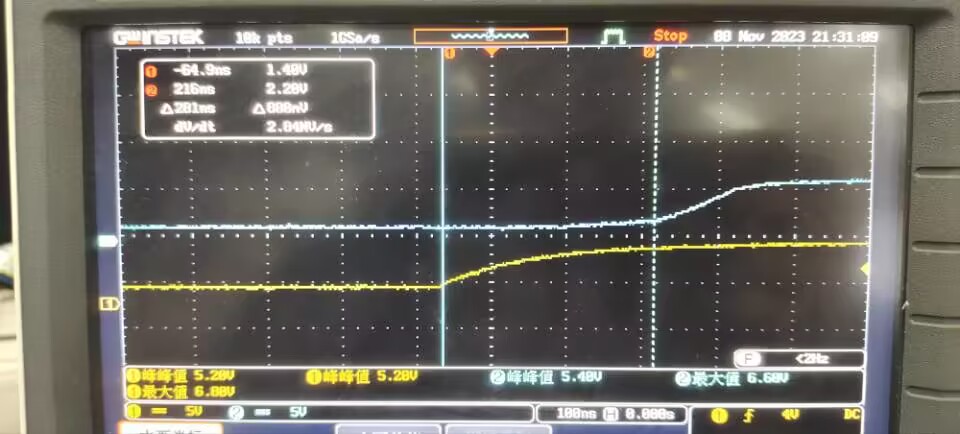
当时钟信号C的其他状态时，电路输出Q和Q’保持原来的状态，不受输入的影响，这是锁存器的存储功能.

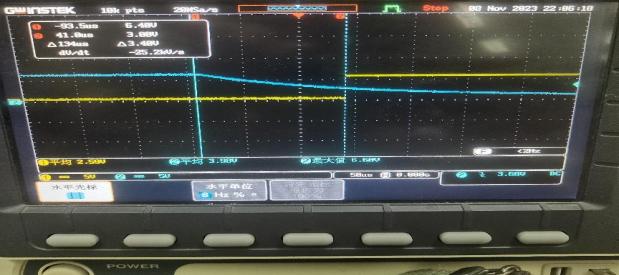
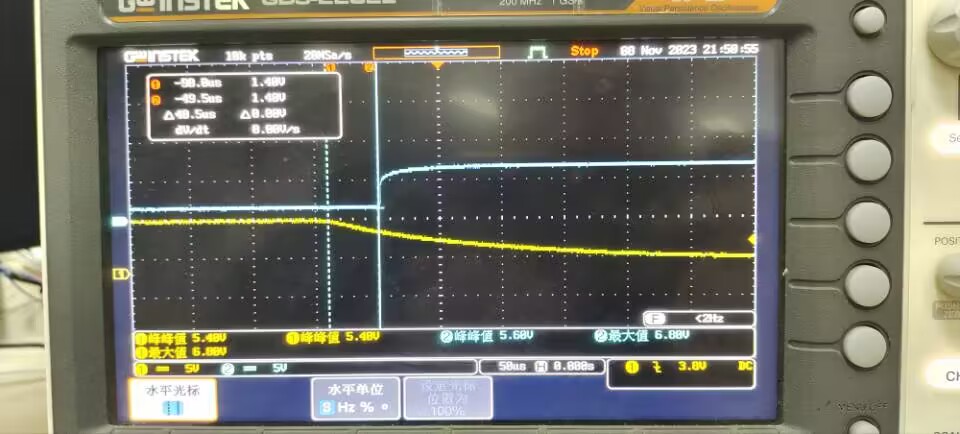
并回答以下问题：

1. 从时钟上升沿到Q输出经过多长时间？281ns
2. 从时钟上升沿到/Q输出经过多长时间？249ns
3. 从/CLR有效到Q输出0经过多长时间？，到/Q输出1经过多长时间？48us 134us
4. 有没有什么办法能验证一下不满足建立保持时间会怎样？

设置时钟信号发生器的频率为一个较高的值，设置数据信号发生器的频率为一个较低的值，比如1MHz，使得数据信号的周期大于时钟信号的周期。

在示波器上观察数据信号和输出信号的波形，调整数据信号的相位，使得数据信号的跳变点和时钟信号的上升沿或者下降沿非常接近，这样就可以减小建立时间和保持时间。当建立时间和保持时间小于触发器的要求时，会发现输出信号的波形出现异常，比如抖动，跳变，或者不稳定，这就是不满足建立保持时间的后果。可以继续改变时钟信号和数据信号的频率和相位，看输出信号的波形会有什么变化.





1. 实验内容4“使用D触发器完成/S-/R锁存器的测试与验证”的连线图、测试结果描述、实测的延时时间

连线图：



测试结果描述：

由实验结果可得，将clk接地后，D触发可以作为/S-/R锁存器。

实测延时时间：134ns

并回答以下问题：

1. /S-/R锁存器模型进入约束条件后，还能返回正常状态吗？

/S-/R锁存器模型是一种由两个或非门或者与非门组成的静态存储单元，它有两个输入端S和R，分别用于设置或复位输出Q。当S和R同时为1时，/S-/R锁存器模型会进入约束条件，即Q和Q’都为0，这是一个不合法的状态，因为Q和Q’应该是相反的。如果/S-/R锁存器模型进入约束条件后，S和R同时回到0，不一定能返回正常状态,，因为这时候/S-/R锁存器模型会进入亚稳态，即Q和Q’的值不确定，可能是0或1，需要经过一个恢复时间才能稳定，但稳定后的值并不一定是之前的值。这样就会造成数据的错误或者时序的混乱，影响电路的正常工作。因此，为了避免这种情况，/S-/R锁存器模型在正常工作时应该遵守S+R≠1的约束条件，即不允许S和R同时为1的信号。

1. /S-/R锁存器模型进入约束条件后，能动手操作出一个让/S-/R锁存器无法返回正常状态的方法吗？

/S-/R锁存器模型进入约束条件后，要想让它无法返回正常状态的方法是，让S和R的信号不断地在0和1之间变化，这样就会使/S-/R锁存器模型一直处于亚稳态，即Q和Q’的值不断地在0和1之间变化，无法稳定在一个确定的状态。

## 四 思考题

1. 实验内容1 “双稳态元件功能测试” 中，如何设置仿真波形的激励条件才能使波形仿真完备？

通过绘制次态真值表，建立时序逻辑电路的特点，将所有合法情况遍历完全。

1. 组合逻辑和时序逻辑中输入对输出的影响有什么差别？

A.组合逻辑的输出只取决于当前的输入，与时钟无关；时序逻辑的输出不仅取决于当前的输入，还取决于电路的原来状态，或者说，还与以前的输入有关。

B.组合逻辑的输出是即刻反映变化的，而时序逻辑的输出是在时钟的上升沿或下降沿发生变化的。

C. 组合逻辑的电路功能上无记忆，而时序逻辑的电路功能上有记忆。

1. 锁存器为什么能锁存数据？时序元件和组合逻辑元件的本质区别是什么？

锁存器能锁存数据的原因是它的电路结构中有反馈回路，使得输出能够保持在某个状态，直到输入或使能信号发生变化。时序元件和组合逻辑元件的本质区别是时序元件具有记忆功能，而组合逻辑元件没有。时序元件的输出不仅取决于当前的输入，还取决于电路的历史状态，因此需要时钟信号来同步状态的变化。组合逻辑元件的输出只取决于当前的输入，与时钟信号无关，因此没有记忆功能。

1. D触发器中，建立时间和保持时间的本质是什么？不满足建立保持时间会导致怎样的结果？

D触发器中，建立时间和保持时间的本质是数据输入端信号在时钟有效沿前后必须保持稳定的时间，以确保触发器能正确锁存数据。建立时间是指在时钟有效沿之前，数据输入端信号必须保持稳定的最短时间；保持时间是指在时钟有效沿之后，数据输入端信号必须保持稳定的最短时间[。不满足建立保持时间会导致触发器进入亚稳态，即触发器的输出不稳定，在0和1之间变化，需要经过一个恢复时间，其输出才能稳定，但稳定后的值并不一定是输入值](https://blog.csdn.net/dxz44444/article/details/104554391" \t "https://www.bing.com/_blank)。这样就会造成数据的错误或者时序的混乱，影响电路的正常工作。

1. 思考/S-/R锁存器与D触发器的关系，/S-/R锁存器如何转变为D触发器？D触发器又如何实现/S-/R锁存器？

D锁存器可以由两个/S-/R锁存器构成，驱动时钟的相位相反，前面的/S-/R锁存器称为主锁存器，后面的/S-/R锁存器称为从锁存器，因此D锁存器也可以称为主从触发器。

/S-/R锁存器转变为D触发器：在/S-/R锁存器的输入端加上两个与门和一个非门，使得S和R输入端的信号互补，从而避免了禁止状态，同时引入一个时钟信号，使得只有在时钟信号为高电平时，输入信号才能通过到/S-/R锁存器，从而实现了边沿敏感的功能。

D触发器转变为/S-/R锁存器：将D触发器的时钟信号接高电平，然后将D触发器的D输入端接高电平，使得Q输出端一直为高电平，从而实现了置位功能，再将D触发器的复位端接到/S-/R锁存器的R输入端，使得当复位端为低电平时，Q输出端变为低电平，从而实现了复位功能。

## 五 实验总结

本次实验使用Quartus仿真验证双稳态触发器(/S-/R锁存器、S-R锁存器、D触发器、J-K触发器、T触发器)的功能。通过连线实际验证/S-/R锁存器和D触发器的工作特性，使用D触发器实现/S-/R锁存器,验证其等价关系。

通过本次实验，我掌握双稳态触发器的工作原理,验证了其在不同输入组合下的输出状态，了解D触发器的时序特性,如建立时间、保持时间等的重要性，学习使用简单的触发器组合来实现不同的触发器功能。

通过本次实验,我对基本时序逻辑电路有了更深入的认识,初步掌握了数字时序电路的设计方法。这对我后续学习更复杂的时序逻辑电路设计非常有帮助。我会继续努力,在老师的指导下,提高数字电路设计的能力。