数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

**实验5：时序逻辑电路(2)—计数器的设计与应用**

## 一 实验内容

* 1. Verilog语言初步
  2. 计数器设计
  3. 7段数码管显示设计

## 二 实验原理

1. Verilog 语法基础
2. 模块定义:使用module关键字定义模块,后接模块名、端口定义、内部实现逻辑。使用endmodule结束模块定义。
3. 端口定义:在模块名后面的括号中定义输入端口(input)、输出端口(output)和双向端口(inout)。
4. 内部信号定义:在模块内部可以定义寄存器(reg)、线网(wire)等内部信号.
5. 连续赋值:使用assign完成组合逻辑赋值,通常用于为线网信号进行驱动。
6. 过程块:使用initial和always来定义时序逻辑。initial只运行一次,always可循环执行。
7. 过程赋值:在initial/always块内对寄存器进行赋值。
8. 时序控制:使用@、posedge、negedge等关键字控制语句执行时序。
9. 条件判断:if-else语句和case语句完成条件判断。
10. 循环语句:for、while、repeat等实现代码循环。
11. 拟设计的计数器原理

一个四位的计数器,用双稳态元件构建。每一位计数器都连接一个双稳态元件,所以共有4个双稳态元件。每个双稳态元件的时钟端都共享一个时钟输入。第一个双稳态元件的数据端(D端)直接接高电平。从第二个双稳态元件开始,每个的数据端都连接到前一位元件的Q输出。

通过这样的连接,在时钟边沿的触发下,计数器会进行0-15的计数循环。前一位计数器溢出(计数到1),会引起下一位的计数器加1。这样,4个触发器就可以组成一个 modulo 16 的计数器。

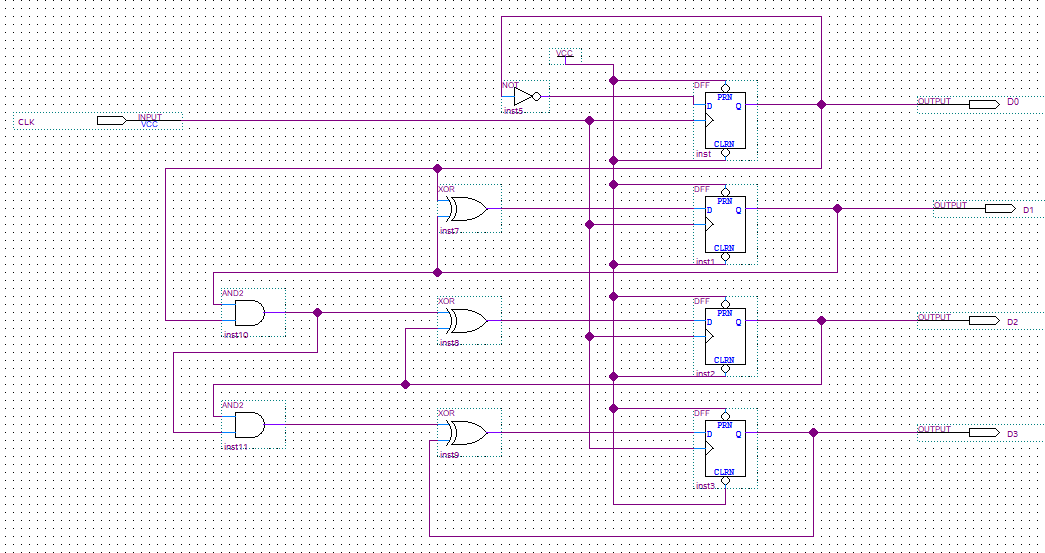
通过给计数器不同的输入信号,可以实现计数器的清零、置位等功能。

1. 7段数码管的显示原理

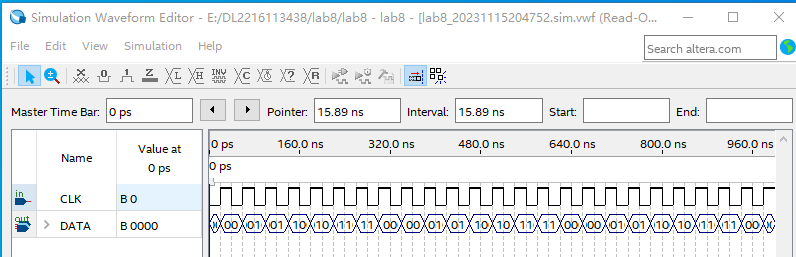
7段数码管由a,b,c,d,e,f,g,dp这8段发光二极管组成。根据这8段的不同亮灭组合,可以显示数字0-9和字母A-F。7段数码管有共阳极和共阴极两种类型。共阳极数码管是8段发光二极管的阳极端都连接在一起,阴极端可以分别控制。 控制信号为0时,对应的段点亮。共阴极数码管是8段发光二极管的阴极端连接在一起,阳极端可以分别控制。控制信号为1时,对应的段点亮。通过输入4位二进制号,可以对应控制8段的亮灭。Verilog代码中使用case语句根据输入编码控制8段的亮灭。

## 三 实验过程、结果及分析

1. 计数器设计

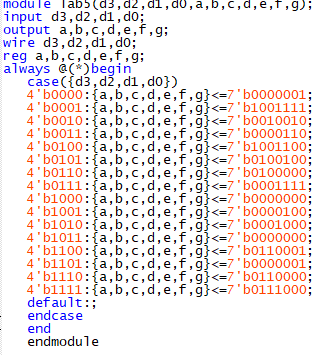


原理图

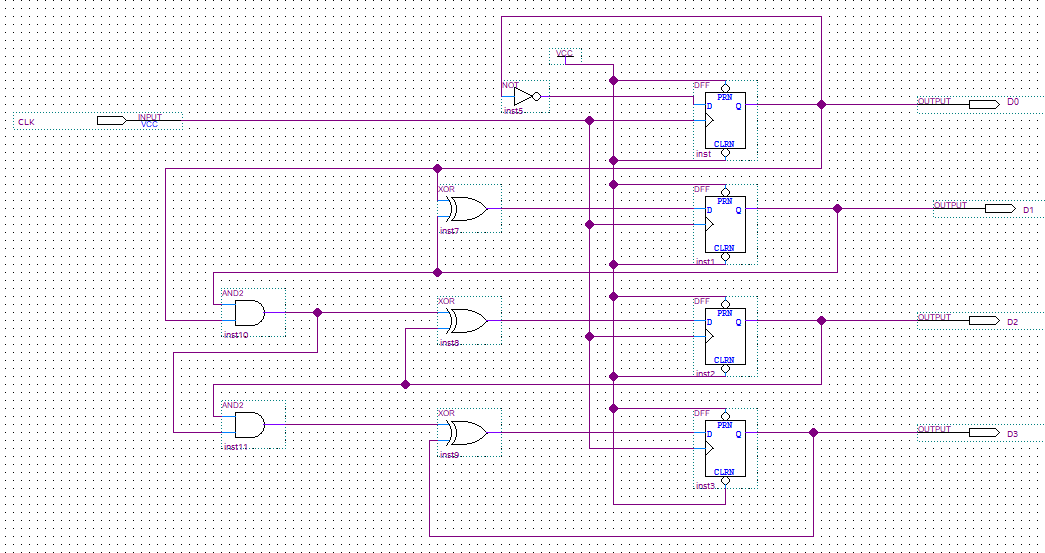


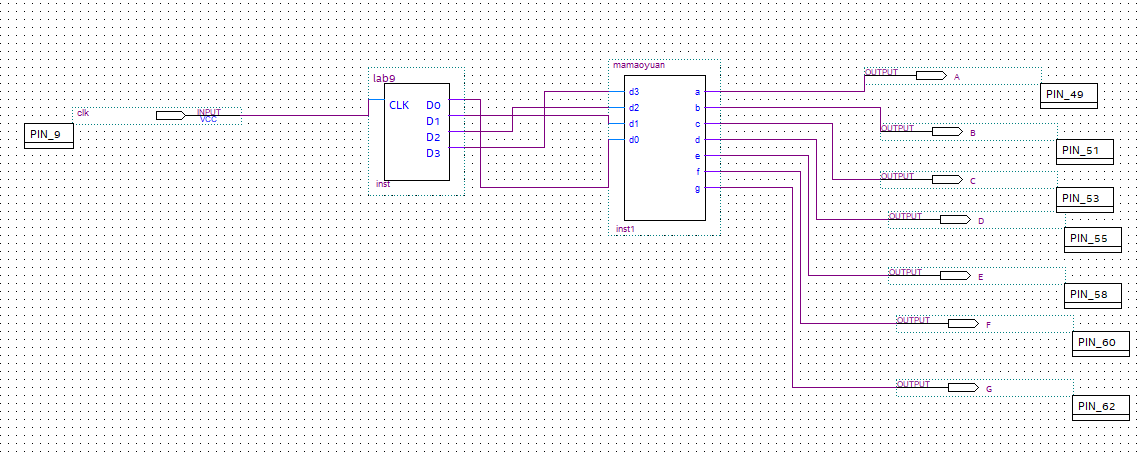
仿真结果

1. 7段数码管设计

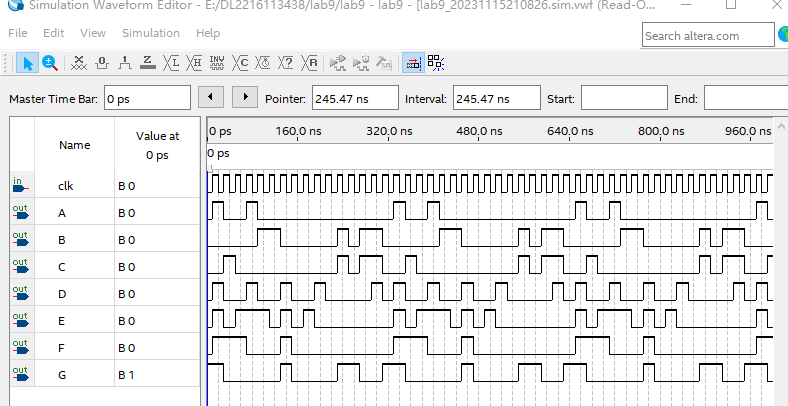


Verilog代码



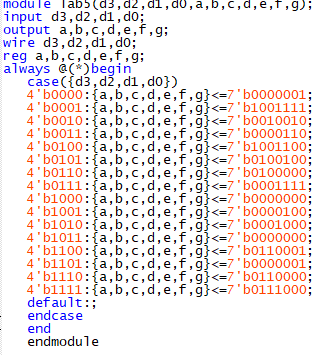


原理图

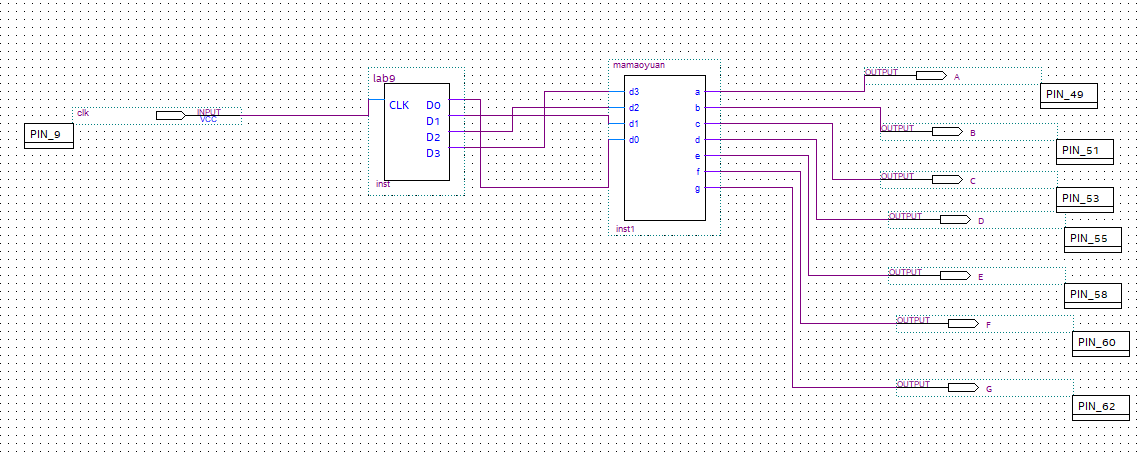


仿真结果

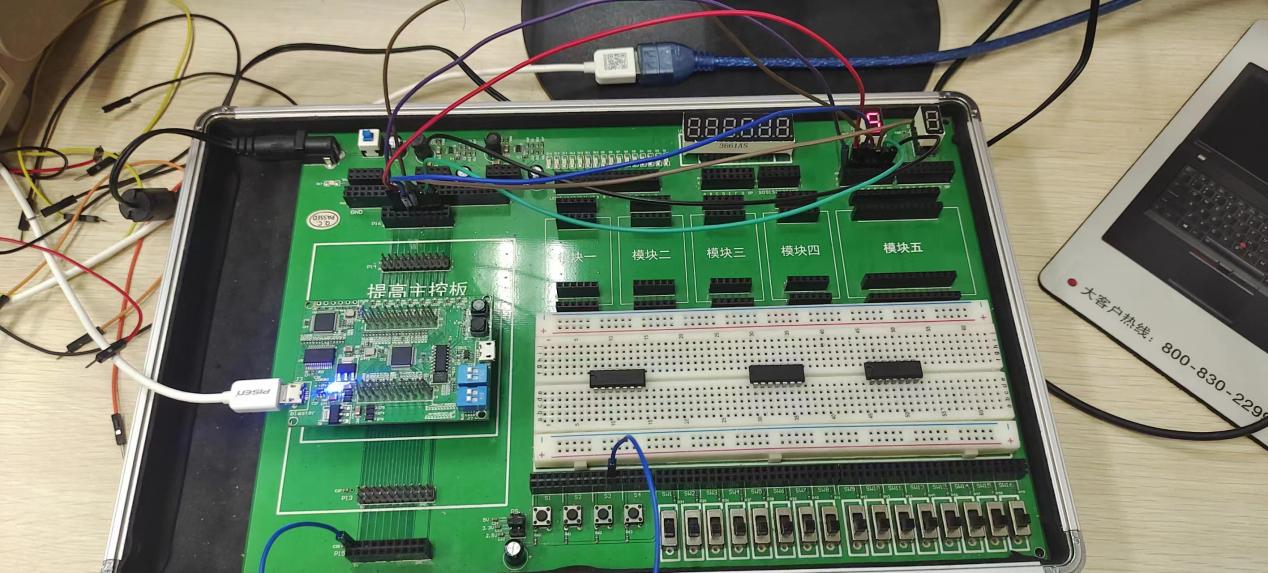
1. 接有7段数码管的计数器



代码

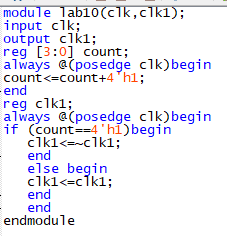


原理图

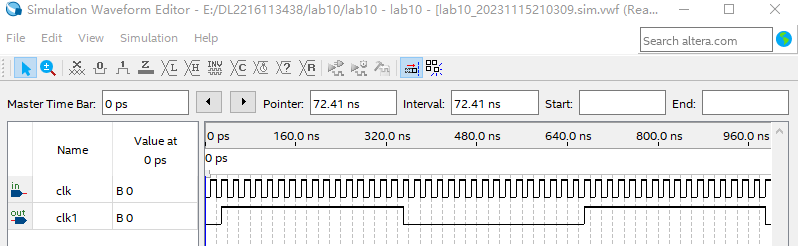


下载验证情况

1. 分频器设计



Verilog代码



仿真结果

* 代码分析：

代码的第一行是定义一个名为lab10的模块，它有三个端口：Clk, Clk1,。Clk是输入端口，Clk1是输出端口。

代码的第二行是声明一个名为Clk的输入信号，它是一个时钟信号。

代码的第三行是声明一个名为Clk1的输出信号，它是一个时钟信号。

代码的第四行是声明一个4位的寄存器变量count，用于存储一个计数值。

代码的第五行到第八行是一个always块，它在Clk的上升沿触发，每次将count的值加1。

代码的第九行到第十六行是另一个always块，它在Clk的上升沿触发，每次判断count的值是否等于1，如果是，则将Clk1的值取反，如果不是，则保持Clk1的值不变。

代码的最后一行是结束模块的语句。

这个模块的功能是用count变量来分频Clk信号，并将分频后的信号输出到Clk1端口。当count的值为1时，Clk1的值变为Clk的反值，当count的值为2时，Clk1的值保持不变，当count的值为3时，Clk1的值再次变为Clk的反值，以此类推。这样，Clk1的频率就是Clk的频率除以4。

## 四 思考题

1. 实验内容3“计数器设计”中所设计的四位计数器是加1计数还是减1计数？如果是加1（减1）计数器，思考减1（加1）计数器如何实现？

是加1计数。

将每个D触发器的时钟输入端CP都连接到同一个时钟信号，这样就构成了同步计数器的结构。将每个D触发器的输出端Q都连接到下一级的数据输入端D，除了最低位的D触发器，它的数据输入端D需要连接到一个反相器的输出端，而反相器的输入端需要连接到一个使能信号EN。将每个D触发器的清零输入端都连接到一个复位信号R，用于将计数器的状态清零。

1. 实验内容3“计数器设计”中所设计的四位计数器是同步计数器还是异步计数器？思考同步计数器和异步计数器的区别？

是同步计数器。

同步计数器是指所有的触发器都由同一个时钟信号控制，而异步计数器是指只有第一个触发器由时钟信号控制，其他的触发器由前一级的输出信号作为时钟信号。同步计数器的优点是工作速度快，计数精确，不会产生纹波效应和传播延迟。缺点是电路复杂，需要更多的逻辑门和线路，以及更大的负载能力。异步计数器的优点是电路简单，只需要少量的触发器和线路，以及较小的负载能力。缺点是工作速度慢，计数不精确，容易产生纹波效应和传播延迟。

1. 实验内容3“计数器设计”中所设计的四位计数器所用的双稳态元件是什么？如果用其他触发器替换，电路图又该如何设计？

D触发器。

使用JK触发器的方法：

每个JK触发器的输入端都接高电平1，每当时钟信号的上升沿到来时，每个JK触发器的输出端Q都会翻转一次，这样，四个JK触发器的输出端Q3，Q2，Q1，Q0就可以表示一个四位的二进制数，从0000到1111，共16种状态。每来一个时钟信号，计数器就会加1，当计数器达到最大值1111时，再来一个时钟信号，计数器就会回到最小值0000，形成一个循环计数。

## 五 实验总结

本次数字逻辑电路实验的主要内容是学习Verilog语言的基本语法,并使用Verilog语言实现一个四位计数器和七段数码管的显示电路。通过这次实验,我对Verilog语言有了更深入的了解,并掌握了使用Verilog语言描述数字电路的方法。

在Verilog语言部分,我学会了模块的定义方法,端口声明,以及使用initial和always构建时序逻辑。assign语句可以描述组合逻辑,if-else语句和case语句可以实现条件判断。这为后续的计数器和数码管代码的编写奠定了基础。

在计数器设计部分,我绘制了计数器的原理图,使用D触发器构建了一个四位的同步计数器。通过仿真验证了计数器的正确性。这让我对触发器计数器的工作原理有了深刻理解。

在数码管接口部分,我根据七段数码管的点亮规则,编写了case语句,实现了二进制到七段数码管编码的转换。

通过本次实验,我对数字电路设计流程有了全面的了解,包括原理图绘制、Verilog编写、仿真验证以及下载测试验证。这使我掌握了数字电路学习的基本方法,为后续课程打下了良好的基础。虽然在调试过程中也遇到了一些问题,但通过自己的思考和老师的指导,都得以解决。这增强了我分析和解决问题的能力。