数字逻辑电路实验 实验报告

学号：2216113438

班级：自动化2104

姓名：马茂原

**实验2 组合逻辑电路（2）——译码器电路设计**

## 一 实验内容

* 1. Quartus Prime基本使用
  2. 74LS138功能测试
  3. 使用Quartus Prime18.1设计3-8译码器
  4. 用译码器实现全加器

## 二 实验原理

* 1. Quartus Prime设计流程

A.创建工程

B.添加设计输入

C.编译

D.仿真

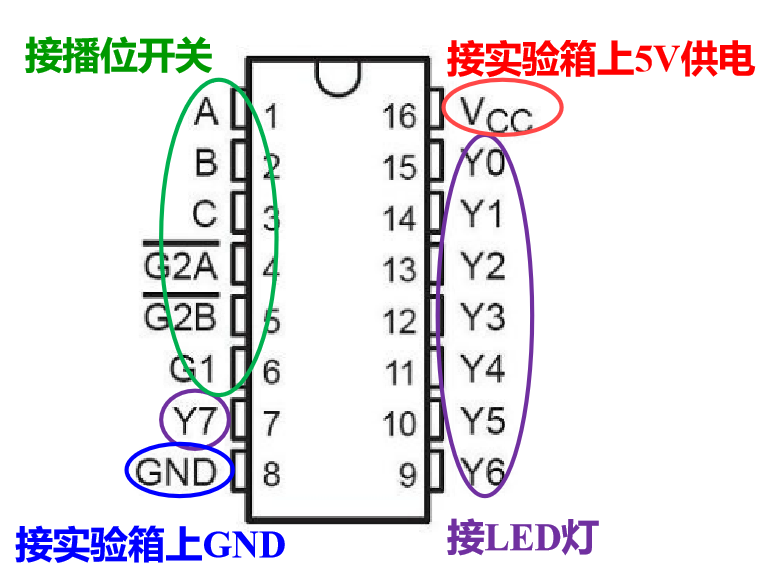
E.分配管脚并重新编译

F.时序分析

G.下载验证



* 1. 74LS138的芯片结构、管脚分布



1.电源接口和电源开关

2. 5V电源插孔

3. 3.3V电源插孔

4. 2.5V电源插孔

5. GND信号插孔

6. LED灯及其信号插孔

7. 6位共阴极7段数码管

8. 两位共阳极7段数码管

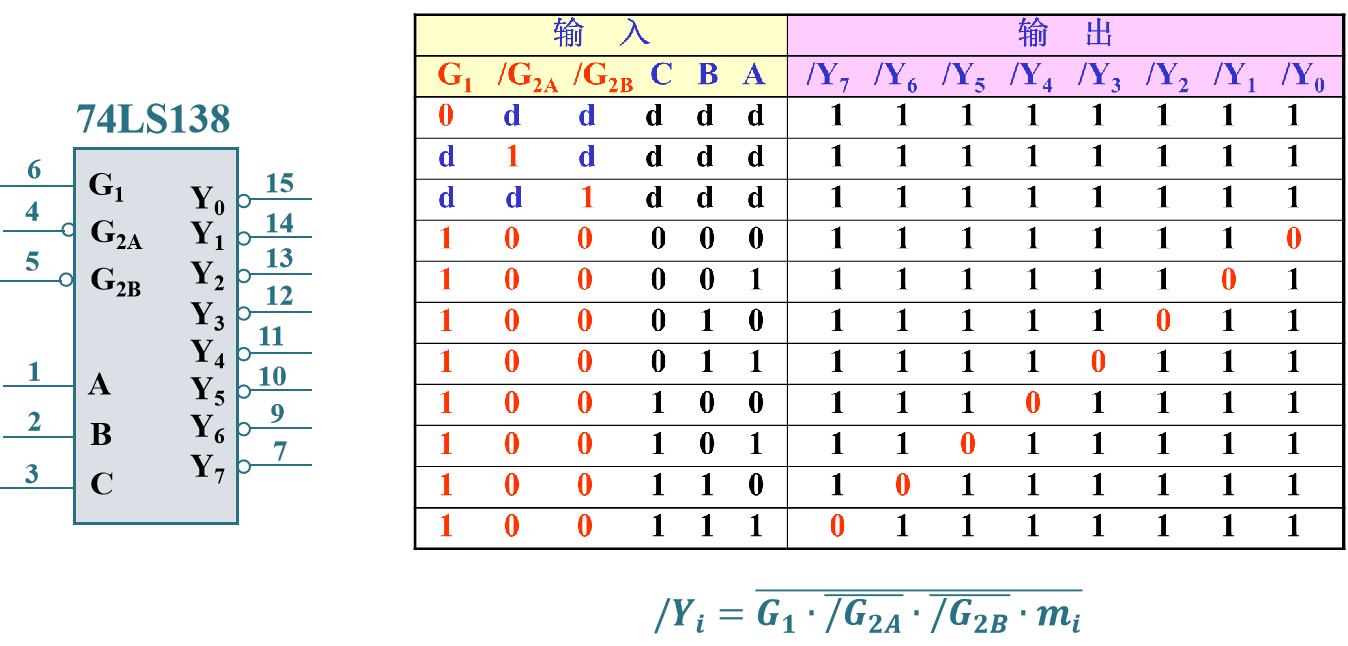
9. 按键及其插孔

10. 拨位开关及其插孔

11. 核心主控板5M160ZE64

12. 跳线

* 1. 译码器的电路原理

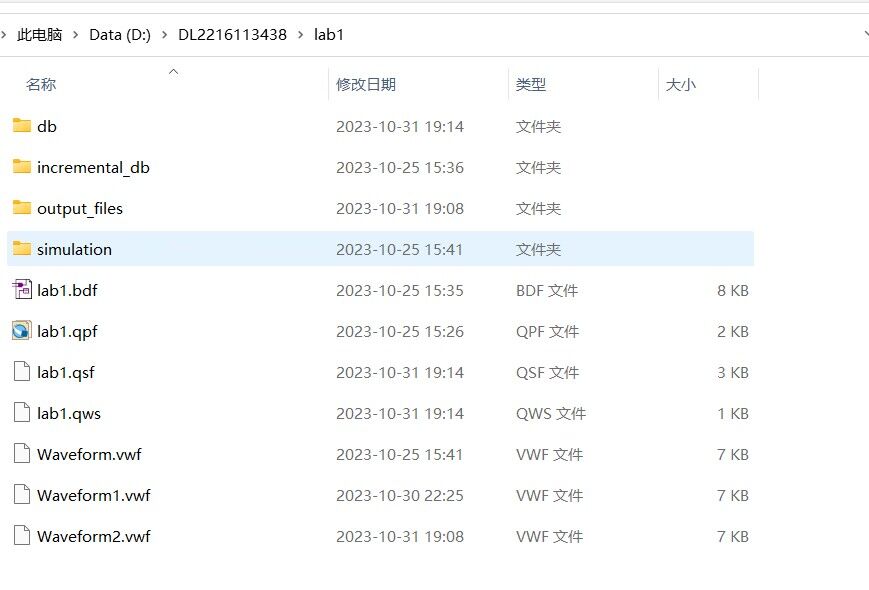


[38译码器是一种数字电路，它的主要作用是将三位二进制代码转换成八个输出信号，每个输出信号对应一个二进制代码。它的工作原理是通过内部的逻辑门电路实现数字信号的转换。例如，当输入引脚的状态为“000”时，38译码器会使用三个与门电路来实现输出引脚Y0的状态设置为高电平，其他输出引脚都为低电平。当输入引脚的状态为“001”时，38译码器会使用三个与门电路来实现输出引脚Y1的状态设置为高电平，其他输出引脚都为低电平。以此类推，直到输入引脚的状态为“111”时，38译码器会使用三个与门电路来实现输出引脚Y7的状态设置为高电平，其他输出引脚都为低电平。这样，就完成了三位二进制代码到八个输出信号的转换。](https://www.elecfans.com/news/dianzi/202003301193348.html" \t "https://www.bing.com/_blank)

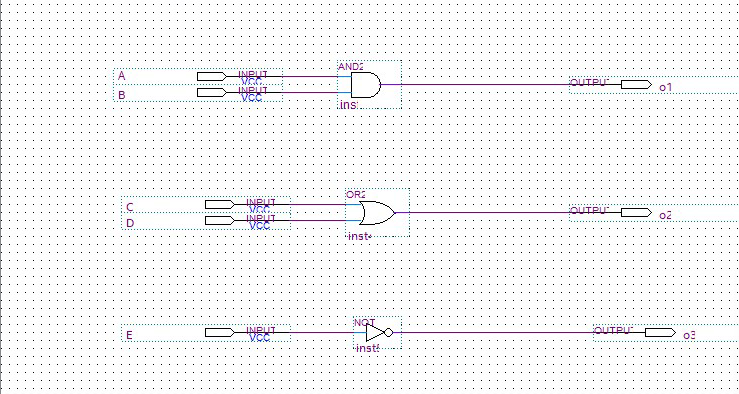
## 三 实验过程、结果及分析

* 1. Quartus Prime软件基本使用

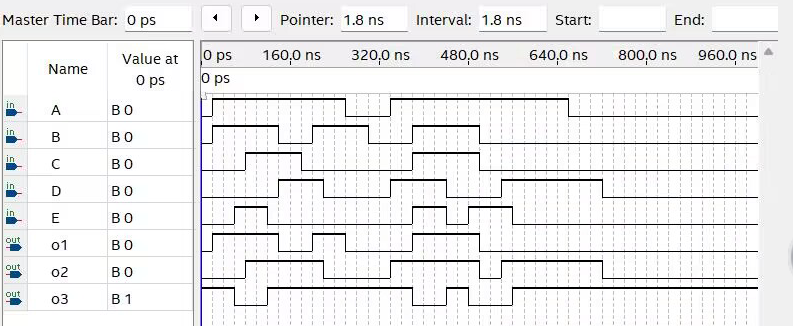
1. 创建一个新的工程，选择工程的名称，位置，顶层设计文件，目标器件等参数。
2. 添加需要的设计文件，可以是Verilog HDL，VHDL或者原理图文件。也可以添加其他的文件，如仿真文件，约束文件等。
3. 编写或者绘制设计文件，使用语法检查和编译功能来检查代码或者原理图是否有错误。
4. 进行仿真，可以使用Quartus Prime自带的波形编辑器或者ModelSim软件来进行功能仿真或者时序仿真。
5. 进行编程和配置，可以使用Quartus Prime自带的程序员或者其他的工具来将编译好的文件下载到目标器件中。



工程文件夹

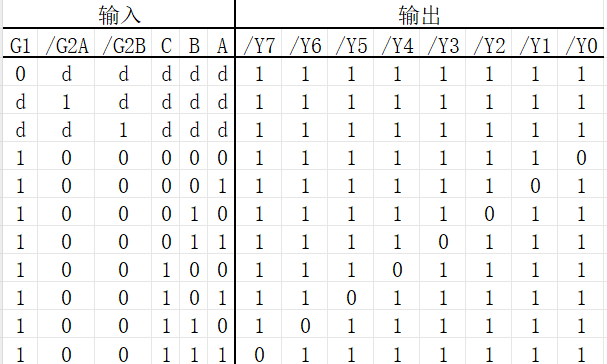


电路设计图



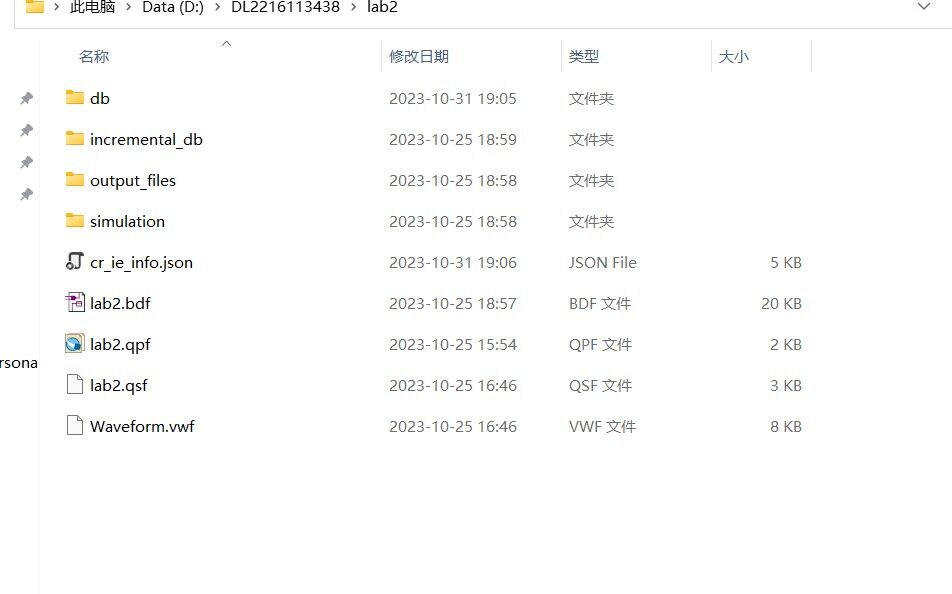
仿真结果图

* 1. 74LS138功能测试

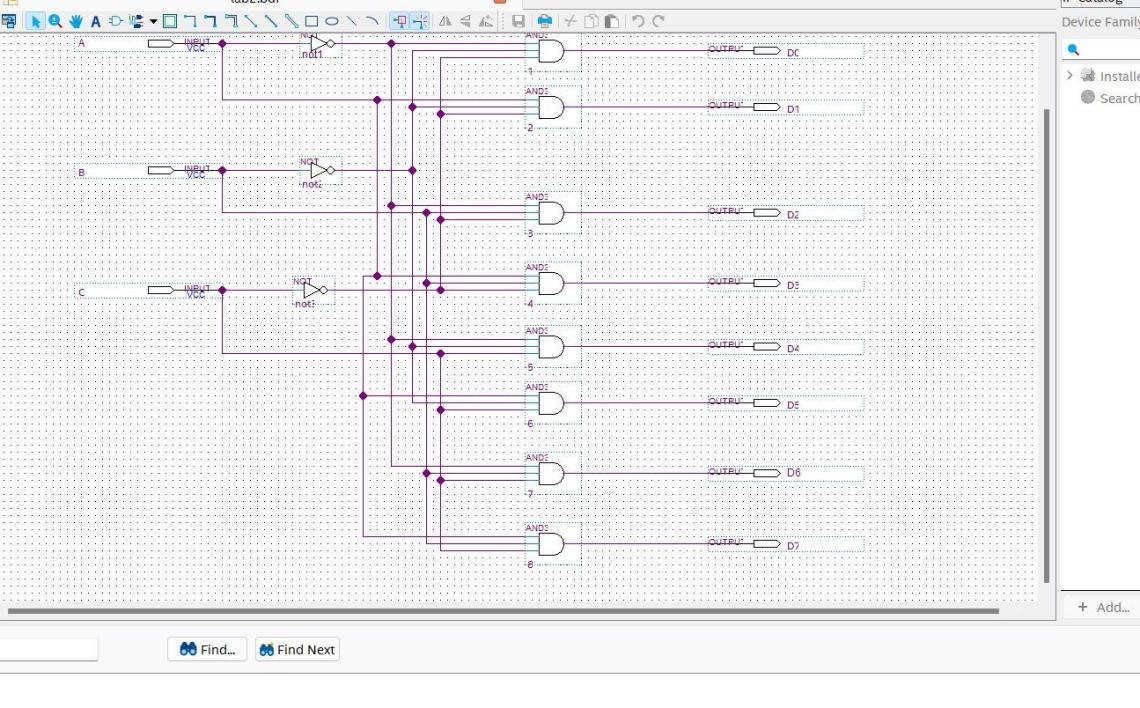


真值表

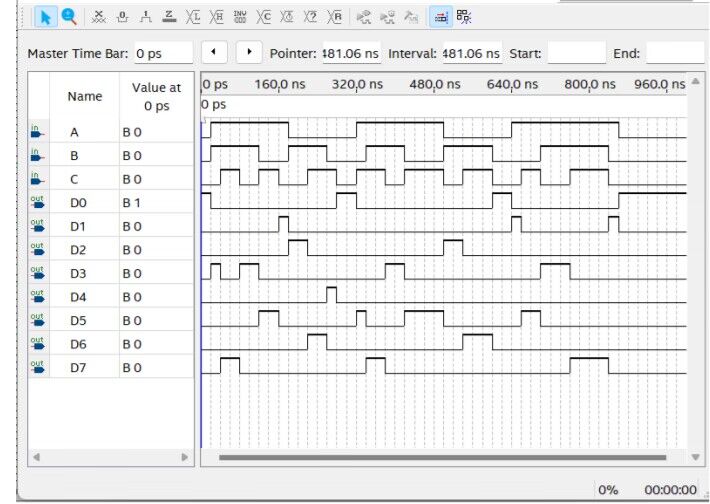
* 1. 使用Quartus Prime设计实现3-8译码器



工程文件夹



电路设计图



仿真结果图

## 四 思考题

1. Quartus设计中的基本步骤

1.创建工程

2.添加设计输入

3.编译

4.仿真

5.分配管脚并重新编译

6.时序分析

7.下载验证

1. Quartus有哪几种输入设计文件？
2. 原理图文件（.bdf）：这种文件使用图形符号来描述设计逻辑，可以使用Quartus提供的Block Design File Editor来创建和编辑。

B. Verilog HDL文件（.v, .vh, .verilog, .vlg）：这种文件使用Verilog硬件描述语言来描述设计逻辑，可以使用任何文本编辑器来创建和编辑。

C. VHDL文件（.vhd, .vhdl）：这种文件使用VHDL硬件描述语言来描述设计逻辑，可以使用任何文本编辑器来创建和编辑。

D. EDIF文件（.edf, .edif, .edn）：这种文件使用电子设计交换格式（EDIF）来描述设计逻辑，可以由其他EDA工具生成或导入。

E. 网络表文件（.atm, .vqm, .eqn）：这种文件使用文本或二进制格式来描述设计的网表结构，可以由其他EDA工具生成或导入。

1. 顶层实体在Quartus工程中起什么作用？

顶层实体决定电路开始的位置，顶层实体决定了电路的整体结构和功能。顶层文件决定电路的入口。因为quartus 软件对顶层工程文件仍进行编译。

## 五 实验总结

1. 本实验主要学习了 Quartus Prime 的基本使用方法，包括创建工程、添加设计输入、编译、仿真、分配管脚、时序分析和下载验证等步骤。
2. 本实验还学习了 74LS138 芯片的功能和结构，它是一种 3-8 译码器，可以将三位二进制输入转换为八个输出信号之一。本实验利用 Quartus Prime 设计了一个 3-8 译码器 的电路，并用 74LS138 芯片实现了该电路的功能。
3. 本实验还利用 译码器 实现了一个 全加器 的电路，该电路可以对两个一位二进制数进行加法运算，并输出和与进位。

通过本实验，我理解了组合逻辑电路 的设计原理和方法，掌握了 Quartus Prime 的基本操作和应用，提高了我的动手能力和创新能力。我也认识到了 译码器 在数字逻辑电路中的重要作用，它可以简化电路的复杂度，提高电路的效率和可靠性。我还感受到了 数字逻辑电路 的魅力和趣味性，它可以用简单的元件实现复杂的功能，展现了数字技术的无限可能。