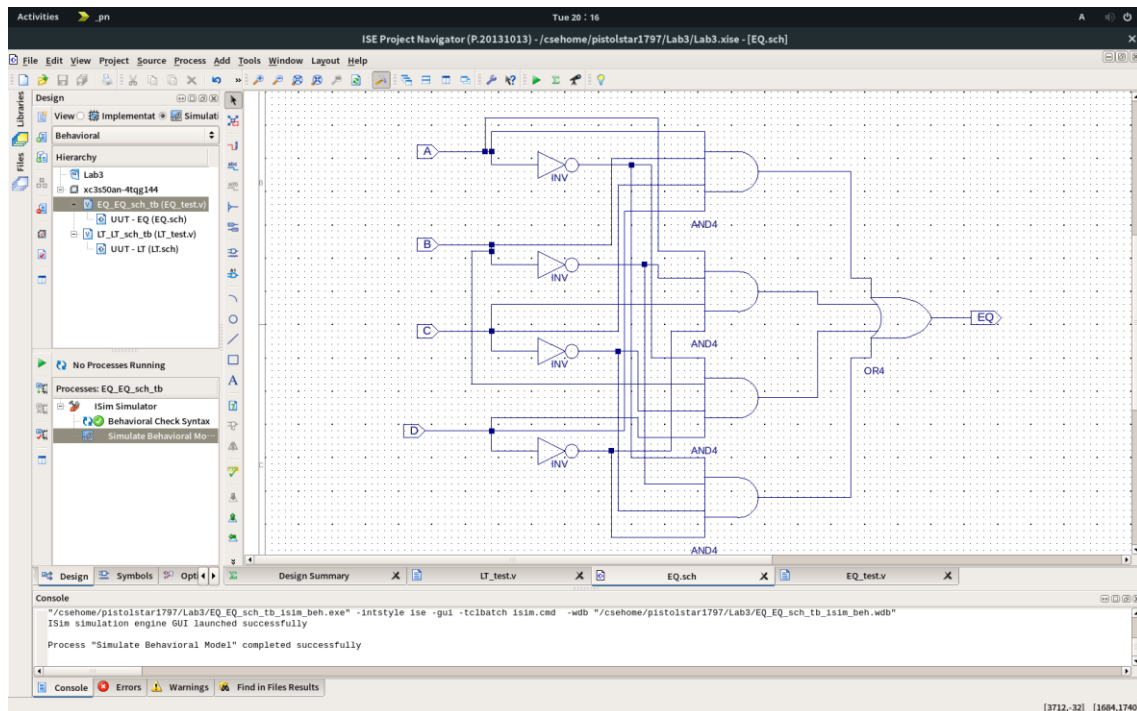
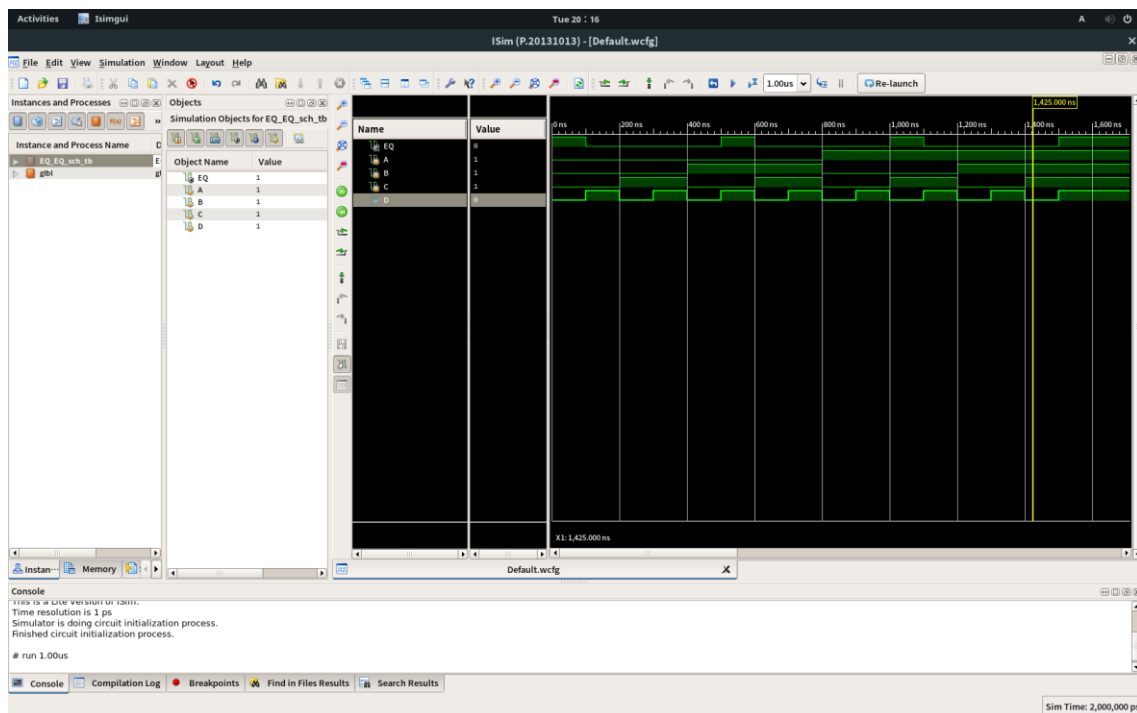


$EQ = A'B'C'D' + A'BC'D + AB'CD' + ABCD$ 이다

2-bit comparator EQ를 Xilinx ISE Schematic을 이용하여 구현하였다.



Xilinx test bench를 이용하여 실행한 결과 값이다.



작성한 코드이다.

// Verilog test fixture created from schematic /csehome/pistolstar1797/Lab3/EQ.sch - Tue Mar 27
20:12:46 2018

`timescale 1ns / 1ps

module EQ_EQ_sch_tb();

// Inputs

reg A;

reg B;

reg C;

reg D;

// Output

wire EQ;

// Bidirs

// Instantiate the UUT

EQ UUT (

.A(A),

.B(B),

.C(C),

.D(D),

.EQ(EQ)

```
);
```

```
// Initialize Inputs
```

```
initial begin
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 1;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 1;
```

```
    #100
```

A = 0;

B = 1;

C = 0;

D = 0;

#100

A = 0;

B = 1;

C = 0;

D = 1;

#100

A = 0;

B = 1;

C = 1;

D = 0;

#100

A = 0;

B = 1;

C = 1;

D = 1;

#100

A = 1;

B = 0;

C = 0;

D = 0;

#100

A = 1;

B = 0;

C = 0;

D = 1;

#100

A = 1;

B = 0;

C = 1;

D = 0;

#100

A = 1;

B = 0;

C = 1;

D = 1;

#100

A = 1;

B = 1;

C = 0;

D = 0;

#100

A = 1;

B = 1;

C = 0;

D = 1;

#100

A = 1;

B = 1;

C = 1;

D = 0;

#100

A = 1;

B = 1;

C = 1;

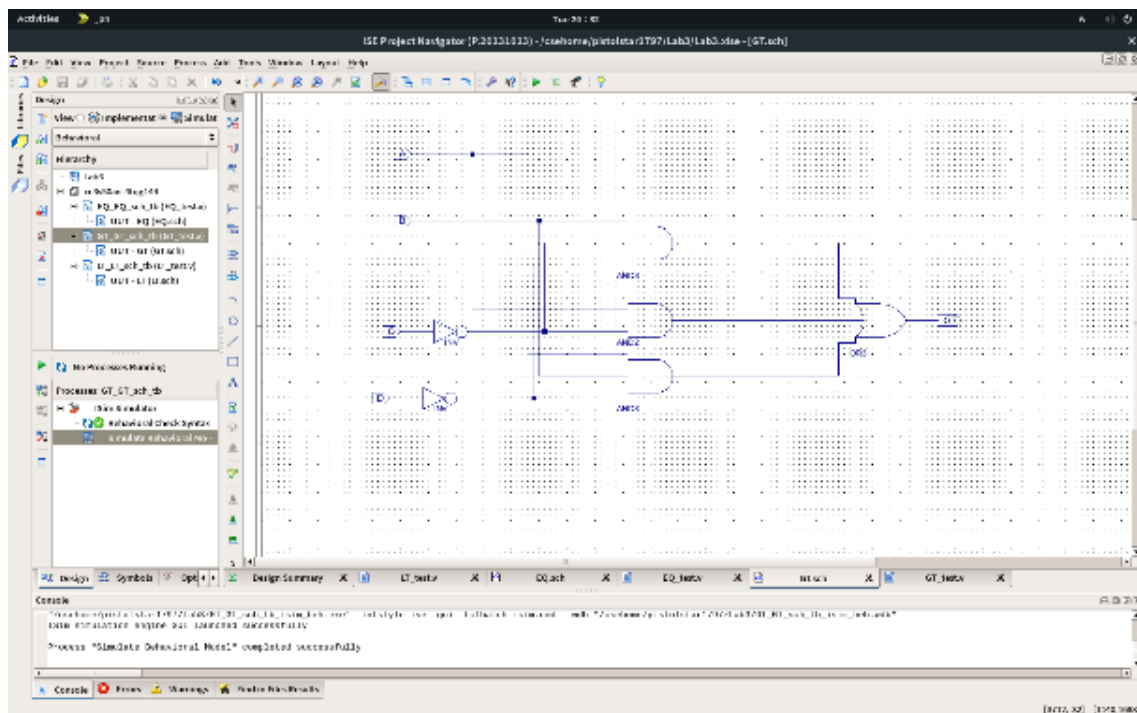
D = 1;

end

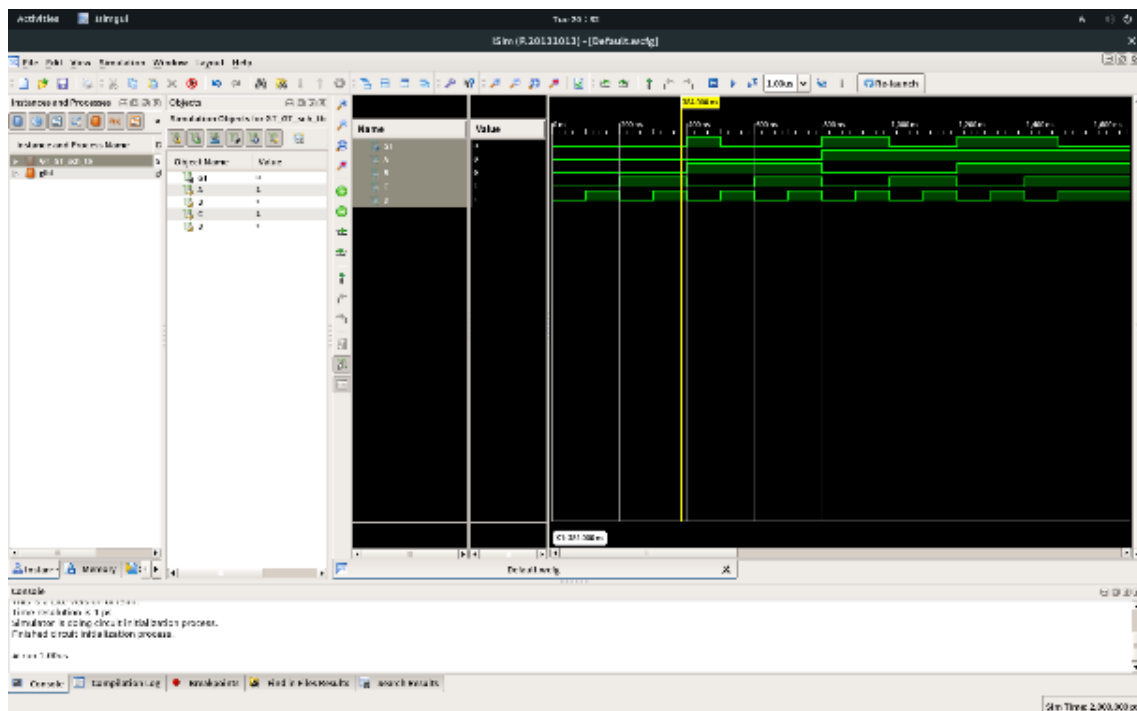
endmodule

GT = $BC'D' + AC' + ABD'$ 이다.

2-bit comparator GT 를 Xilinx ISE Schematic 을 이용하여 구현하였다.



Xilinx test bench를 이용하여 실행한 결과 값이다.



작성한 코드이다.

```
// Verilog test fixture created from schematic /csehome/pistolstar1797/Lab3/GT.sch - Tue Mar 27  
20:28:48 2018
```

```
`timescale 1ns / 1ps
```

```
module GT_GT_sch_tb();
```

```
// Inputs
```

```
    reg A;
```

```
    reg B;
```

```
    reg C;
```

```
    reg D;
```

```
// Output
```

```
    wire GT;
```

```
// Bidirs
```

```
// Instantiate the UUT
```

```
    GT UUT (
```

```
        .A(A),
```

```
        .B(B),
```

```
        .C(C),
```

```
        .D(D),
```

```
        .GT(GT)
```



```
);
```

```
// Initialize Inputs
```

```
initial begin
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 1;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 1;
```

```
    #100
```

A = 0;

B = 1;

C = 0;

D = 0;

#100

A = 0;

B = 1;

C = 0;

D = 1;

#100

A = 0;

B = 1;

C = 1;

D = 0;

#100

A = 0;

B = 1;

C = 1;

D = 1;

#100

A = 1;

B = 0;

C = 0;

D = 0;

#100

A = 1;

B = 0;

C = 0;

D = 1;

#100

A = 1;

B = 0;

C = 1;

D = 0;

#100

A = 1;

B = 0;

C = 1;

D = 1;

#100

A = 1;

B = 1;

C = 0;

D = 0;

#100

A = 1;

B = 1;

C = 0;

D = 1;

#100

A = 1;

B = 1;

C = 1;

D = 0;

#100

A = 1;

B = 1;

C = 1;

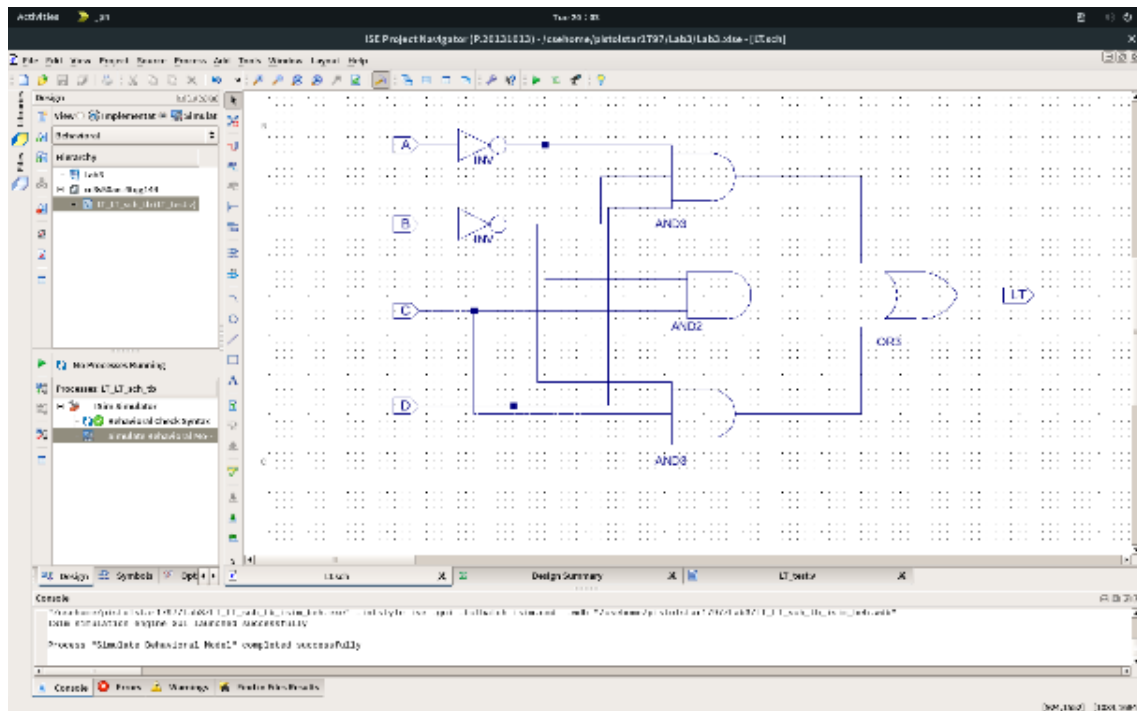
D = 1;

end

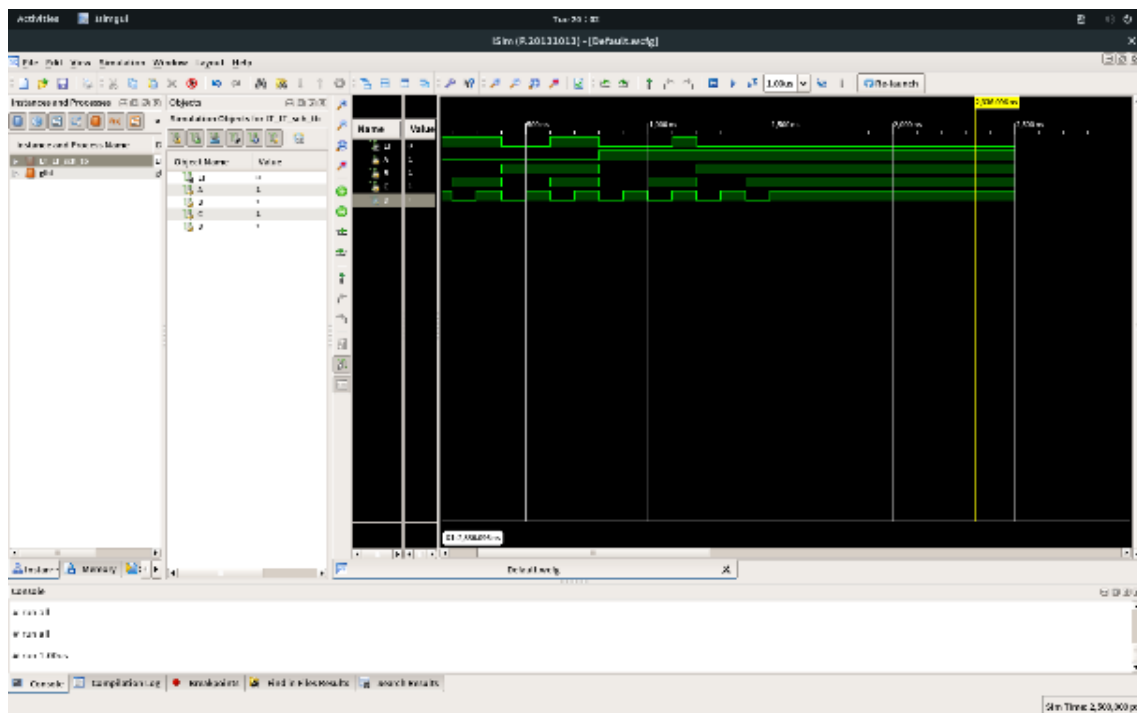
endmodule

$LT = A'B'D + A'C + B'CD$ 이다.

2-bit comparator LT를 Xilinx ISE Schematic을 이용하여 구현하였다.



Xilinx test bench를 이용하여 실행한 결과 값이다.



작성한 코드이다.

```
// Verilog test fixture created from schematic /csehome/pistolstar1797/Lab3/LT.sch - Tue Mar 27  
19:55:24 2018
```

```
`timescale 1ns / 1ps
```

```
module LT_LT_sch_tb();
```

```
// Inputs
```

```
    reg A;
```

```
    reg B;
```

```
    reg C;
```

```
    reg D;
```

```
// Output
```

```
    wire LT;
```

```
// Bidirs
```

```
// Instantiate the UUT
```

```
    LT UUT (
```

```
        .A(A),
```

```
        .B(B),
```

```
        .C(C),
```

```
        .D(D),
```

```
        .LT(LT)
```

```
);
```

```
// Initialize Inputs
```

```
initial begin
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 0;
```

```
    D = 1;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 0;
```

```
    #100
```

```
    A = 0;
```

```
    B = 0;
```

```
    C = 1;
```

```
    D = 1;
```

```
    #100
```

A = 0;

B = 1;

C = 0;

D = 0;

#100

A = 0;

B = 1;

C = 0;

D = 1;

#100

A = 0;

B = 1;

C = 1;

D = 0;

#100

A = 0;

B = 1;

C = 1;

D = 1;

#100

A = 1;

B = 0;

C = 0;

D = 0;

#100

A = 1;

B = 0;

C = 0;

D = 1;

#100

A = 1;

B = 0;

C = 1;

D = 0;

#100

A = 1;

B = 0;

C = 1;

D = 1;

#100

A = 1;

B = 1;

C = 0;

D = 0;

#100

A = 1;

B = 1;

C = 0;

D = 1;

#100

A = 1;

B = 1;

C = 1;

D = 0;

#100

A = 1;

B = 1;

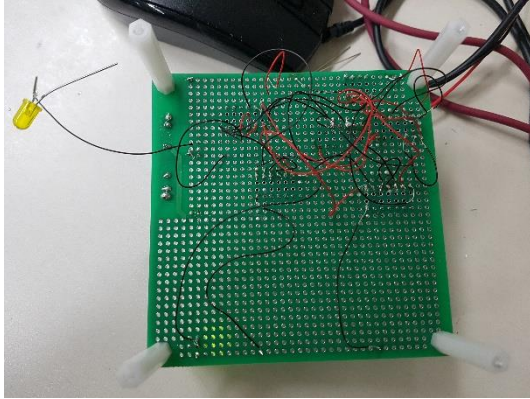
C = 1;

D = 1;

end

endmodule

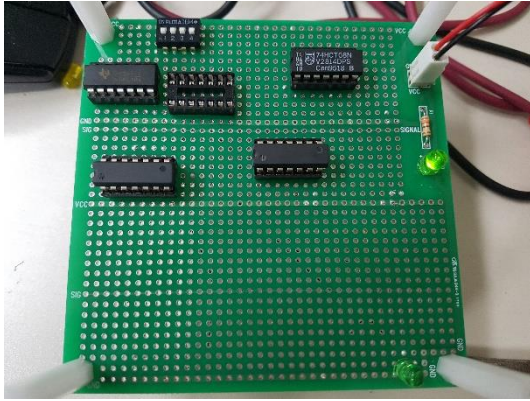
universal board에 $GT = (BC)'D' + AC' + (AB)D'$ 를 1개의 NAND 게이트와 1개의 OR 게이트, 2개의 AND 게이트를 사용하여 구현하였다. 3-input 게이트가 없어서 두 개씩 나눠서 계산하였으며, 원래 INV 게이트를 사용하려고 했으나 사용했던 INV 게이트 중에서 정상작동 하는 것이 없어서 부득이하게 INV 게이트 대신 NAND 게이트를 사용했다.



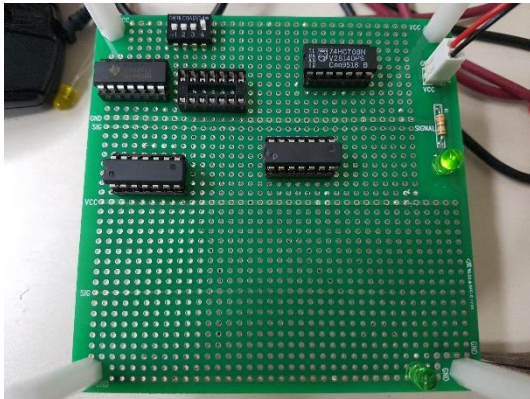
옆의 사진처럼 LED의 (-)극을 GND에 연결하고 일일이 수동으로 디버깅하였다.

뒤에 작동하는 사진을 보면 Universal board에 빈 소켓이 하나 있는데 INV 게이트가 심어져 있던 소켓이 문제라고 생각하고 다른 곳에 소켓을 심은 흔적이다.

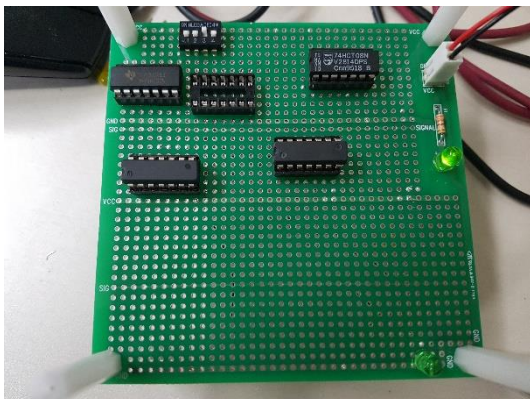
스위치에 저항을 연결하는 이유가 전압이 너무 높아 전구가 터질 수 있기 때문이라고 하는데 처음에 까먹고 회로를 완성해버려서 나중에 다시 저항을 연결하기에는 너무 복잡해서 수정을 할 수 없었다. 어쩐지 전구가 너무 밝다고 생각했지만 정상적으로 작동하니 괜찮을 것이라고 생각한다.



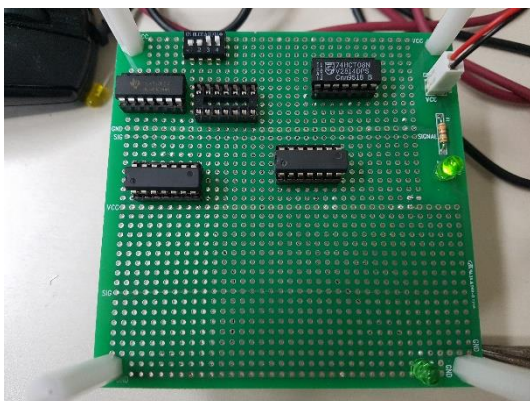
A=0, B=0, C=0, D=0일 때 결과값 0으로 정상작동.



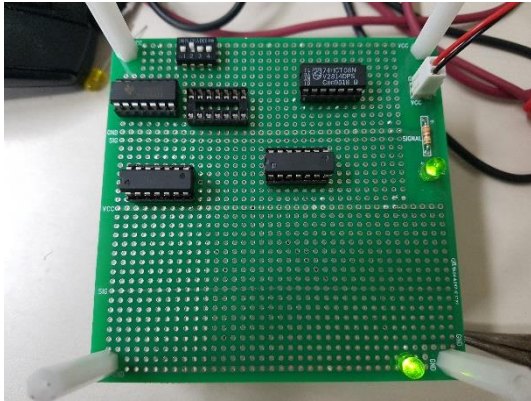
A=0, B=0, C=0, D=1일 때 결과값 0으로 정상작동.



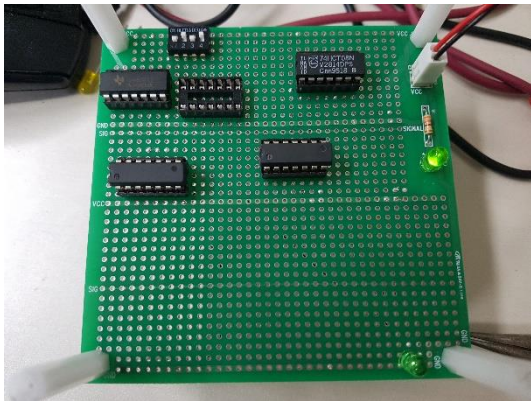
A=0, B=0, C=1, D=0일 때 결과값 0으로 정상작동.



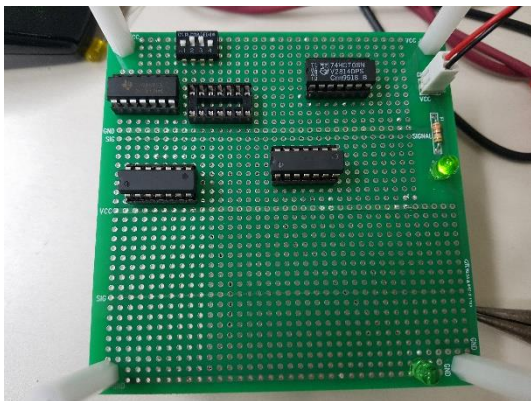
A=0, B=0, C=1, D=1일 때 결과값 0으로 정상작동.



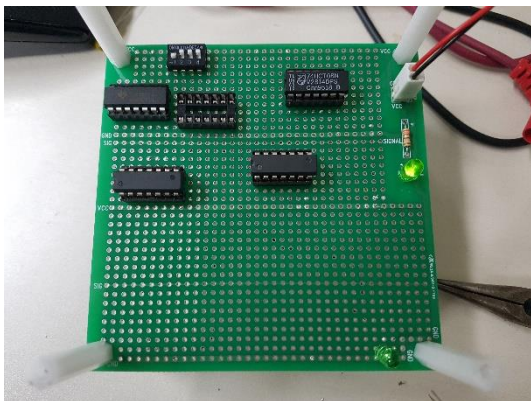
A=0, B=1, C=0, D=0일 때 결과값 1로 정상작동.



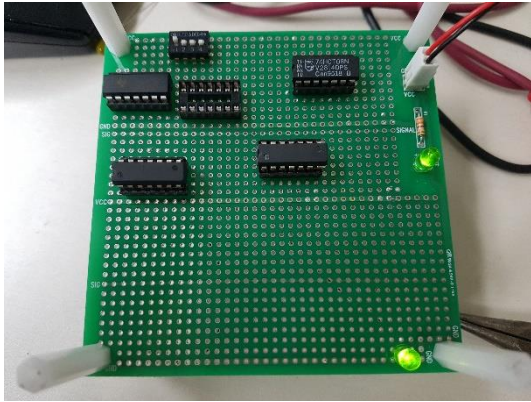
A=0, B=1, C=0, D=1일 때 결과값 0으로 정상작동.



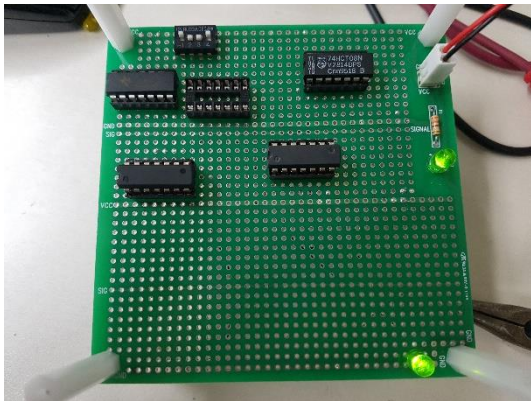
A=0, B=1, C=1, D=0일 때 결과값 0으로 정상작동



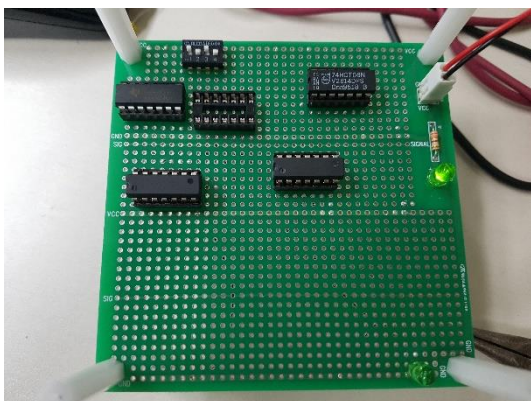
A=0, B=1, C=1, D=1일 때 결과값 0으로 정상작동



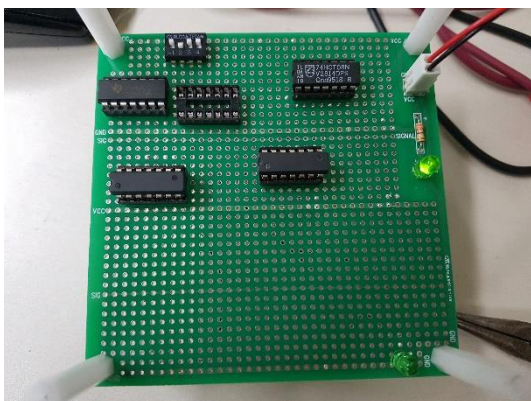
A=1, B=0, C=0, D=0일 때 결과값 1로 정상작동.



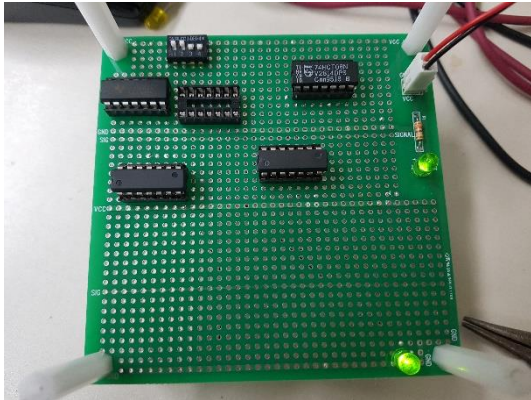
A=1, B=0, C=0, D=1일 때 결과값 1로 정상작동.



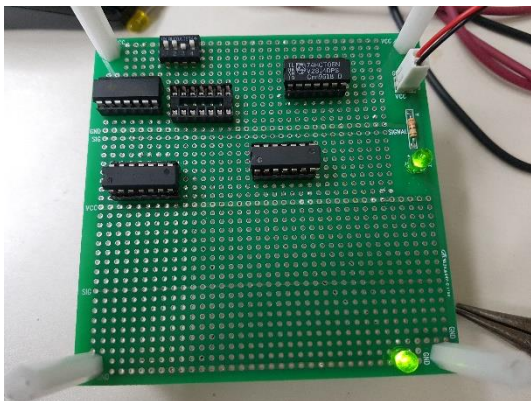
A=1, B=0, C=1, D=0일 때 결과값 0으로 정상작동.



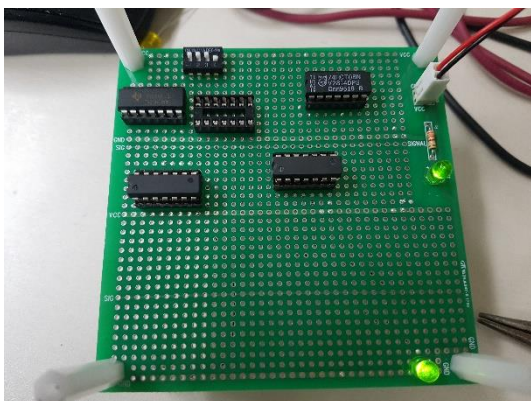
A=1, B=0, C=1, D=1일 때 결과값 0으로 정상작동.



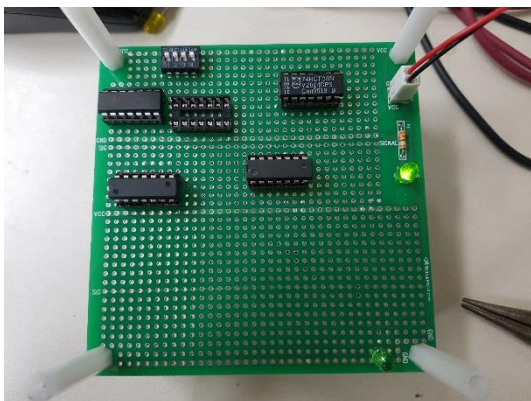
A=1, B=1, C=0, D=0일 때 결과값 1로 정상작동.



A=1, B=1, C=0, D=1일 때 결과값 1로 정상작동.



A=1, B=1, C=1, D=0일 때 결과값 1로 정상작동.



A=1, B=1, C=1, D=1일 때 결과값 0으로 정상작동.