

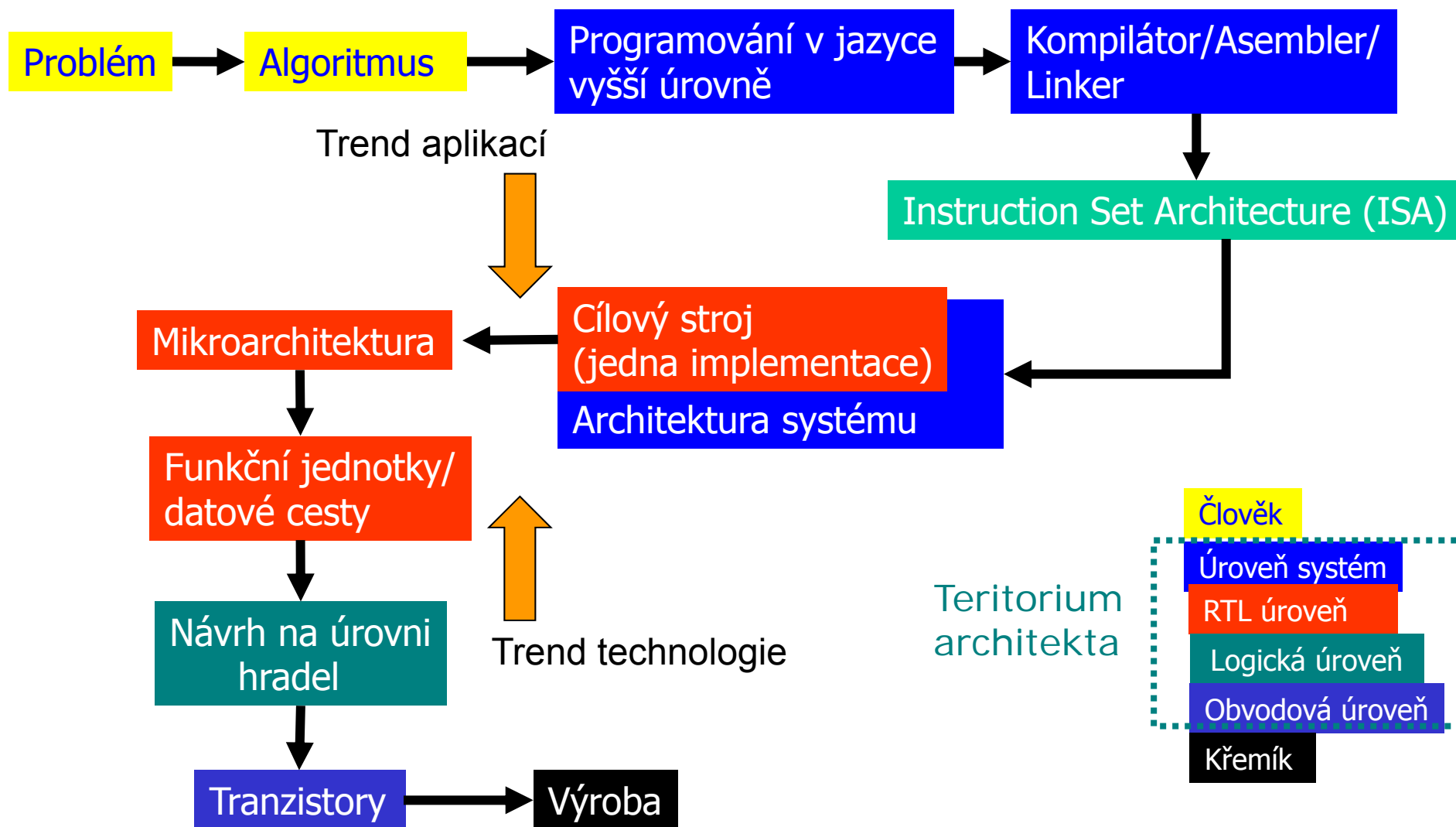
Úvod do organizace počítače

Trendy technologie,
základy digitální logiky

Opakování (předchozí přednáška)

- Pět základních částí počítače
- Principy *abstrakce* systému, budovaného po vrstvách
- „*Flexibilní*“ data: program určuje interpretaci dat
- Koncepce „*program v paměti*“: Instrukce jsou také data
- *Princip lokality*: hierarchie paměťového systému
- Vyšší výkon využitím *paralelizmu*
- Kompilace vs. interpretace

Rozklad problému



Přehled (dnešní přednáška)

- Generace počítačů (dnes málo významné členění)
- Technologie \Leftrightarrow aplikace – vzájemná podpora vývoje
- Trendy technologie
 - Hardware
 - Software
- Mooreův zákon
- Základy digitální logiky
 - Základní elektronické prvky a jejich chování
 - Pravdivostní tabulky
 - Operace

Generace počítačů

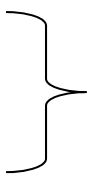
- **Gen-0:** Mechanické počítače (BC do počátku 1940)
- **Gen-1:** Elektronky (1943-1959)
- **Gen-2:** Tranzistory (1960-1968)
 - John Bardeen, Walter Brattain a William Shockley
- **Gen-3:** Integrované obvody (1969-1977)
 - průkopník Jack Kilby (1958)
- **Gen-4:** VLSI (1978-současnost)
- *Gen-5:* Optické systémy?
Kvantové systémy?



Mezníky ve vývoji počítačů

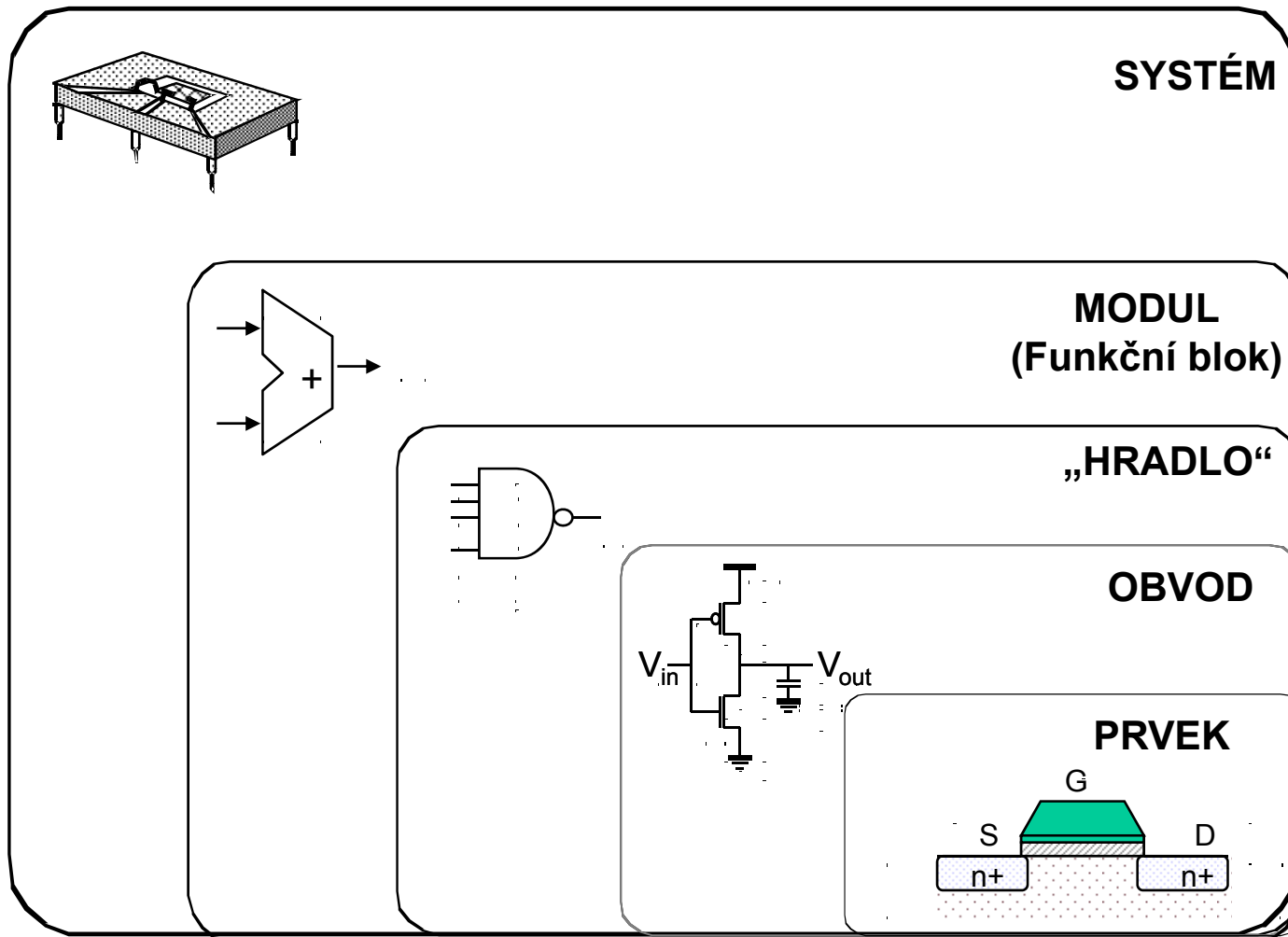
1800s	Analytical Engine	Babbage	První číslicový počítač
1936	Z1	Zuse	První releový stroj
1943	COLOSSUS	British gov't	První elektronický počítač
1944	Mark I	Aiken	První univerzální počítač
1946	ENIAC I	Eckert/Mauchley	Začátek moderní počítačové historie
1949	EDSAC	Wilkes	První počítač s programem v paměti
1952	IAS	Von Neumann	Vznik „tradiční“ organizace
1960	PDP-1	DEC	První minipočítač
1964	360	IBM	Počítačové rodiny, architektura
1964	6600	CDC	První superpočítač pro VT výpočty
1974	8080	Intel	První procesor na čipu
1974	CRAY-1	Cray	První vektorový superpočítač
1981	IBM PC	IBM	Éra PC
1985	MIPS	MIPS	První komerční RISC procesor
1990	RS6000	IBM	První superskalární mikroprocesor
2000	ASCI White	IBM	Jeden z nejvýkonnějších počítačů

Trendy technologie

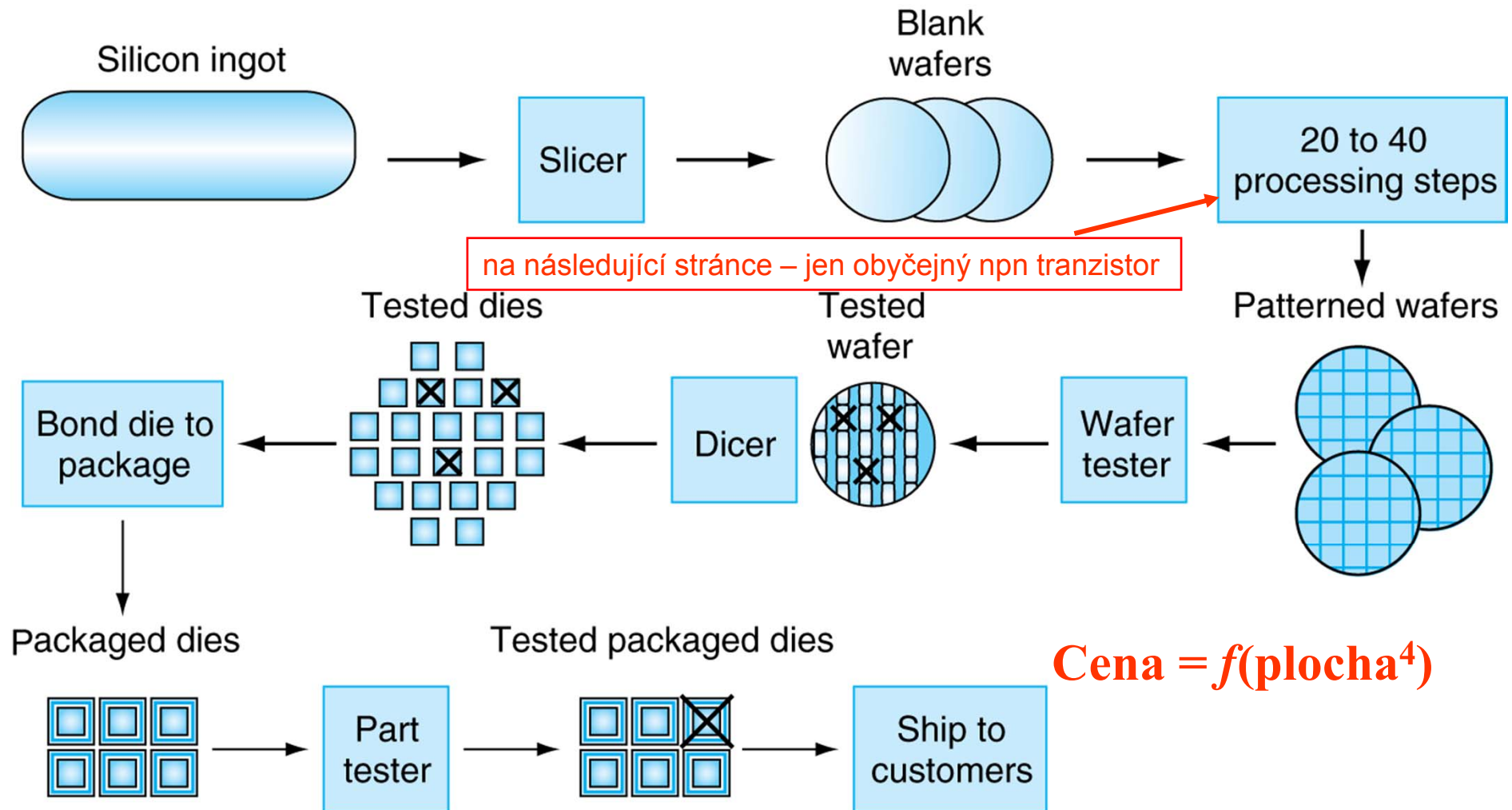
- Technologie ⇔ aplikace - podpora (**virtuální kruh**)
 - Rychlé CPU, nedostatek požadavků na aplikace
 - Požadavky současných aplikací
 - E-komerční servery
 - Databázové servery
 - Pracovní stanice
 - Narůstající poptávka po technologii „mobile computing“
- Technologie
 - Kompilátory
 - Křemík

ISA a organizace počítače

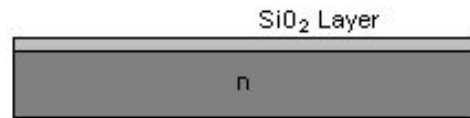
Opakování: Návrh úrovní abstrakce



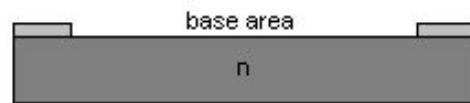
Výroba IC



Postup výroby planárního tranzistoru npn



(a) a. Vytvoření vrstvy SiO_2



(b) b. Odleptání vrstvy SiO_2 pro bázi



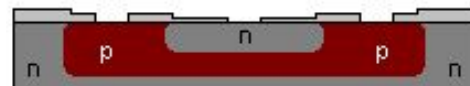
(c) c. Difuze a další oxidace



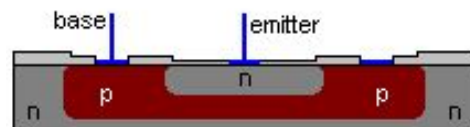
(d) d. Odleptání vrstvy SiO_2 pro emitor



(e) e. Difuze a další oxidace

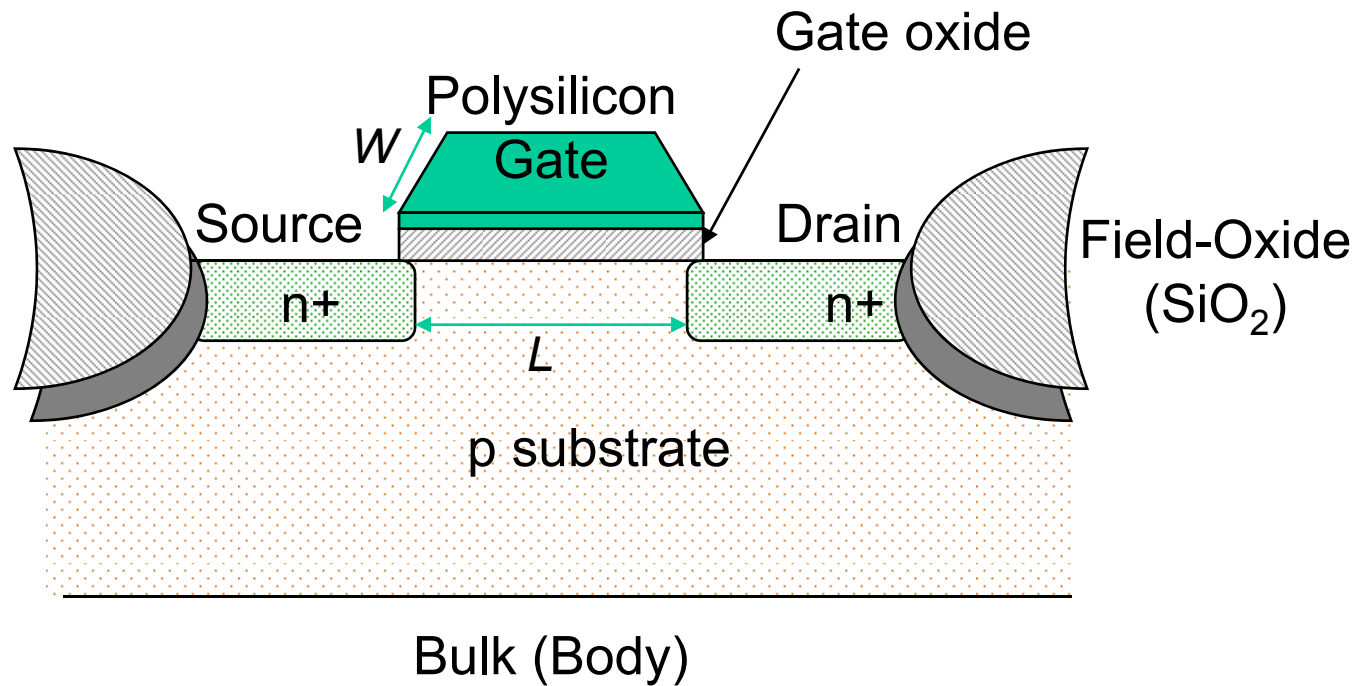


(f) f. Odleptání vrstvy SiO_2 pro bázi a emitor



(g) g. Nakontaktování báze a emitoru

MOS transistor



Základní metriky návrhu

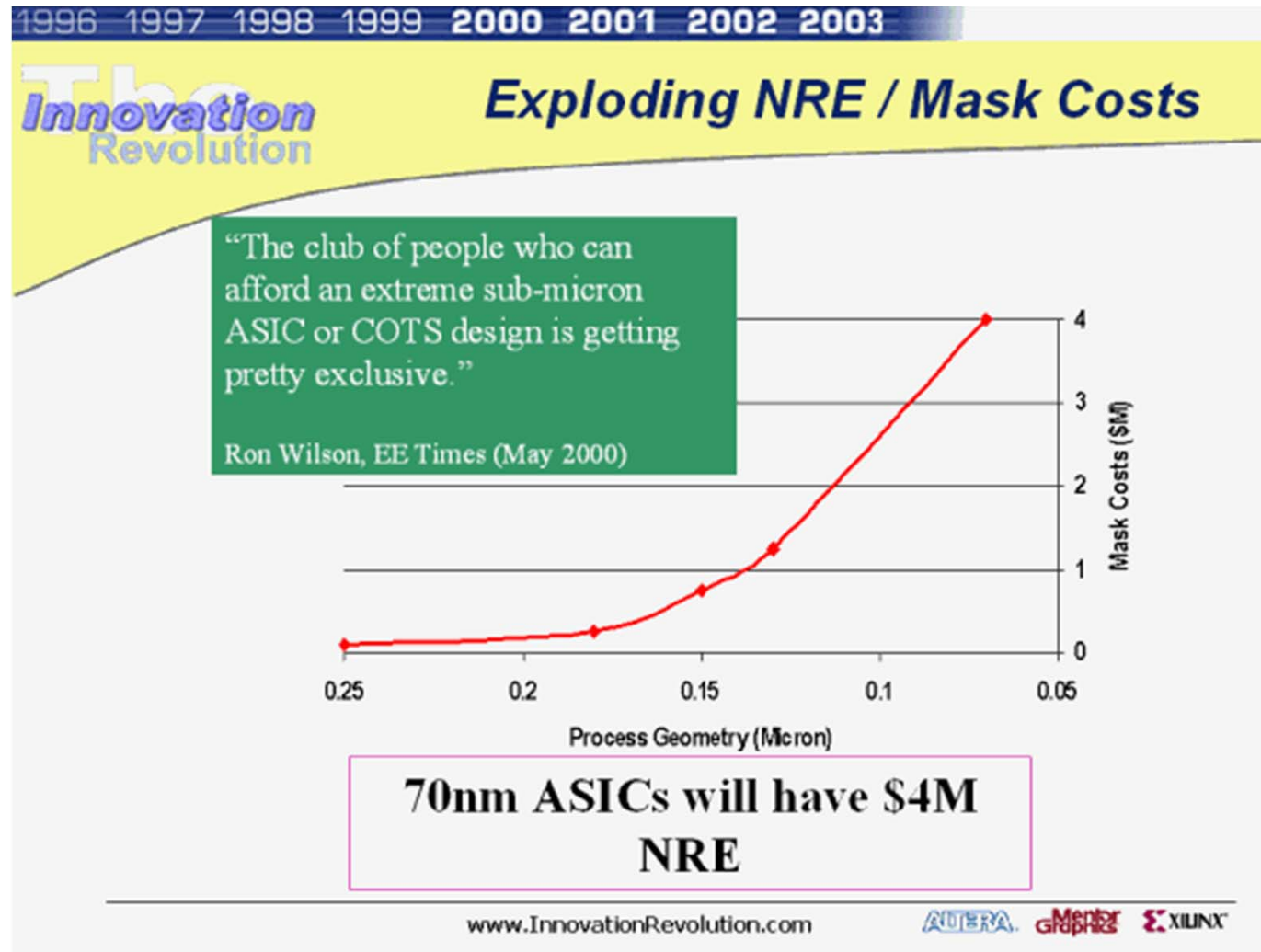
- Funkčnost
- Cena
 - Konstantní náklady - návrhové prostředky, infrastruktura
 - Variabilní náklady – cena vlastního obvodu, zapouzdření, testy
- Spolehlivost, robustnost
 - Odstup šumu
 - Šumová imunita
 - MTBF
- Výkonnost
 - Rychlost (zpoždění)
 - Spotřeba energie
- Doba potřebná pro uvedení na trh - „Time-to-market“

Cena integrovaného obvodu

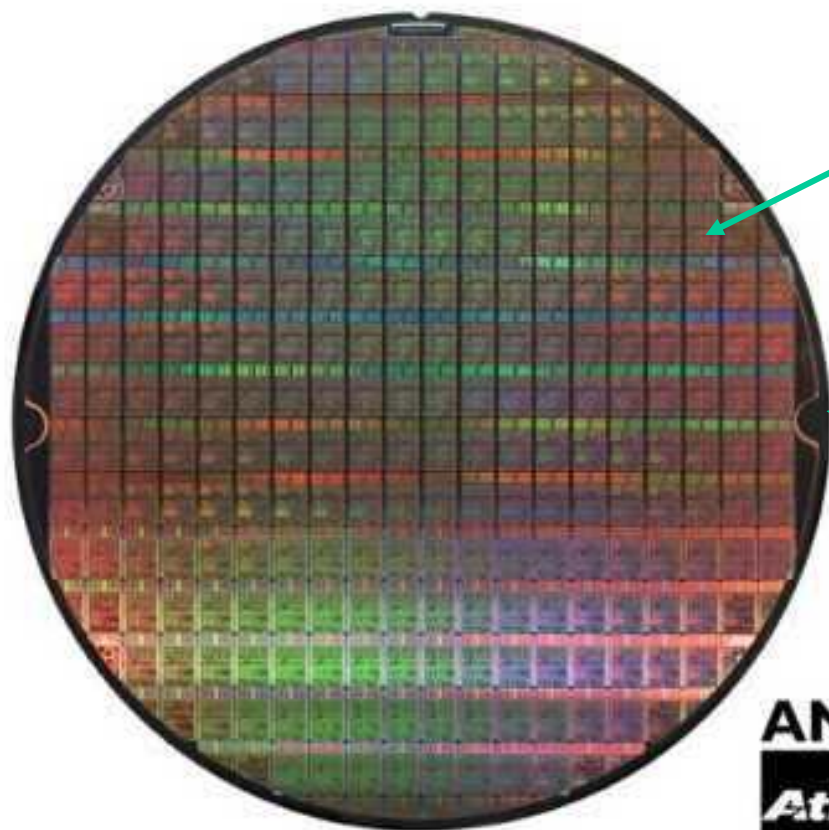
- Konstantní náklady
 - Fixní náklady pro vytvoření návrhu
 - vlastní návrh
 - verifikace návrhu
 - generování masek
 - Ovlivněno složitostí návrhu a produktivitou návrhářů
 - Jsou více významné pro malé objemy výroby
- Variabilní náklady – úměrné objemu výroby
 - zpracování křemíku
 - úměrné také ploše čipu
 - zapouzdření
 - testování

$$\text{cena jednoho IC} = \text{variabilní náklady jednoho IC} + \frac{\text{konstantní náklady}}{\text{objem výroby}}$$

Konstantní náklady narůstají



Křemíkový plát (wafer)



die

(křemíkový plátek, na kterém je vyroben jeden chip)

wafer



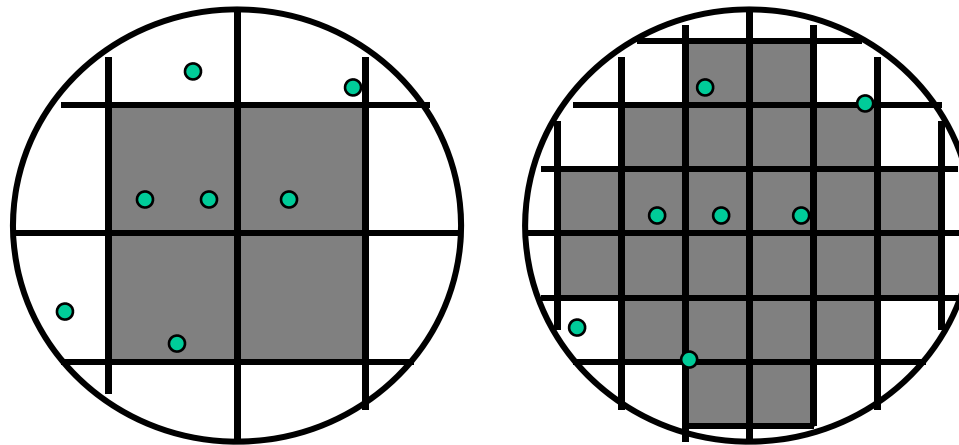
Převzato z: <http://www.amd.com>

Variabilní náklady

$$\text{variabilní náklady} = \frac{\text{cena die} + \text{cena testování die} + \text{cena zapouzdření}}{\text{finální výtěžnost při testování}}$$

$$\text{cena die} = \frac{\text{cena waferu}}{\text{počet die na waferu} \times \text{výtěžnost die}}$$

$$\text{počet die na waferu} = \frac{\pi \times (\text{Øwaferu}/2)^2}{\text{plocha die}} - \frac{\pi \times \text{Øwaferu}}{\sqrt{2} \times \text{délka hrany die}}$$



$$\text{výtěžnost die} = (1 + (\# \text{ defektů na jednotku plochy} \times \text{plocha die})/\alpha)^{-\alpha}$$

Příklad výtěžnosti

□ Příklad

- průměr waferu 12 palců, plocha die 2.5 cm², 1 defekt/cm², $\alpha = 3$ (závisí na složitosti procesu)
- 252 die/wafer (nezapomeňte, wafery jsou kulaté, kdežto die čtvercové)
- výtěžnost die 16%
- 252 x 16% = výtěžnost pouze 40 die/wafer !

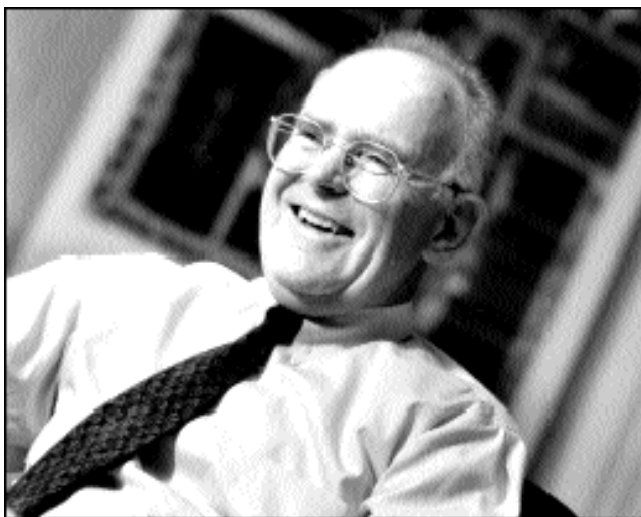
□ Cena je funkcí plochy die

- úměrná třetí až čtvrté mocnině plochy die

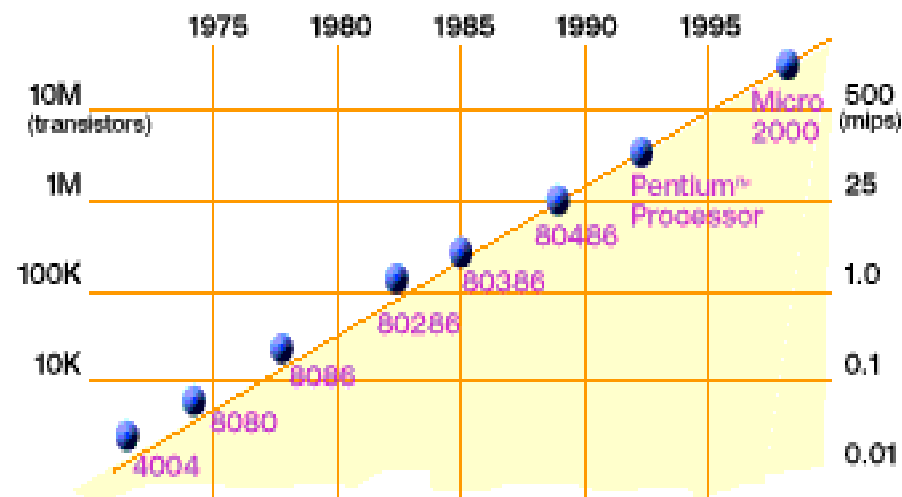
Příklad metrik ceny (kolem 1994)

Chip	Metal layers	Line width	Wafer cost	Defects/cm ²	Area (mm ²)	Dies/wafer	Yield	Die cost
386DX	2	0.90	\$900	1.0	43	360	71%	\$4
486DX2	3	0.80	\$1200	1.0	81	181	54%	\$12
PowerPC 601	4	0.80	\$1700	1.3	121	115	28%	\$53
HP PA 7100	3	0.80	\$1300	1.0	196	66	27%	\$73
DEC Alpha	3	0.70	\$1500	1.2	234	53	19%	\$149
Super SPARC	3	0.70	\$1700	1.6	256	48	13%	\$272
Pentium	3	0.80	\$1500	1.5	296	40	9%	\$417

Mooreův zákon



Gordon Moore (spoluzakladatel Intelu) předpověděl v r. 1965, že **hustota tranzistorů polovodičového čipu se zdvojnásobí každých 18 měsíců.**

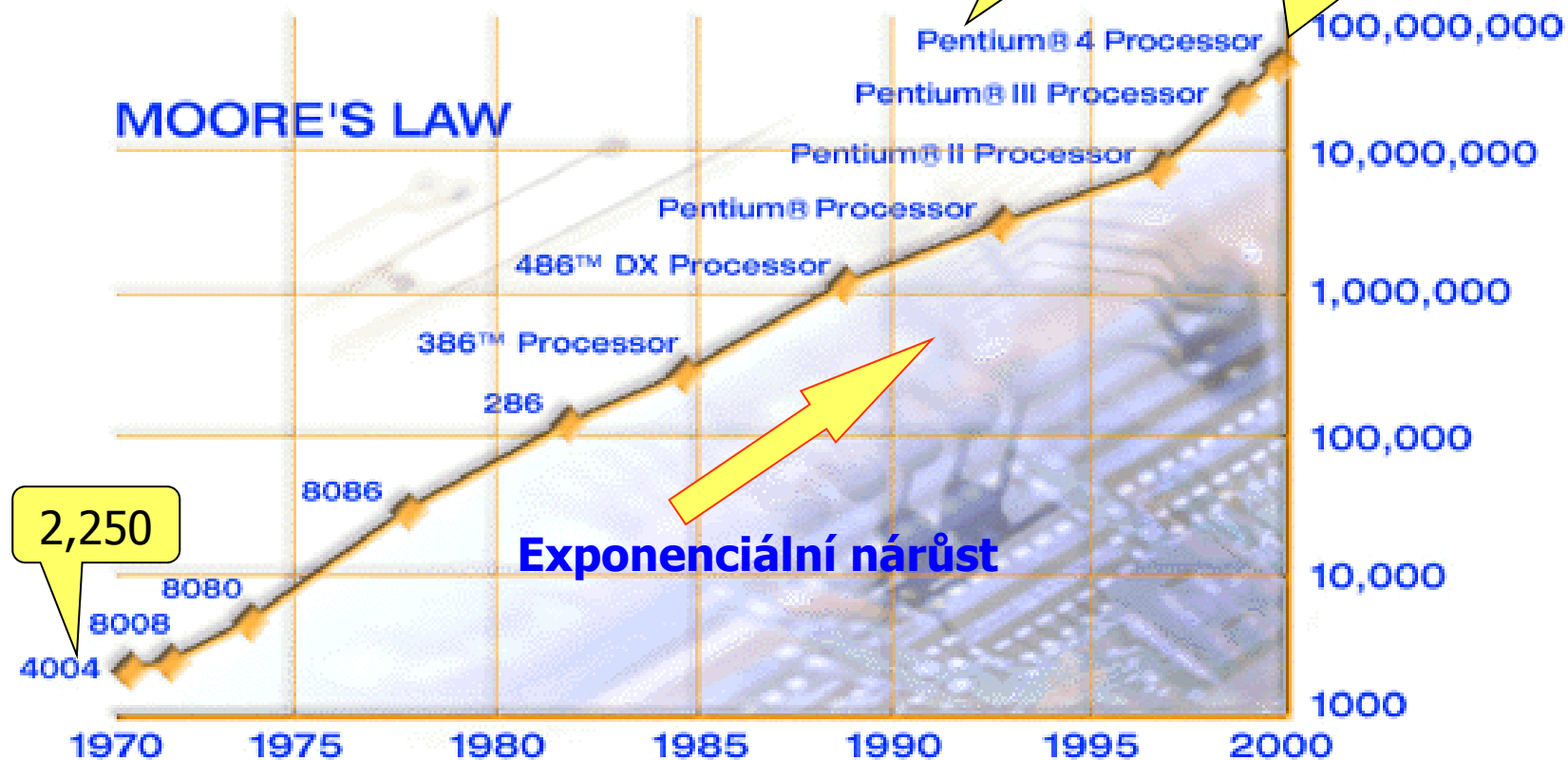


Mooreův zákon platil velmi dlouhou dobu

Hustota souvisí s rychlostí. (Jak je známo, činit odhady o rychlosti počítačů je obtížné.)

Mooreův zákon

**IBM POWER5 obsahuje
276 milionů tranzistorů**



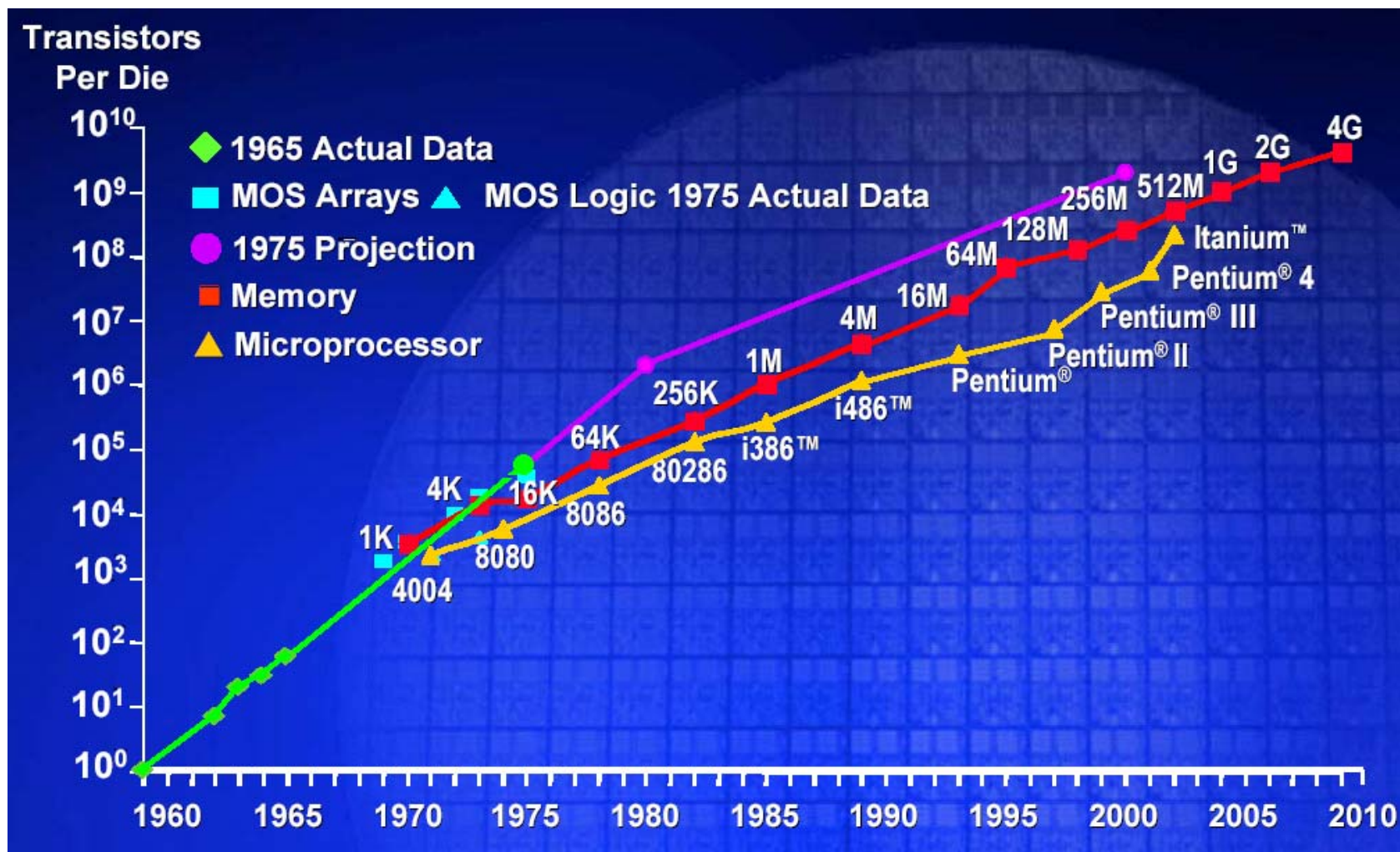
Počet tranzistorů se zdvojnásobuje každých 18 měsíců
— Gordon Moore, spoluzakladatel Intelu

Trendy technologie

Rok	2004	2006	2008	2010	2012
Char. velikost (nm)	90	65	45	32	22
Intg. kapacita (BT)	2	4	6	16	32

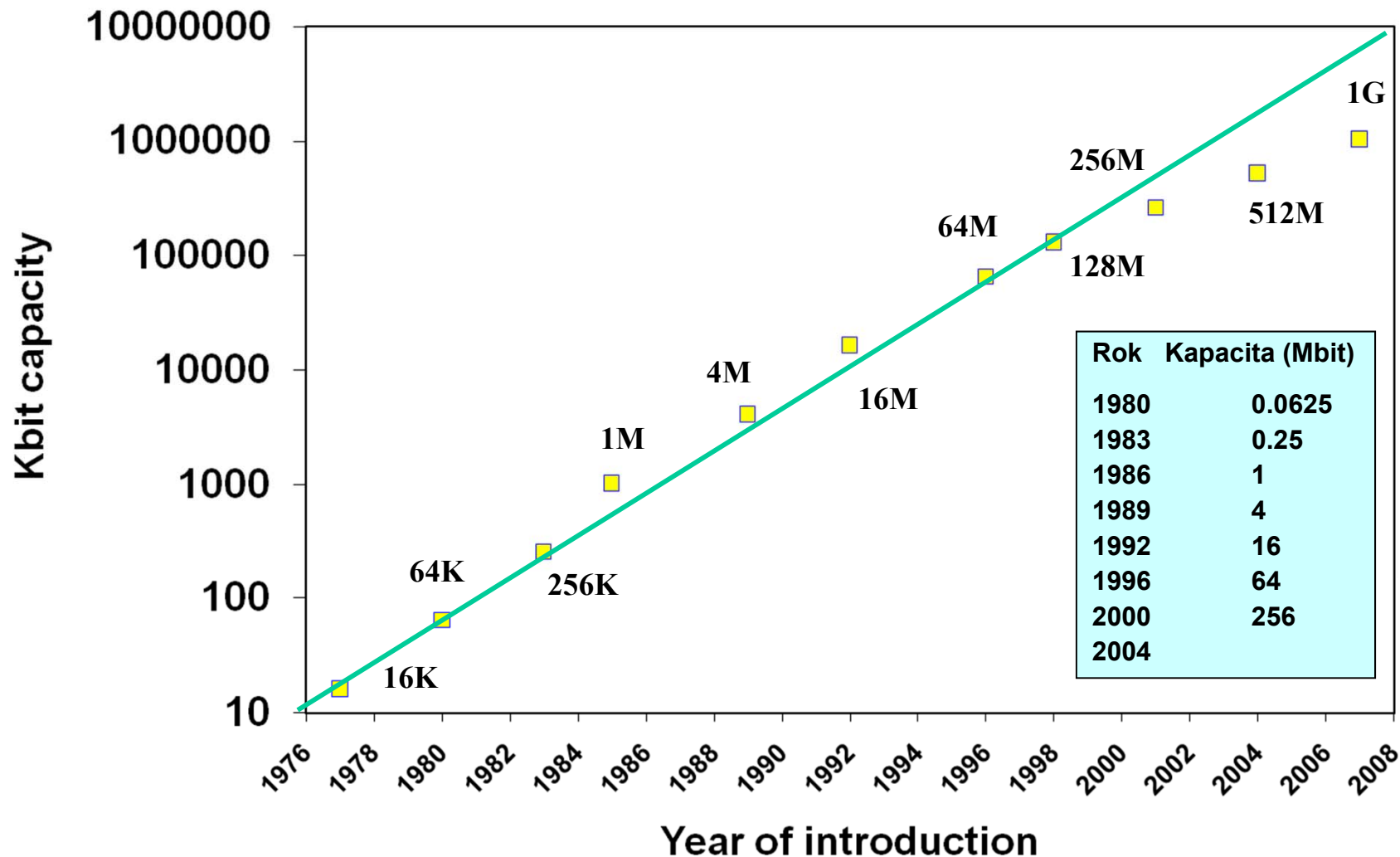
- Zajímavá fakta o 45nm tranzistorech
 - 30 milionů se jich vejde na hlavičku špendlíku
 - 2,000 jich lze umístit přes lidský vlas
 - Kdyby cena aut klesala stejnou rychlostí od roku 1968 jako cena tranzistoru, stálo by dnešní auto kolem 1 centu

Kapacita integrovaných obvodů

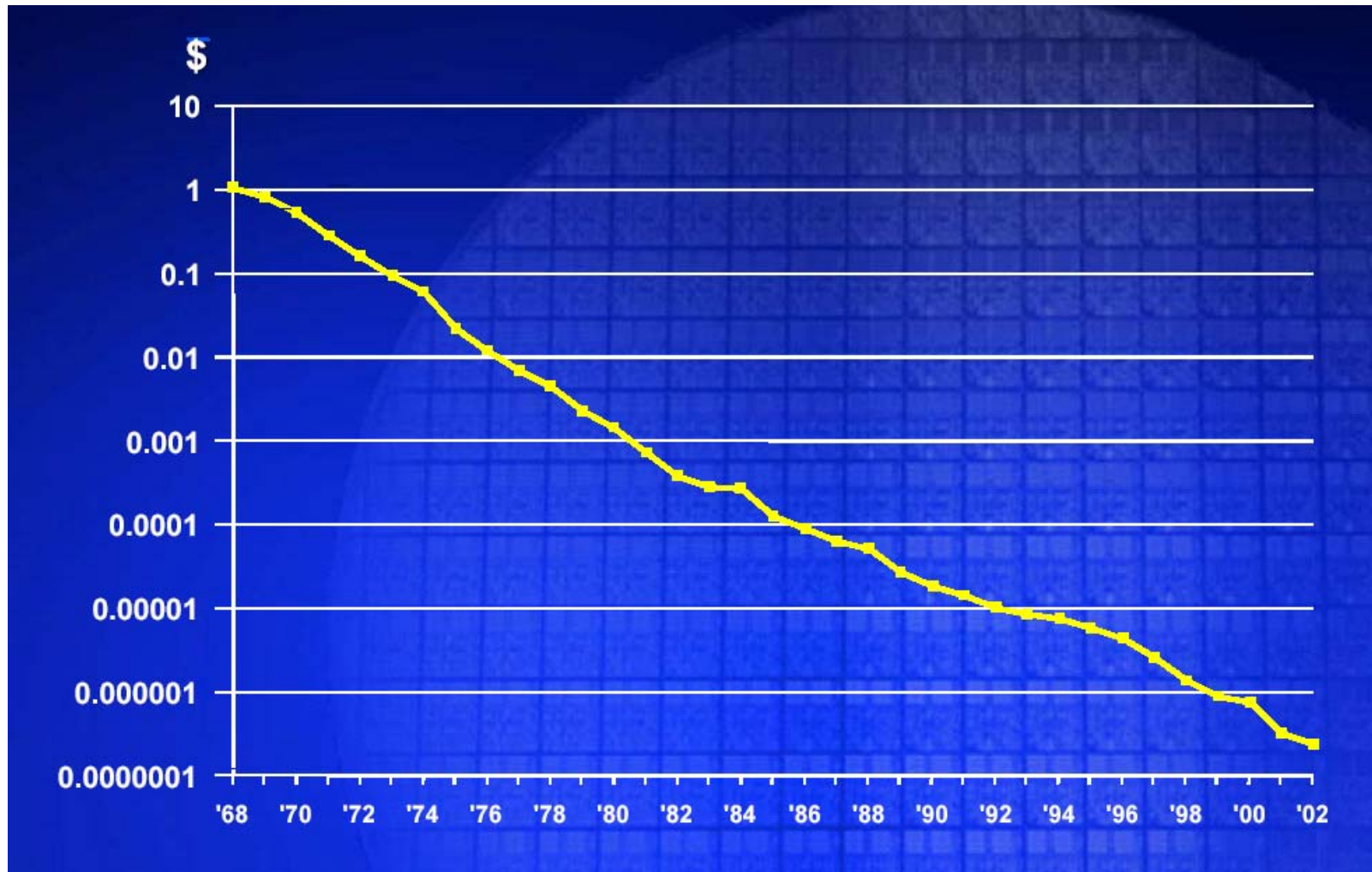


Další příklad Mooreova zákona

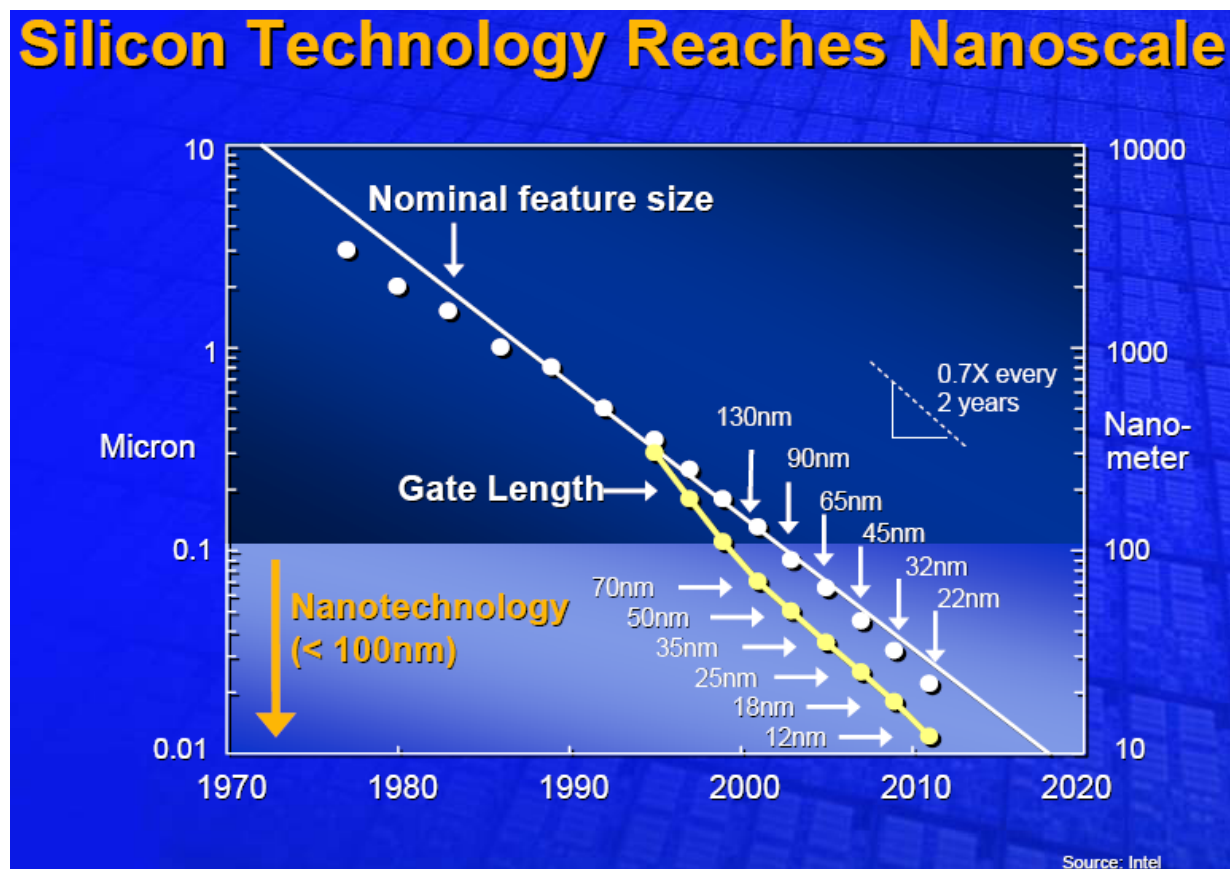
Nárůst kapacity DRAM během 3 dekad



Průměrná cena tranzistoru

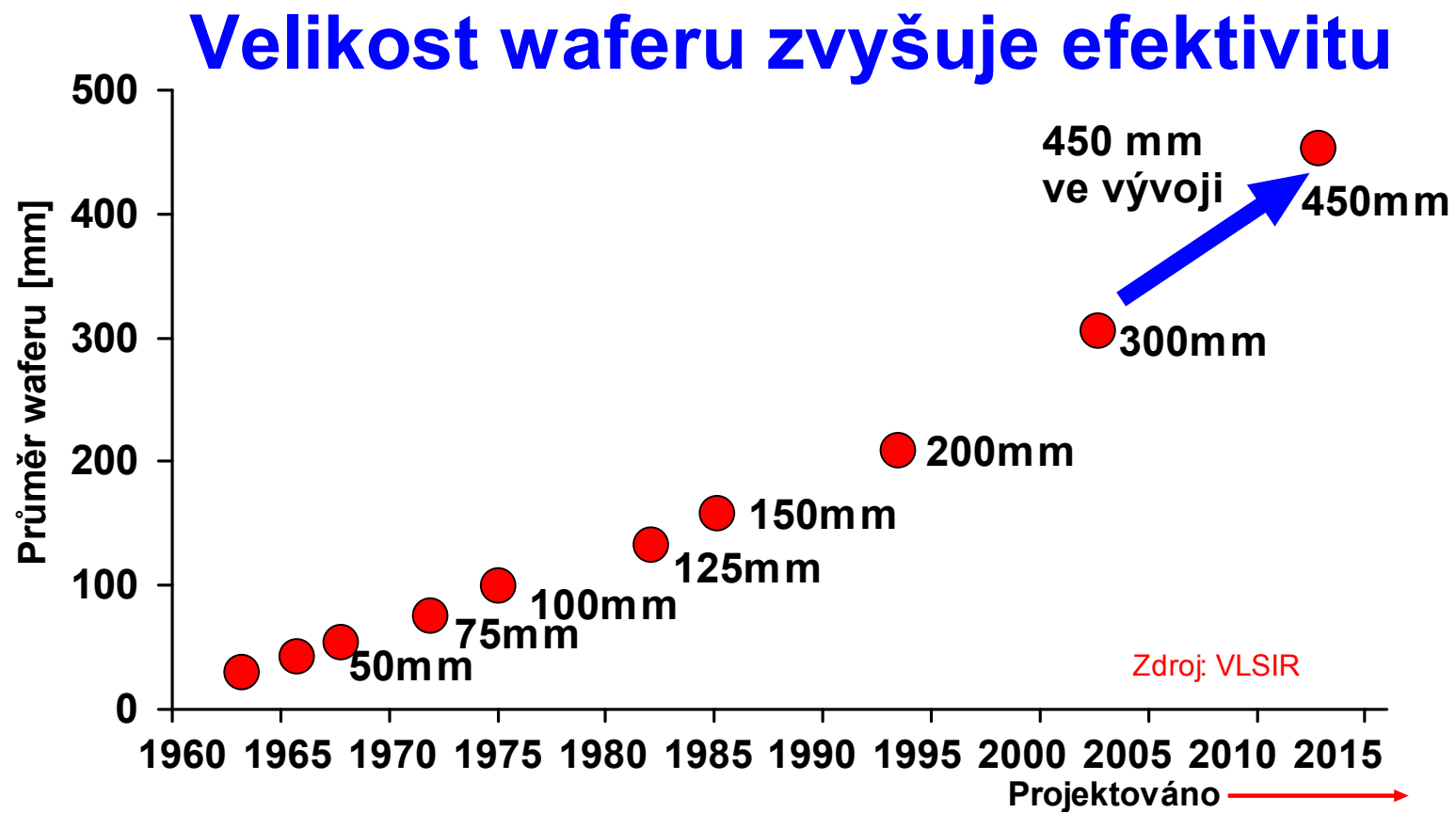


Vývoj technologie křemíku



Velikost prvku klesá na 70 % každých 18 až 24 měsíců

Velikost waferu

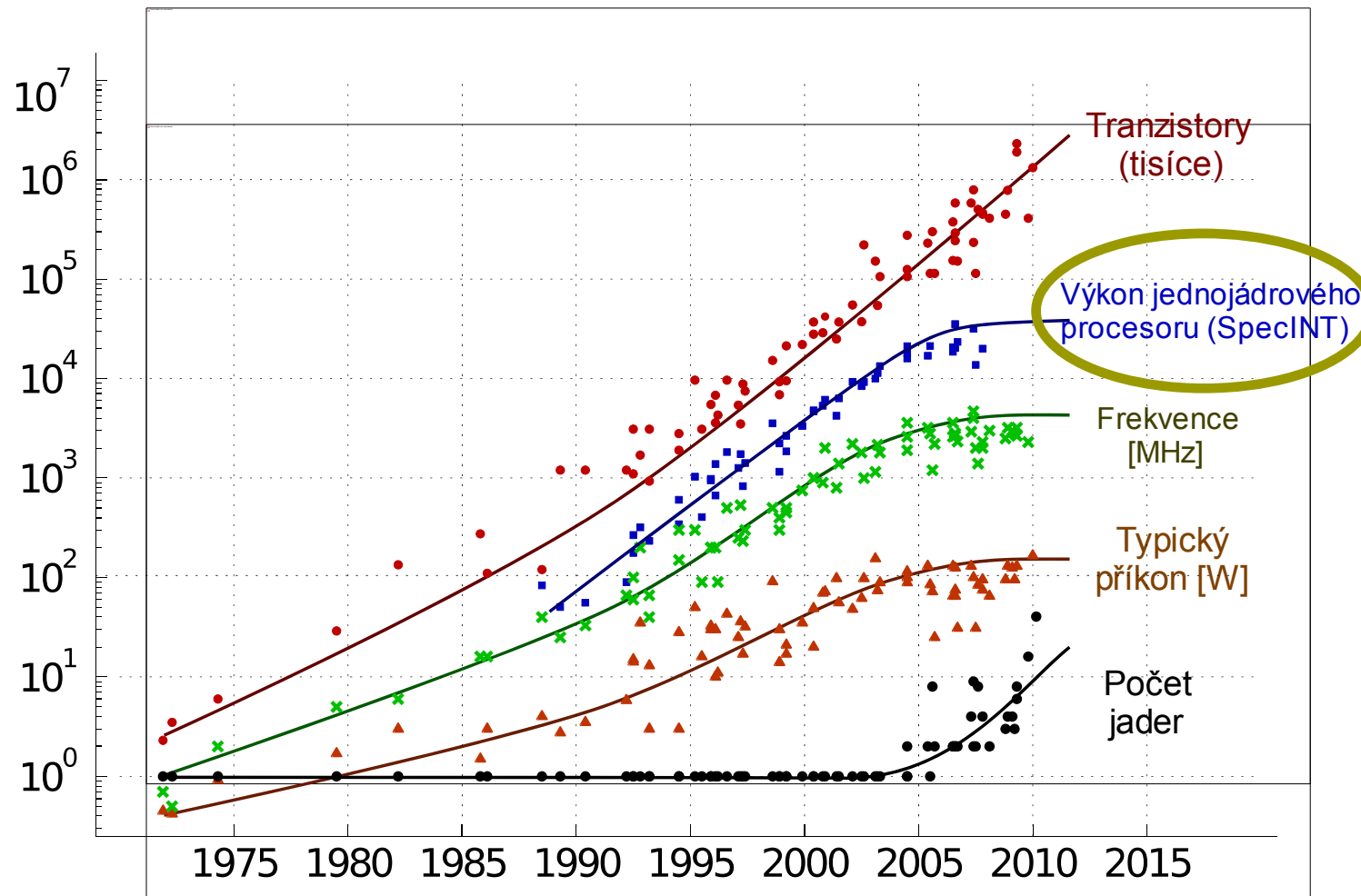


Intel CPU

Chip	Date	MHz	Transist	Memory	Notes
4004	4/1971	0.108	2,300	640	First microprocessor on a chip
8008	4/1972	0.108	3,500	16 KB	First 8-bit microprocessor
8080	4/1974	2	6,000	64 KB	First general-purpose CPU on a chip
8086	6/1978	5-10	29,000	1 MB	First 16-bit CPU on a chip
8088	6/1979	5-8	29,000	1 MB	Used in IBM PC
80286	2/1982	8-12	134,000	16 MB	Memory protection present
80386	10/1985	16-33	275,000	4 GB	First 32-bit CPU
80486	4/1989	25-100	1.2M	4 GB	Built-in 8K cache memory
Pentium	3/1993	60-233	3.1M	4 GB	Two pipelines; later models had MMX
Pentium Pro	3/1995	150-200	5.5M	4 GB	Two levels of cache built in
Pentium II	5/1997	233-400	7.5M	4 GB	Pentium Pro plus MMX

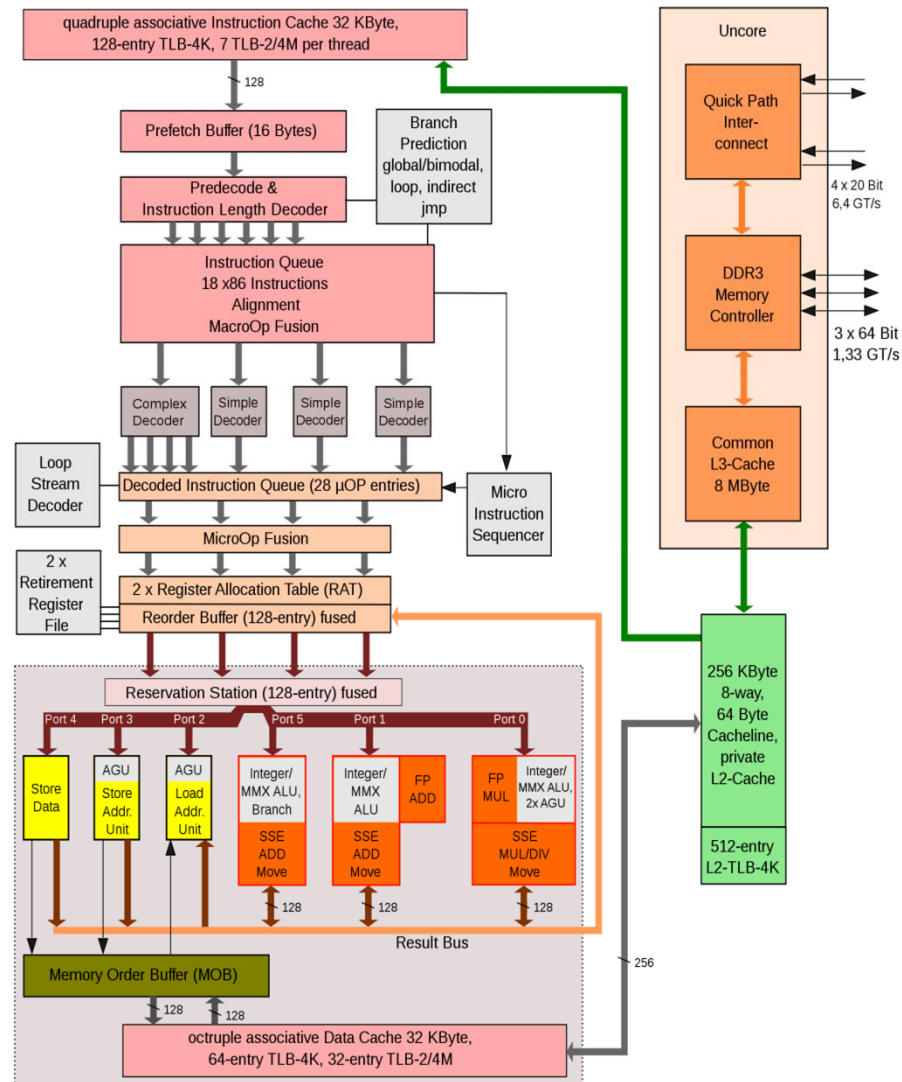
Pentium III – 800 MHz, 4GB Memory // Pentium 4 – 2+GHz, 4GB

Konec zvyšování výkonu jednojádrových procesorů

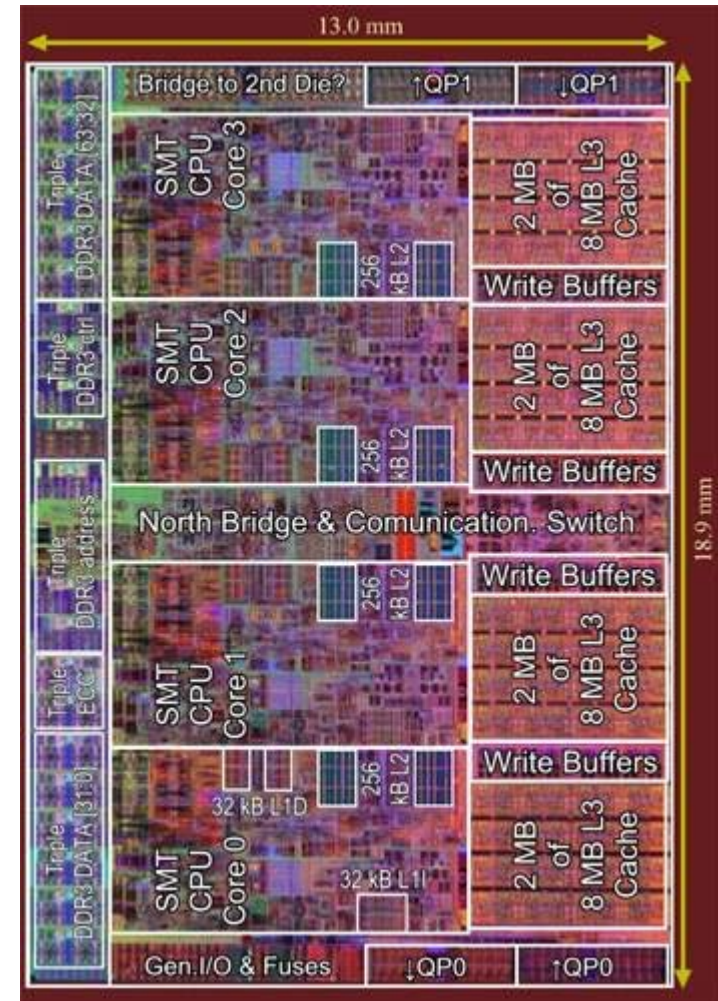


Mikroarchitektura Nehalem

Intel Nehalem microarchitecture

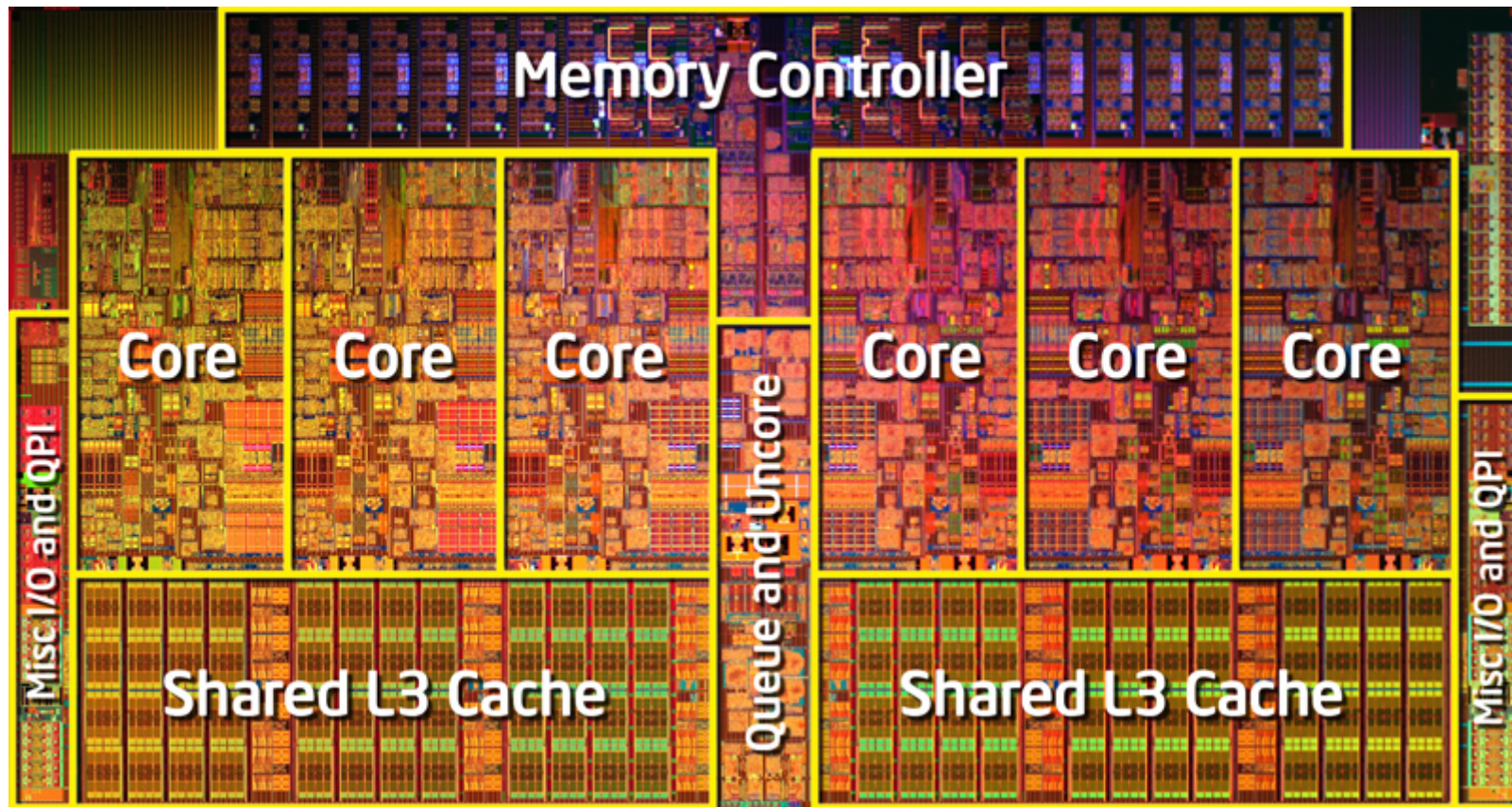


GT/s: gigatransfers per second



Nehalem die

Westmere die (6 jader)



Trendy technologie hardware

- **Procesor**
 - 2x větší rychlost každých 1.5 roku
 - 100x větší výkon za poslední dekádu
- **Paměť**
 - DRAM kapacita: 2x / 2 roky; **64x** kapacita za dekádu
 - Cena za bit: zlepšení asi o 25% za rok
- **Disk**
 - kapacita: > 2x kapacita každý 1.0 rok
 - Cena za bit: zlepšení asi o 100% za rok (1/2 cena)
 - **120x kapacita** v poslední dekádě
- **Nové jednotky!** *Giga* (10^9) *Tera* (10^{12})

Fyzikální limity Mooreova zákona

- Limity vlivem nutných izolačních vzdáleností **(2-3nm)**
- Kvantové tunelové efekty => *crosstalk*
- Jak moc zmenšovat? **(0.02 micron / 2nm = 10x)**
- O kolik rychlejší? Rychlost = $k * \text{plocha}$
 - o 3 až 4 řády rychlejší (10^3 - 10^4)
 - 2.6 GHz nyní => 5 THz až 10 THz ???
- **Kdy? (během příštích 10-15 let ...)**

Dospěje vývoj počítačů ke svým **limitům?**

Možnosti:

- Rychlejší procesory, algoritmy využívající stávající technologii
- Nárůst šířky pásma sběrnic, které dodávají procesoru data
- Nalezení kompaktnějších způsobů kódování dat v procesu zpracování
- Neustávající zlepšování výkonu procesorů, pamětí a komunikace
- Technologie \Leftrightarrow aplikace – jedno podporuje rozvoj druhého
 - Kompilátory
 - Křemík
- Bude Mooreův zákon platit navždy? ☹/ ☺
 - Objevují se „skeptické“ názory, že éra platnosti Mooreova zákona je u konce.

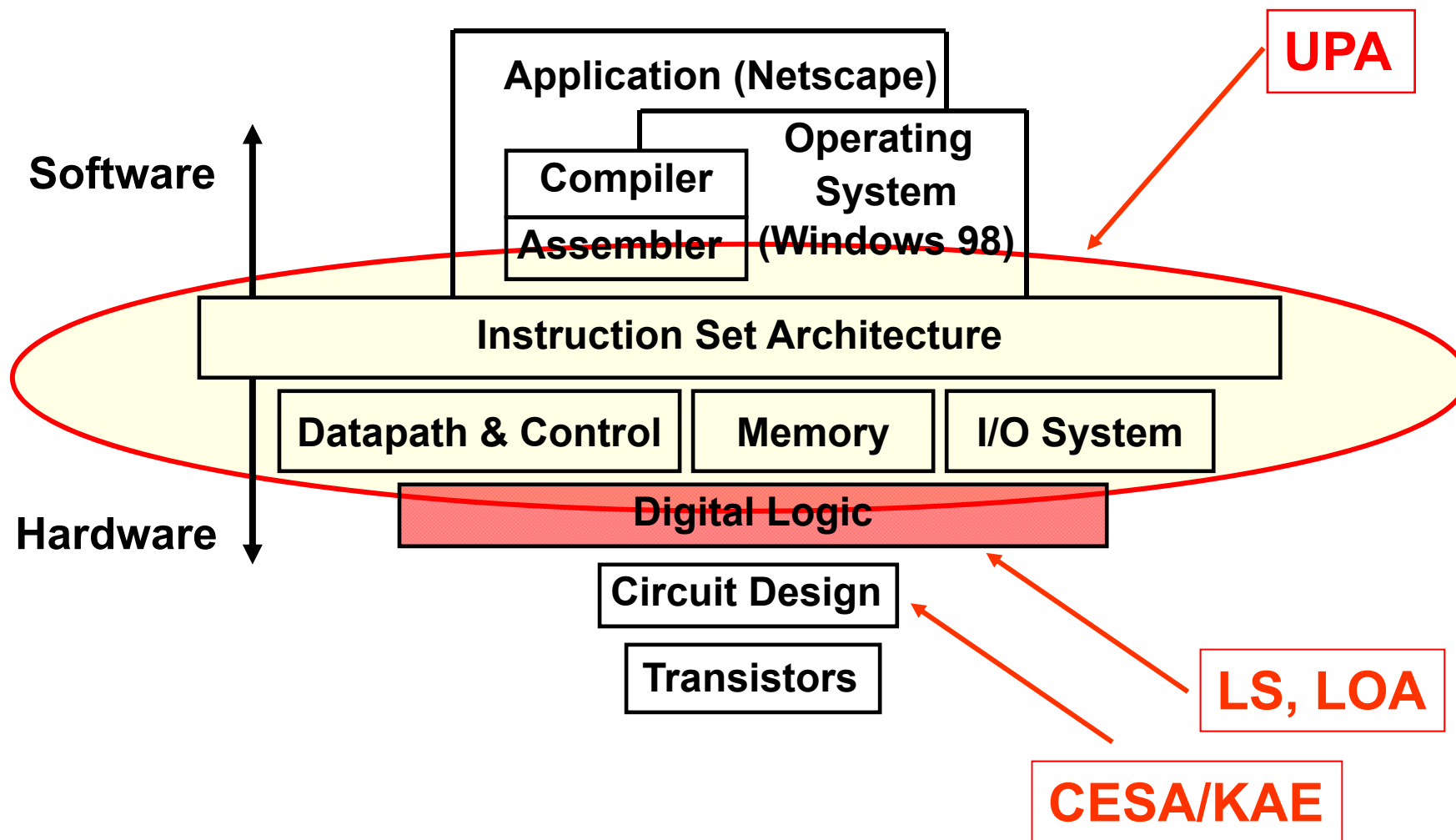
Řešení (?) Mooreova zákona

- **Kvantové počítače** 😊
 - Jiný přístup – všechny výsledky najednou
 - Jak nalézt “správný” výsledek?
 - Implementace: Optika? Křemík? ???
 - Zatím jen zprávy o úspěšných pokusech s kvantovými prvky
- **Hluboce experimentální technologie**
 - Využití spinu pro realizaci paměťového prvku
 - DNA Computing (Pattern Matching)

Nové téma – digitální logika

- Digitální logika – viz předmět LS, LOA
- Booleovské operace, Booleova algebra
- Tranzistory a digitální logika
- Základní hradla – *and*, *or*, *not*
 - Implementace tranzistoru
 - Pravdivostní tabulky
- Komplexní logické obvody
- Kombinační logické systémy
- Paměťové prvky
- Taktování

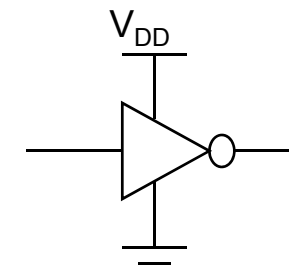
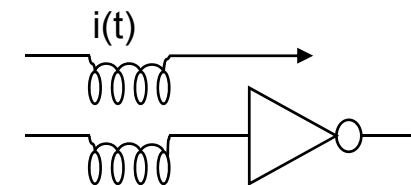
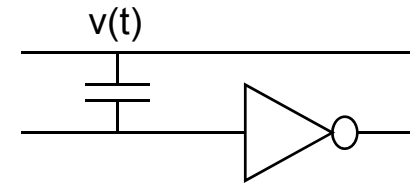
Digitální logika



Spolehlivost a robustnost

Šum v digitálních integrovaných obvodech

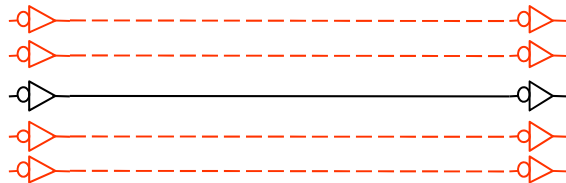
- **Šum** – nežádoucí změny napětí a proudu na logických uzlech
- Mezi dvěma vodiči, umístěnými v těsné blízkosti
 - **kapacitní vazba**
 - změna napětí na jednom vodiči ovlivňuje signál sousedního vodiče
 - přeslechy
 - **induktivní vazba**
 - změna proudu v jednom vodiči ovlivňuje signál sousedního vodiče
- Šum napájení a zemí
 - může ovlivnit signálové úrovně v hradle



Příklad kapacitní vazby

- Zákmity na signálovém vodiči o velikosti 80% napájecího napětí jsou běžné vlivem přeslechů mezi sousedními vodiči.

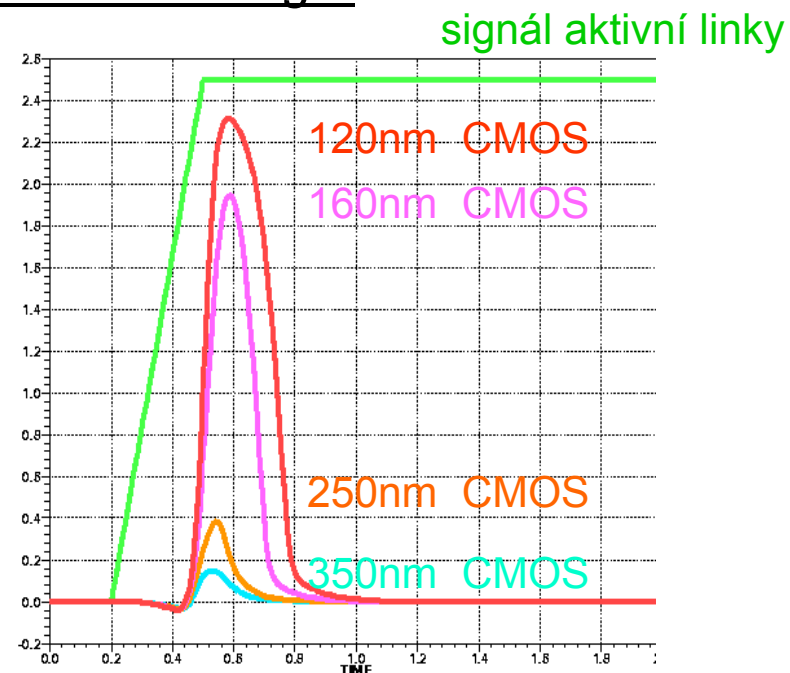
Přeslechy versus technologie



Černý vodič - v klidu —————

Červený vodič aktivní - - - - -

Velikost špiček v závislosti na technologii

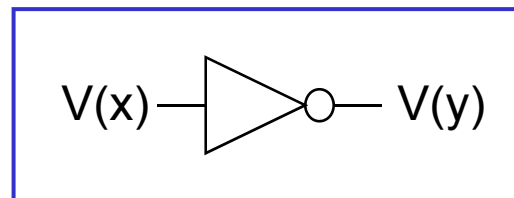


Dunlop, Lucent, 2000

Statické chování hradla

- Statické parametry hradla – *statické chování* – říkají, jak je obvod odolný vzhledem k variacím ve výrobním procesu a jak je závislý na šumu.
- Digitální obvody pracují s Booleovskými proměnnými
 $x \in \{0,1\}$
- Logická proměnná je asociována s *nominální napětovou úrovní* pro každou logickou hodnotu

$$1 \Leftrightarrow V_{OH} \text{ a } 0 \Leftrightarrow V_{OL}$$



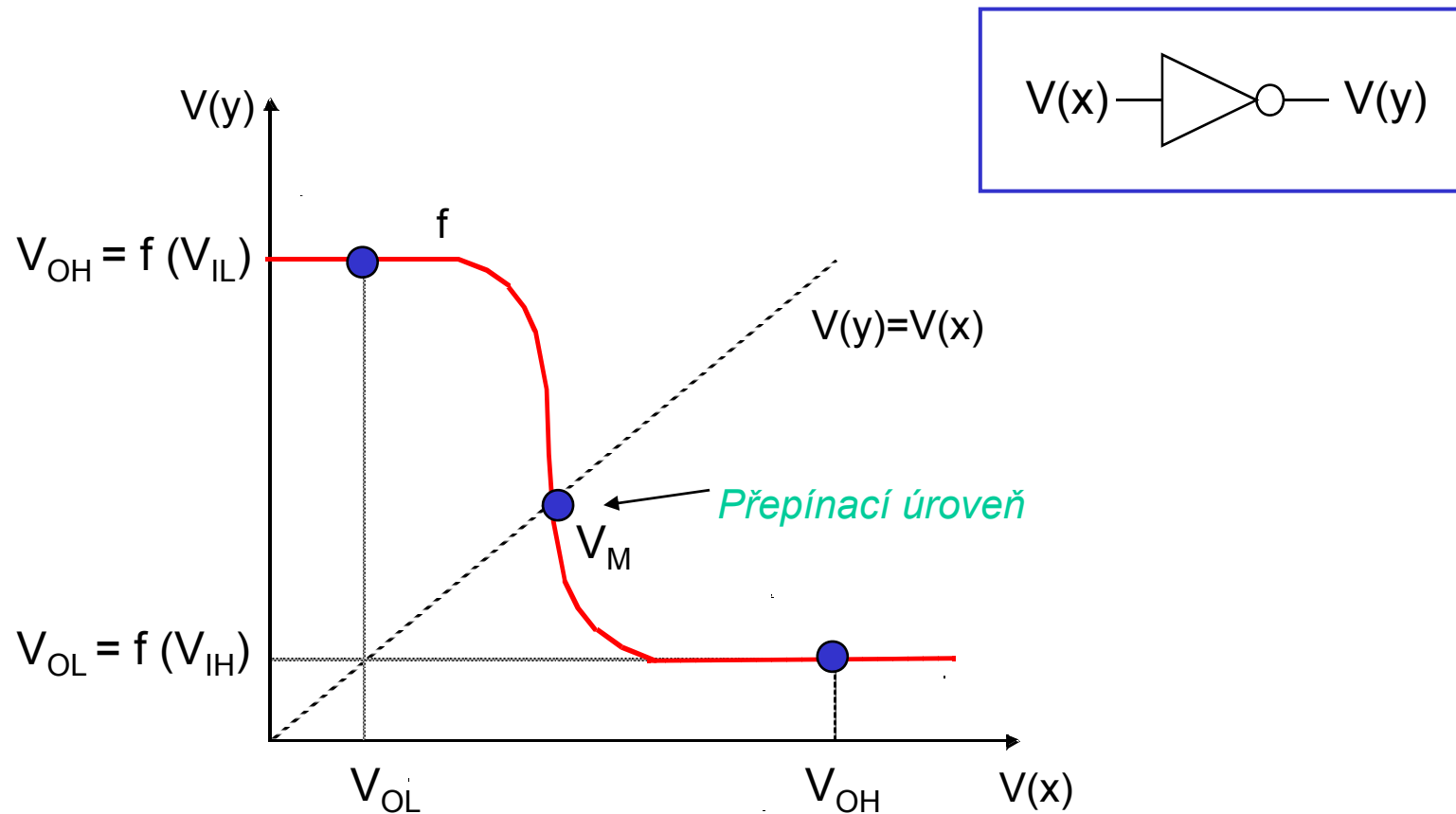
$$V_{OH} = ! (V_{OL})$$

$$V_{OL} = ! (V_{OH})$$

- Rozdíl mezi V_{OH} a V_{OL} je *logický* nebo *signálový zdvih* V_{sw}

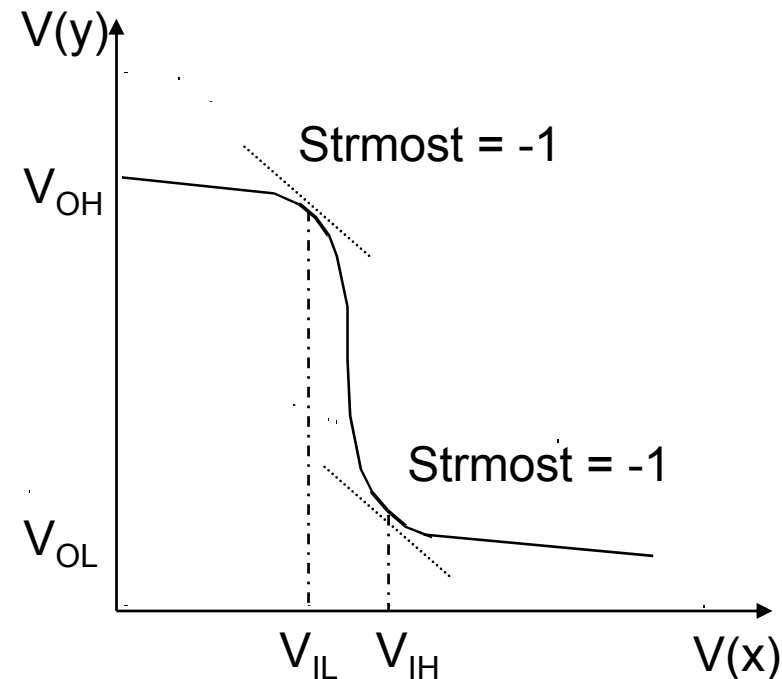
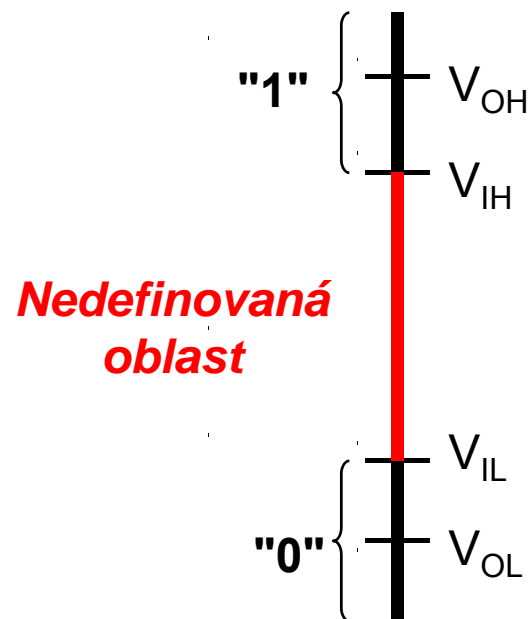
Převodní charakteristika hradla

- ❑ Závislost výstupního napětí na vstupním napětí



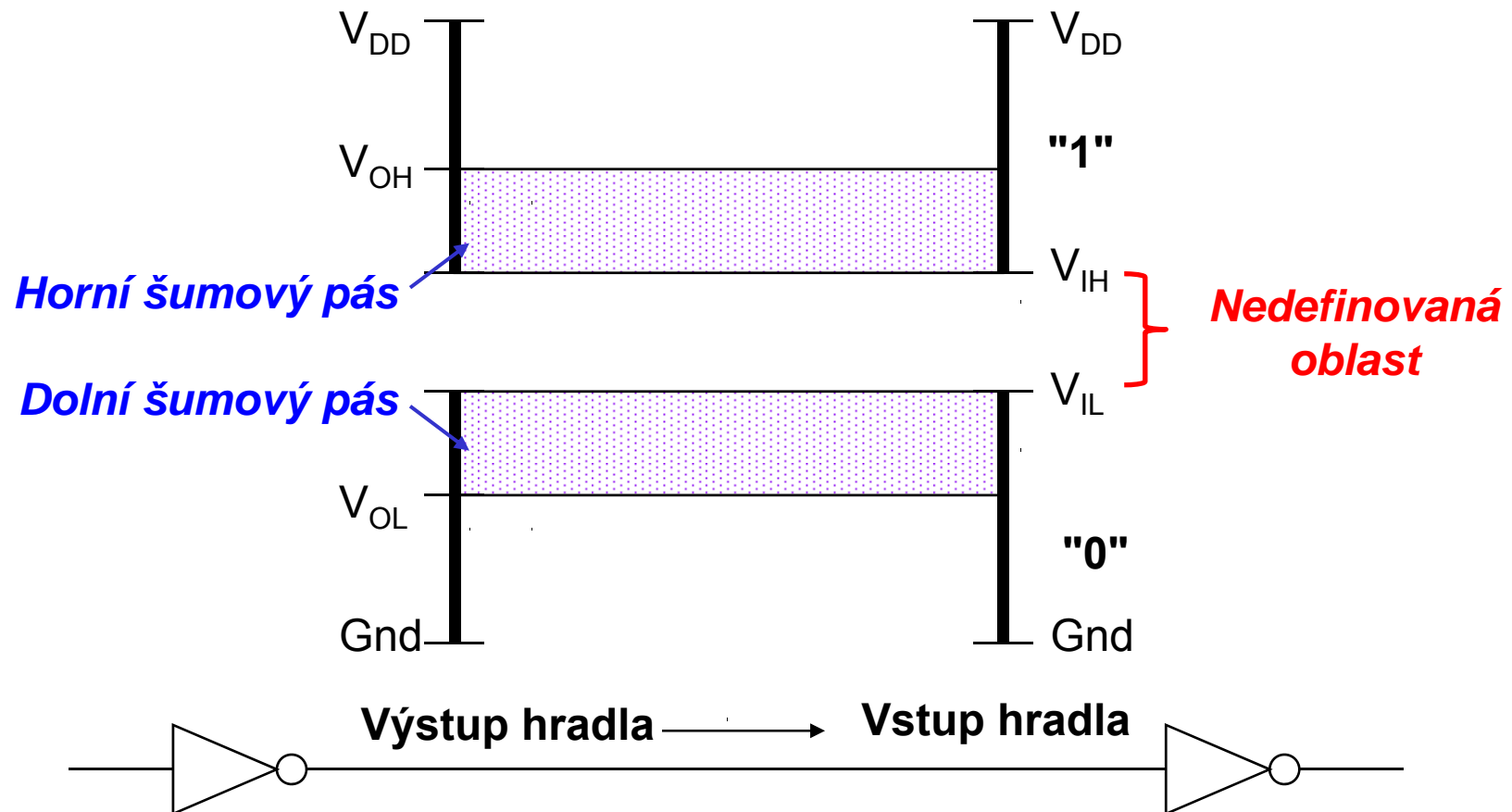
Mapování logických úrovní do napěťové oblasti

- ❑ Oblasti akceptovatelného vyššího a nižšího napětí jsou vymezeny hodnotami V_{IH} a V_{IL} , které reprezentují body na převodní charakteristice hradla se ziskem rovným -1.



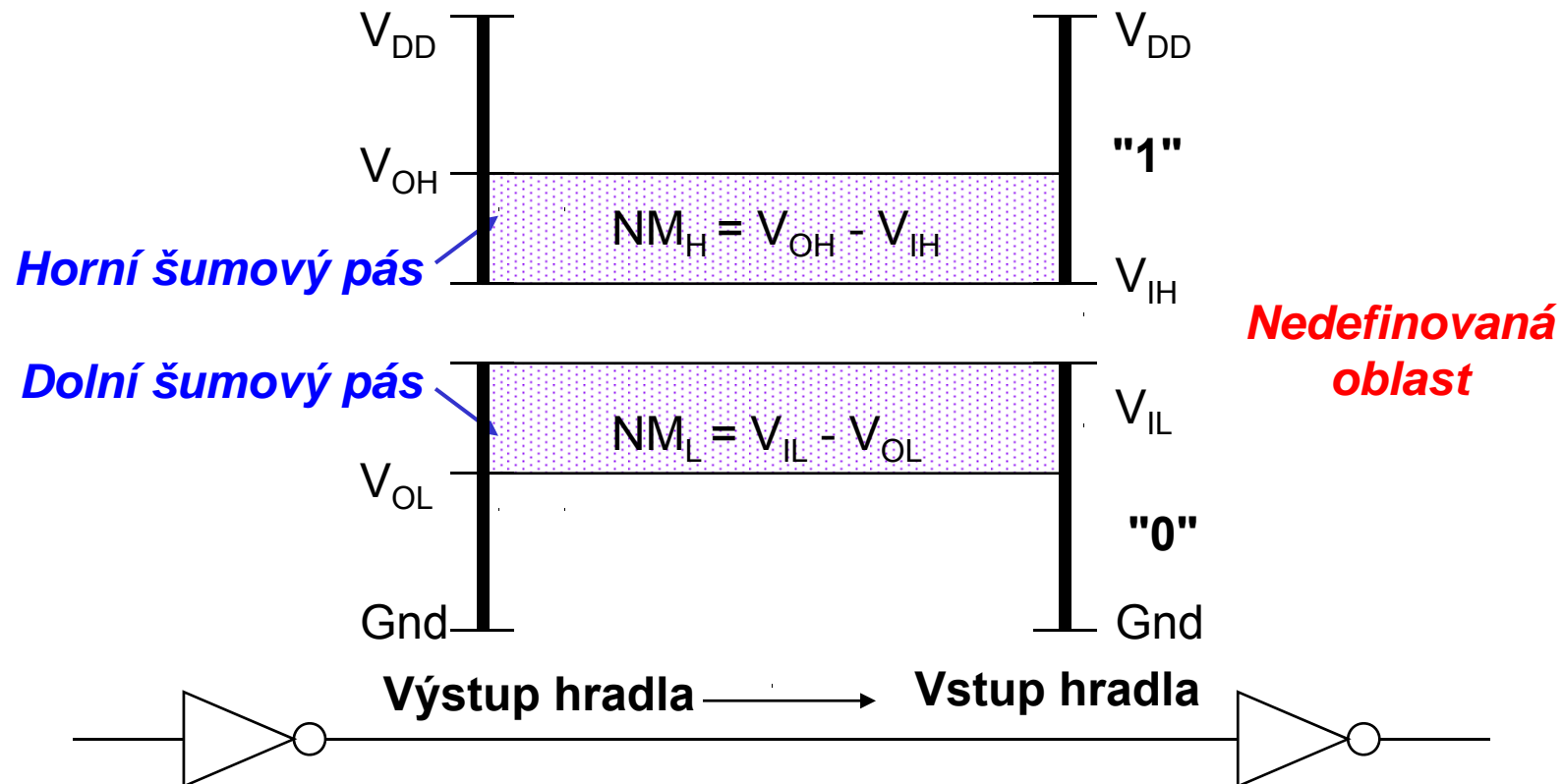
Odstup šumu

- „Robustní“ obvody vyžadují, aby intervaly pro “0” a “1” byly co možná nejširší



Odstup šumu

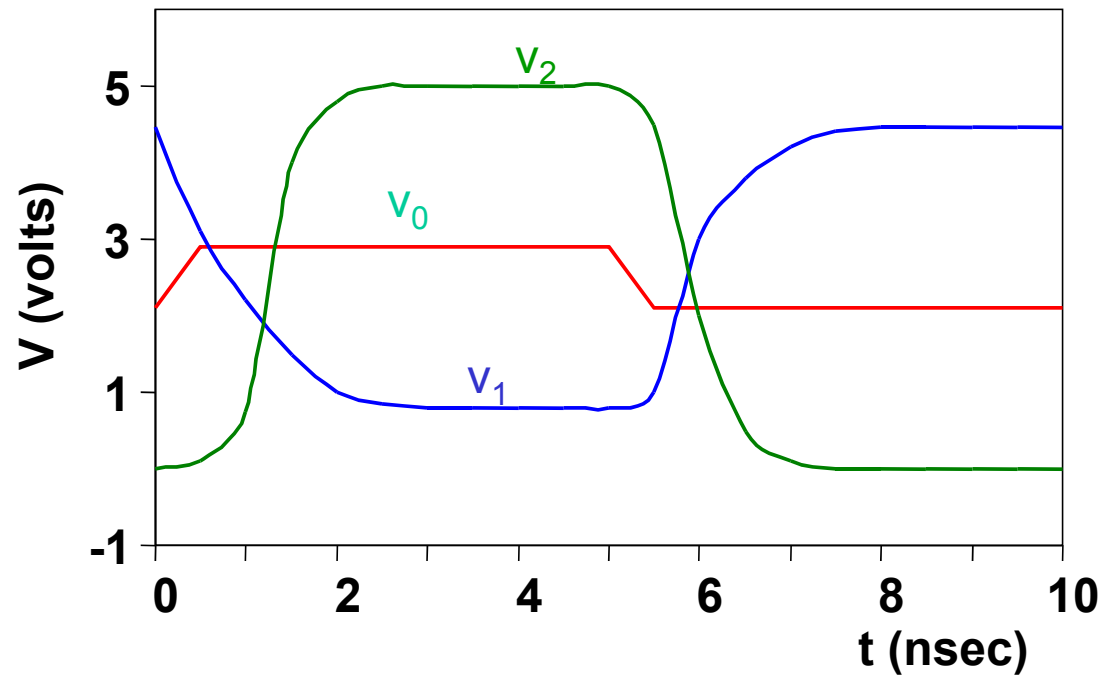
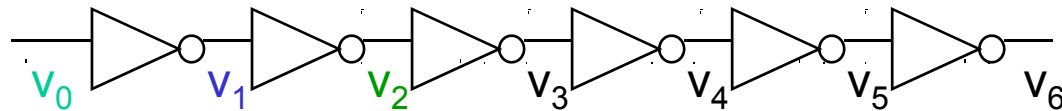
- „Robustní“ obvody vyžadují, aby intervaly pro „0“ a „1“ byly co možná nejširší



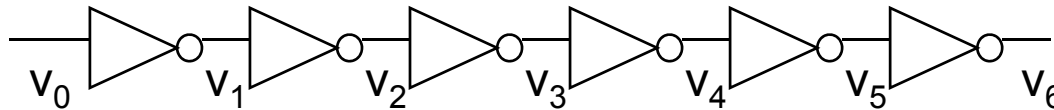
- Požadují se široké pásy napětí, které se reprezentuje jako „0“ nebo „1“, ale nestačí to ...

Vlastnost regenerace

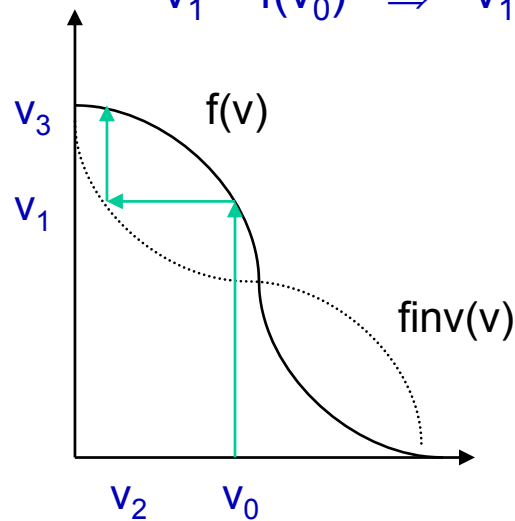
- Hradlo s vlastností regenerace zajišťuje, že rušený signál konverguje zpět na nominální napěťové úrovně.



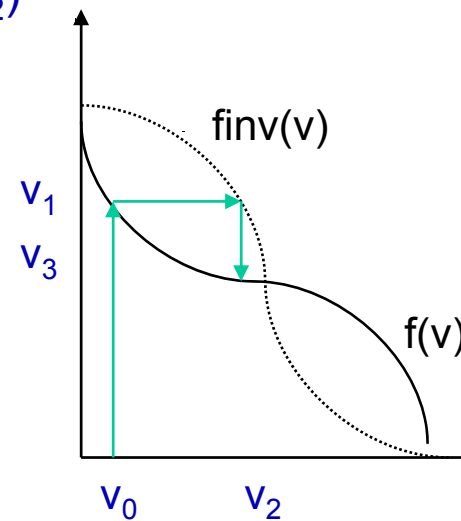
Podmínky regenerace



$$v_1 = f(v_0) \Rightarrow v_1 = \text{finv}(v_2)$$



Regenerativní hradlo



Neregenerativní hradlo

- Aby hradlo bylo regenerativní, musí mít převodní charakteristika zisk v přechodové oblasti **větší** než 1 (v absolutní hodnotě) a tato oblast musí být omezena dvěma zónami, kde zisk je **menší** než 1. Takové hradlo má pak dva stabilní operační body.

Šumová imunita

- „Šumové pásy“ vyjadřují schopnost obvodu „pohltit“ šumový signál, generovaný zdrojem šumu
 - zdroje šumu: šum zdroje, přeslechy, interference, ss posun (offset)
- Absolutní hranice pro šum jsou klamné
 - vodiče bez buzení jsou snáze rušeny než linky, buzené zdrojem o nízké impedanci (míníme napěťové rušení)

Šumová imunita vyjadřuje schopnost systému korektně přenášet a zpracovávat informace za přítomnosti šumu

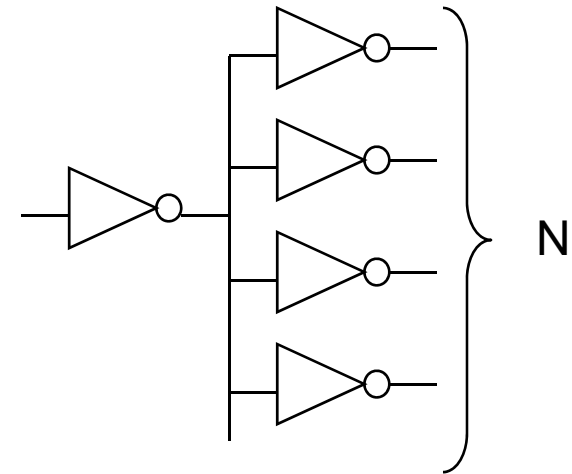
- Pro správnou šumovou imunitu musí být signálový zdvih (rozdíl mezi V_{OH} a V_{OL}) a „šumové pásy“ dostatečně široké, aby překryly vliv šumu.

Směrnost

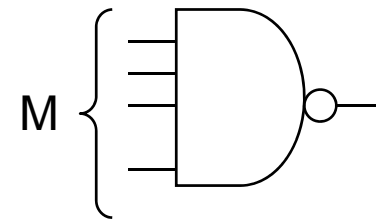
- Hradlo musí být *jednosměrné*: změny výstupní úrovně nesmí ovlivňovat žádný vstup toho samého obvodu
 - V reálných obvodech je *úplná* jednosměrnost iluze (např. již kvůli zmíněným kapacitním vazbám mezi vstupem a výstupem)
- Klíčové metriky: *výstupní impedance* budiče a *vstupní impedance* vstupu
 - ideálně, výstupní impedance budiče je nulová a
 - vstupní impedance vstupu je nekonečná

Logický zisk (Fan-In, Fan-Out)

- ❑ Fan-out – počet hradel připojitelných k výstupu hradla
 - hradla s velkým logickým ziskem jsou pomalejší

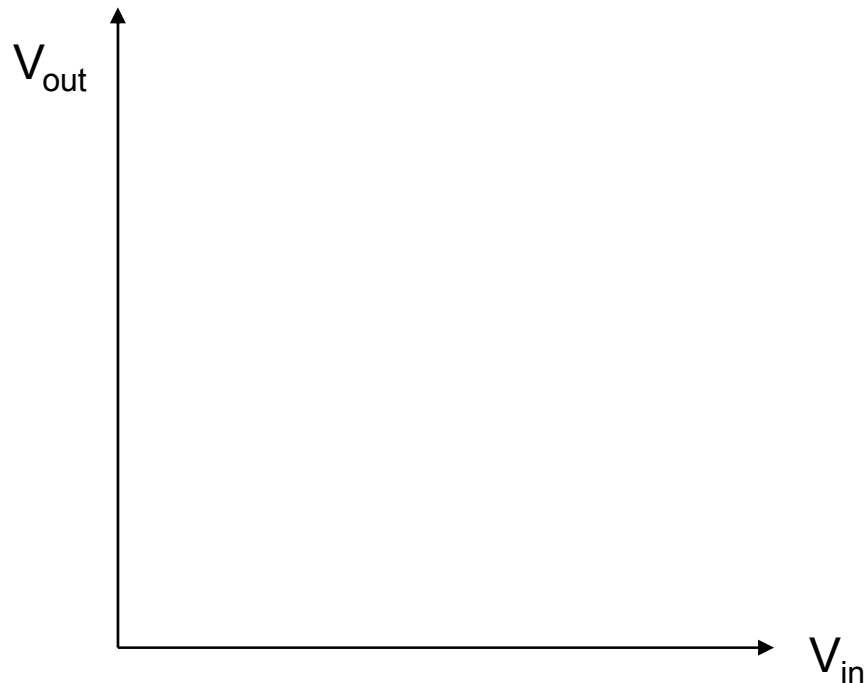


- ❑ Fan-in – počet vstupů hradla
 - hradla s velkým počtem vstupů jsou rozměrná a pomalejší



Ideální invertor

- Ideální hradlo by mělo mít
 - nekonečný zisk v přechodové oblasti
 - přepínací úroveň umístěnou ve středu logického zdvihu
 - horní a dolní pásy logických úrovní stejné a rovné polovině zdvihu
 - nulovou výstupní a nekonečnou vstupní impedanci



$$R_i = \infty$$

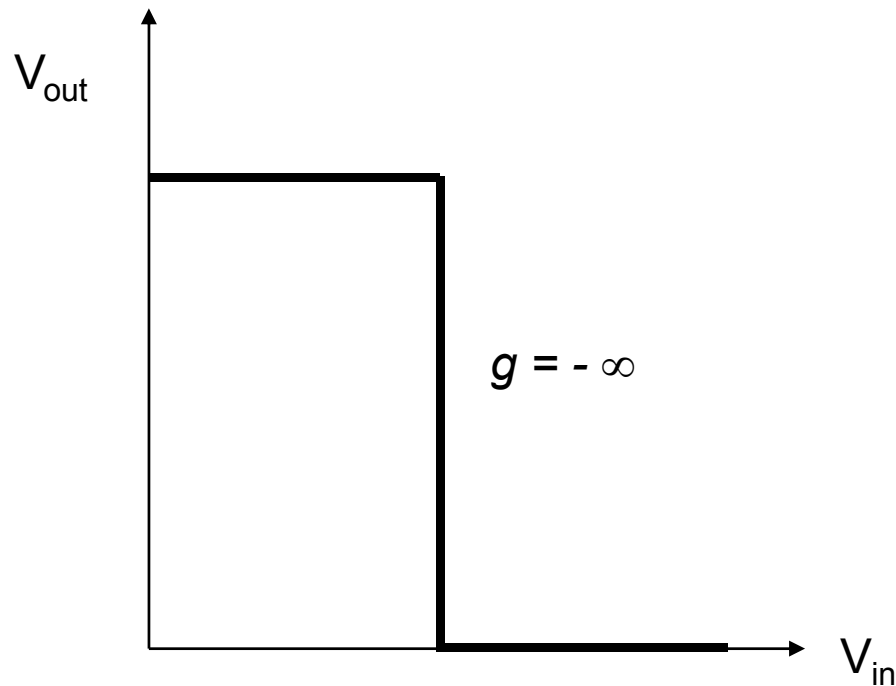
$$R_o = 0$$

$$\text{Fanout} = \infty$$

$$NM_H = NM_L = V_{DD}/2$$

Ideální invertor

- Ideální hradlo by mělo mít
 - nekonečný zisk v přechodové oblasti
 - přepínací úroveň umístěnou ve středu logického zdvihu
 - horní a dolní pásy logických úrovní stejné a rovné polovině zdvihu
 - nulovou výstupní a nekonečnou vstupní impedanci



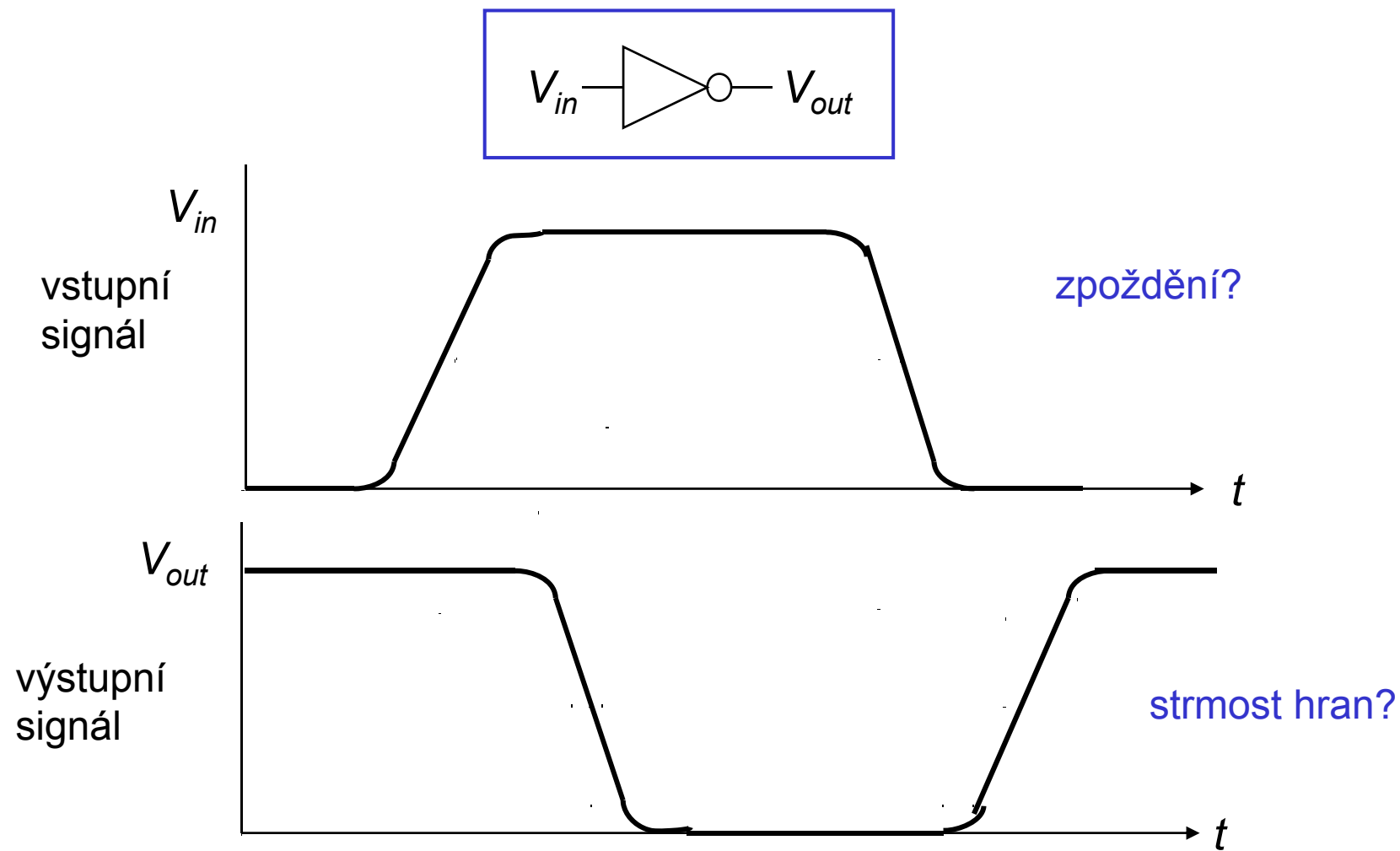
$$R_i = \infty$$

$$R_o = 0$$

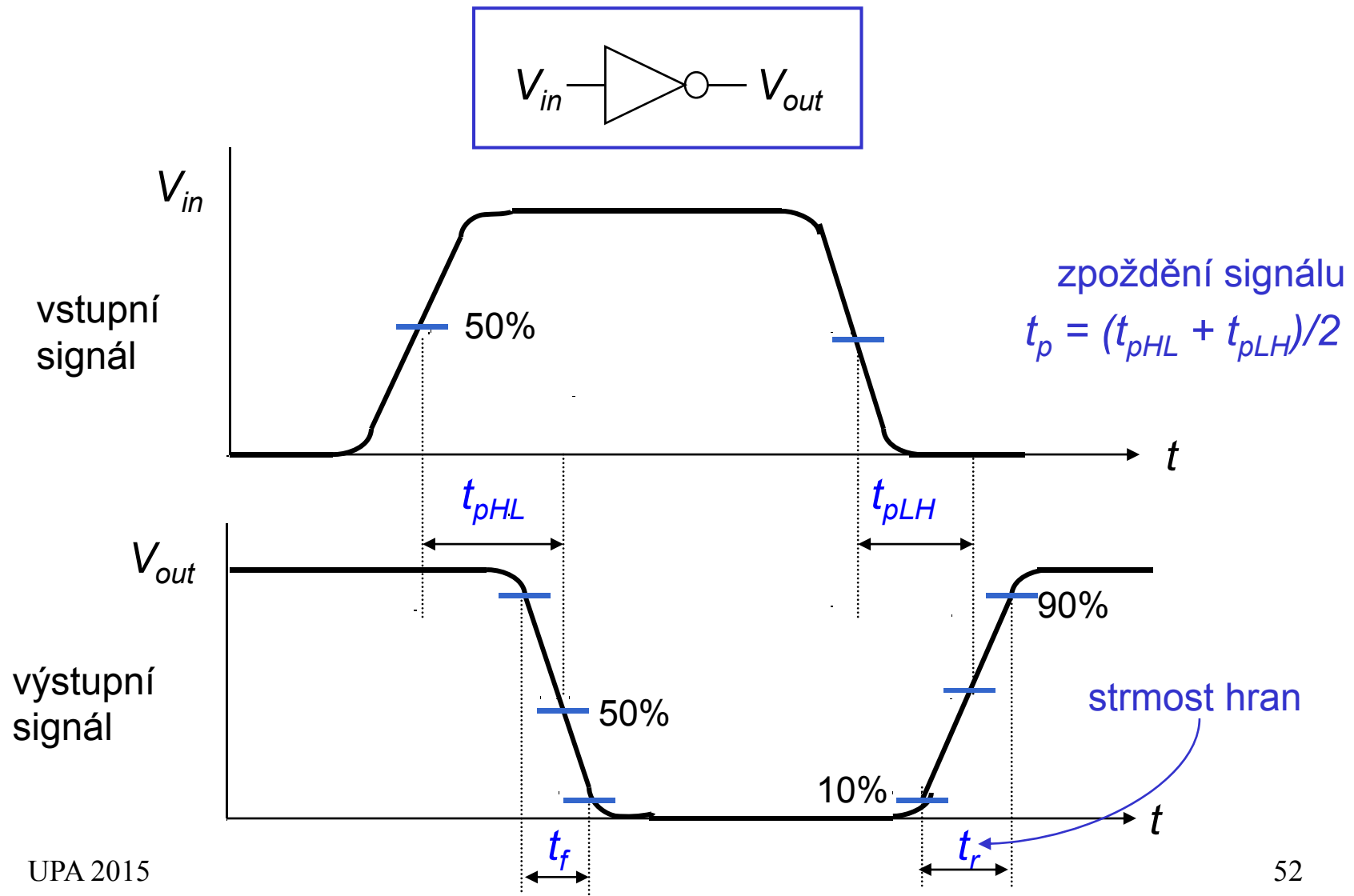
$$\text{Fanout} = \infty$$

$$NM_H = NM_L = V_{DD}/2$$

Definice zpoždění

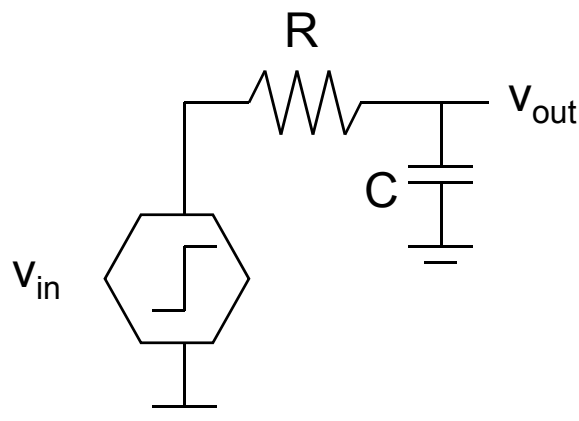


Definice zpoždění



Model zpoždění

- Modelový obvod - RC člen 1. řádu



$$v_{\text{out}}(t) = (1 - e^{-t/\tau})V$$

$$\text{kde } \tau = RC$$

Doba potřebná pro dosažení 50% je rovna

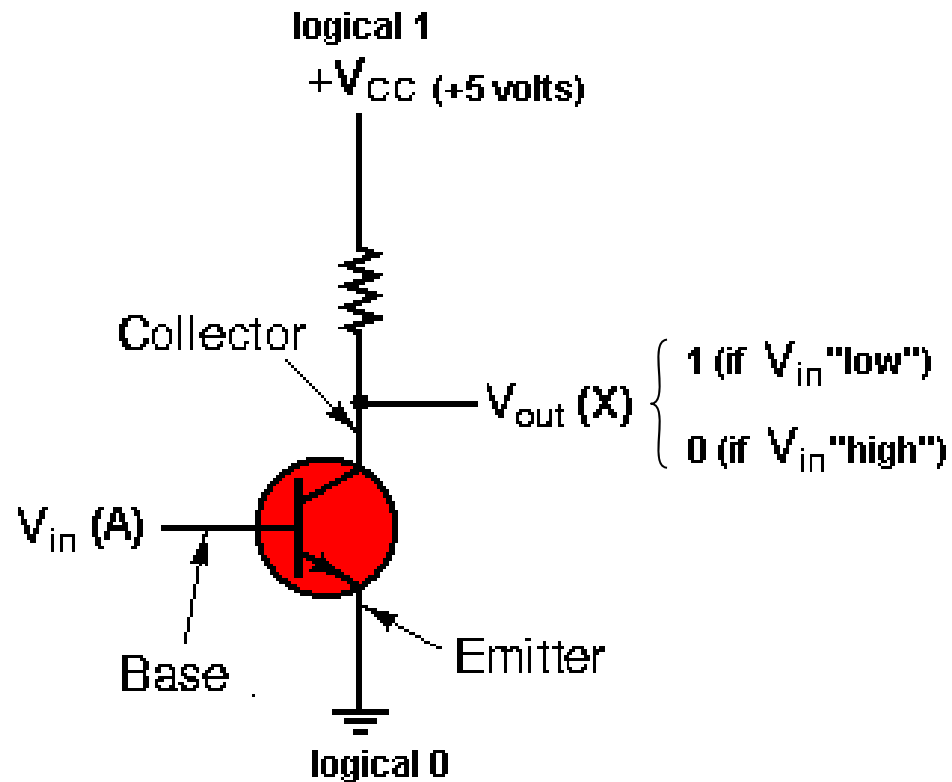
$$t = \ln(2) \tau = 0.69 \tau$$

Doba potřebná pro dosažení 90% je rovna

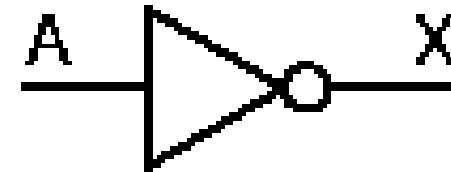
$$t = \ln(9) \tau = 2.2 \tau$$

- Odpovídá** zpoždění hradla typu invertor

Tranzistory & Digitální logika



**hradlo NOT
(Invertor)**

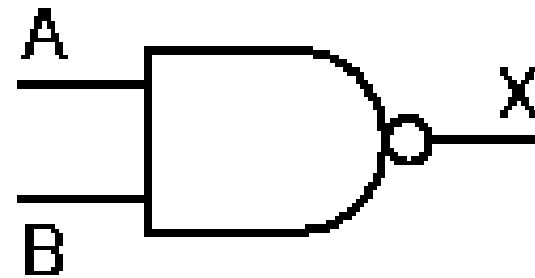
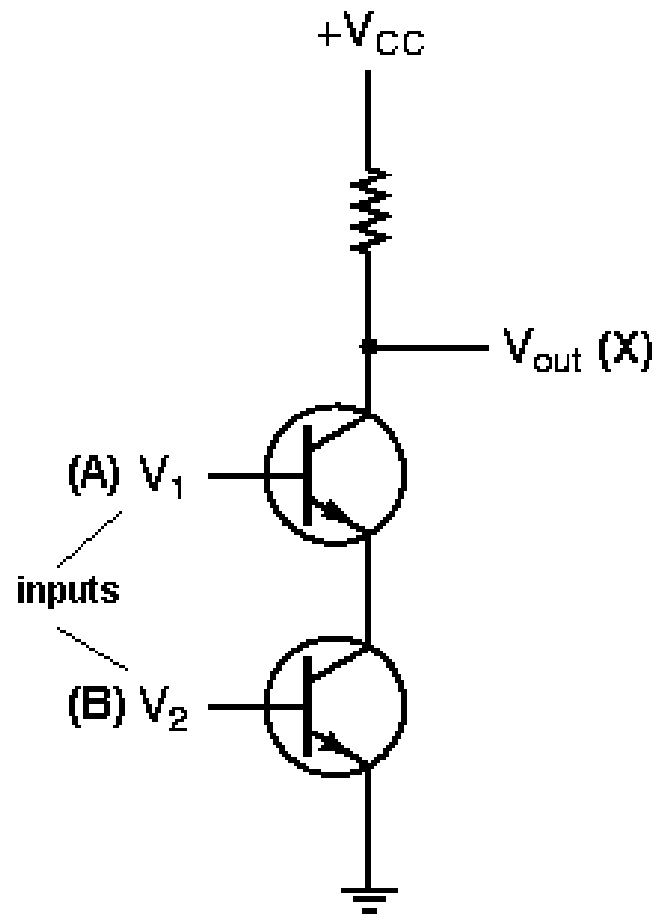


Symbol
hradla

A	X
0	1
1	0

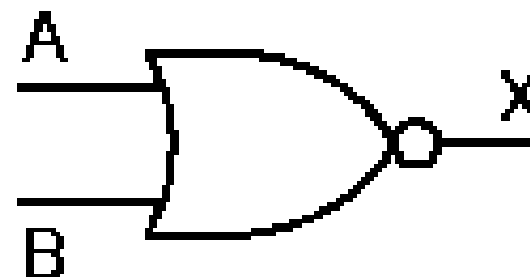
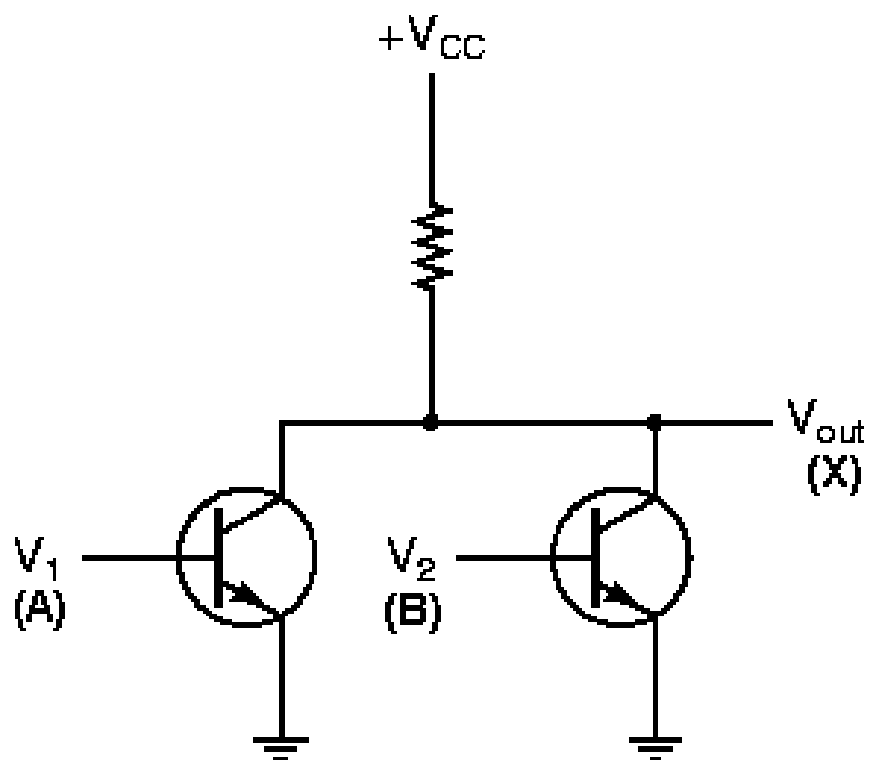
Pravdivostní
tabulka
(funkční popis)

Hradlo NAND



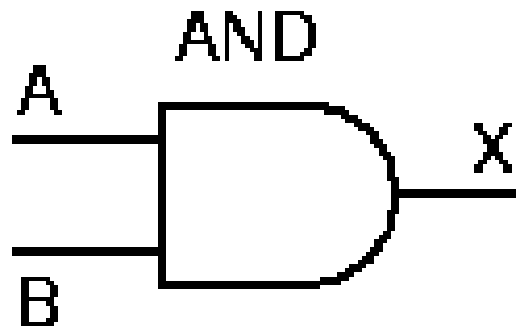
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Hradlo NOR

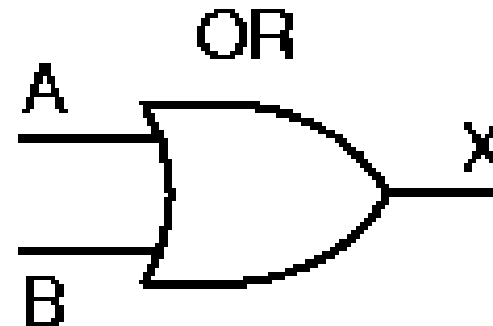


A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

Hradla AND & OR

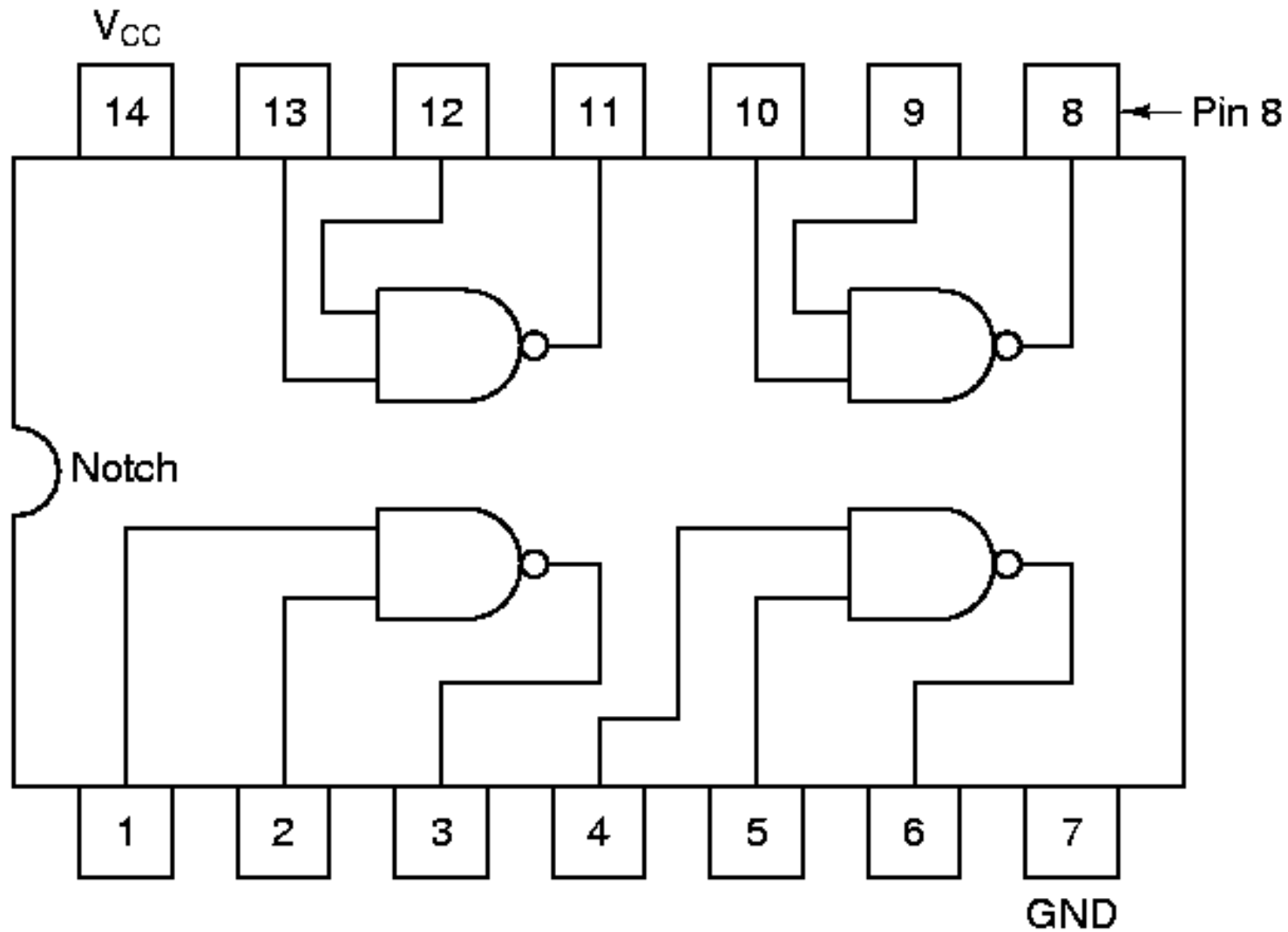


A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

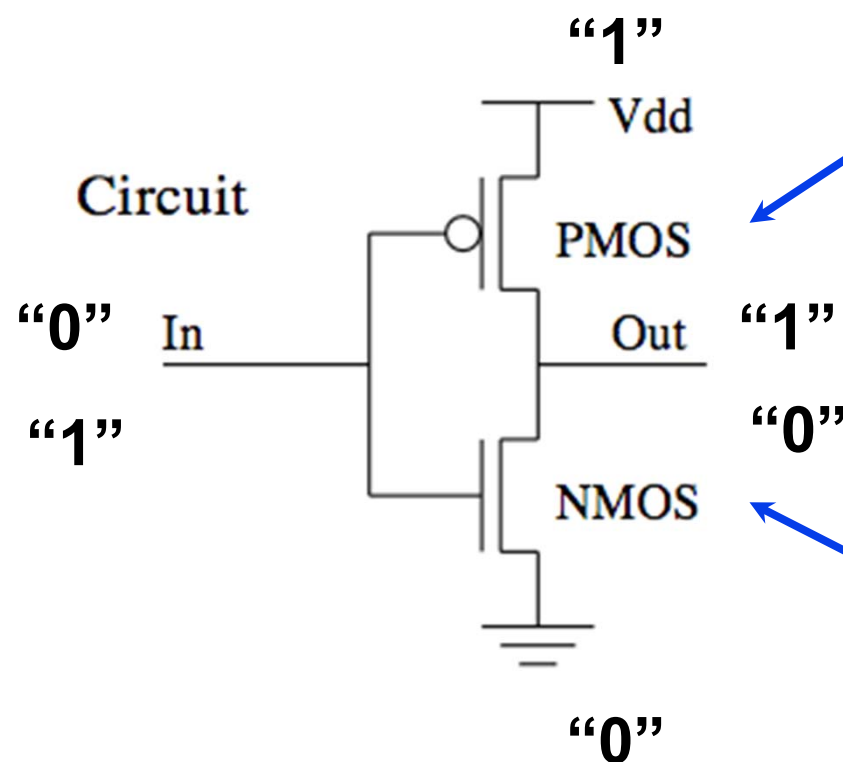
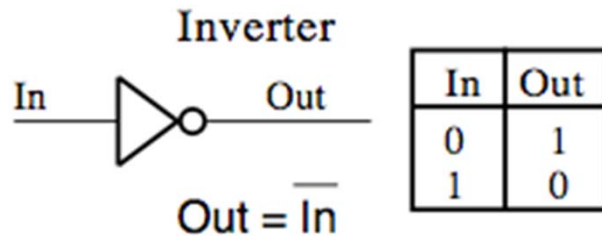


A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

Integrované obvody



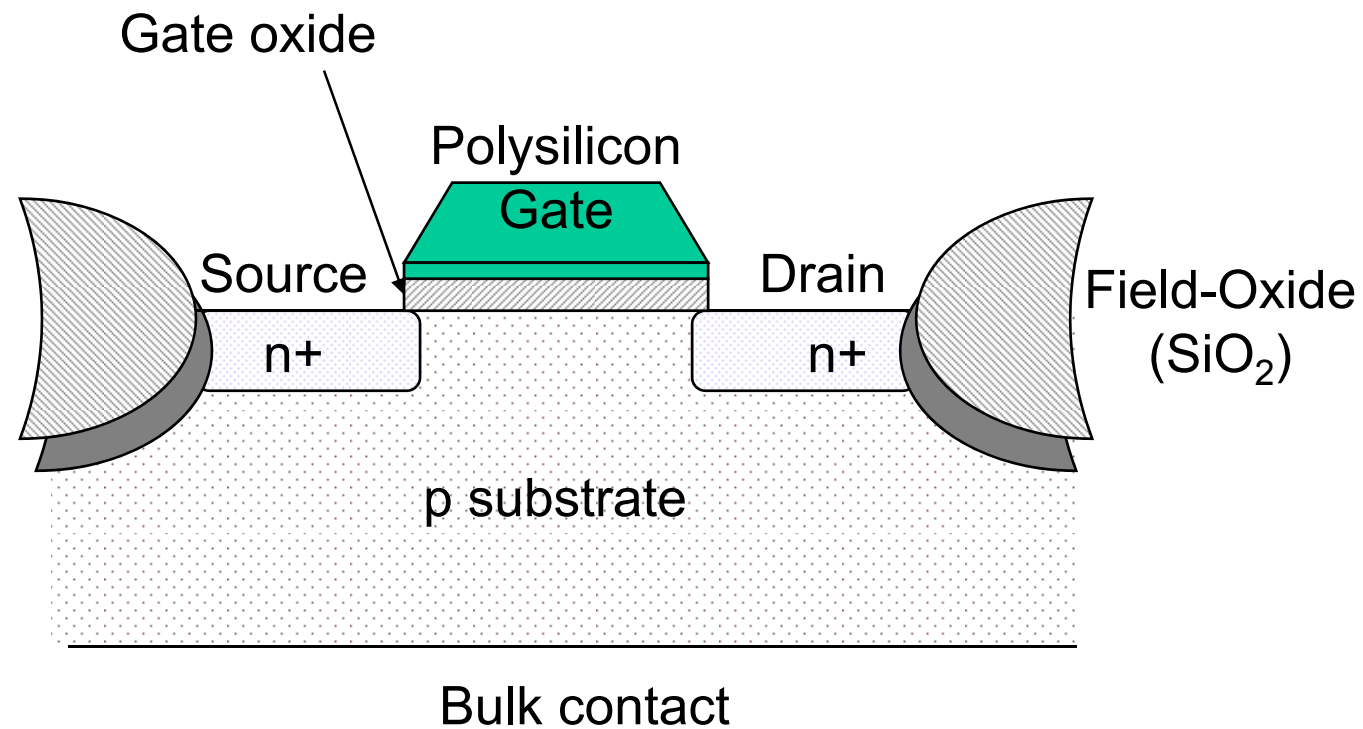
Invertory: Jednoduchý tranzistor. model



pFET - spínač
“On” je-li
hradlo
uzemněno.

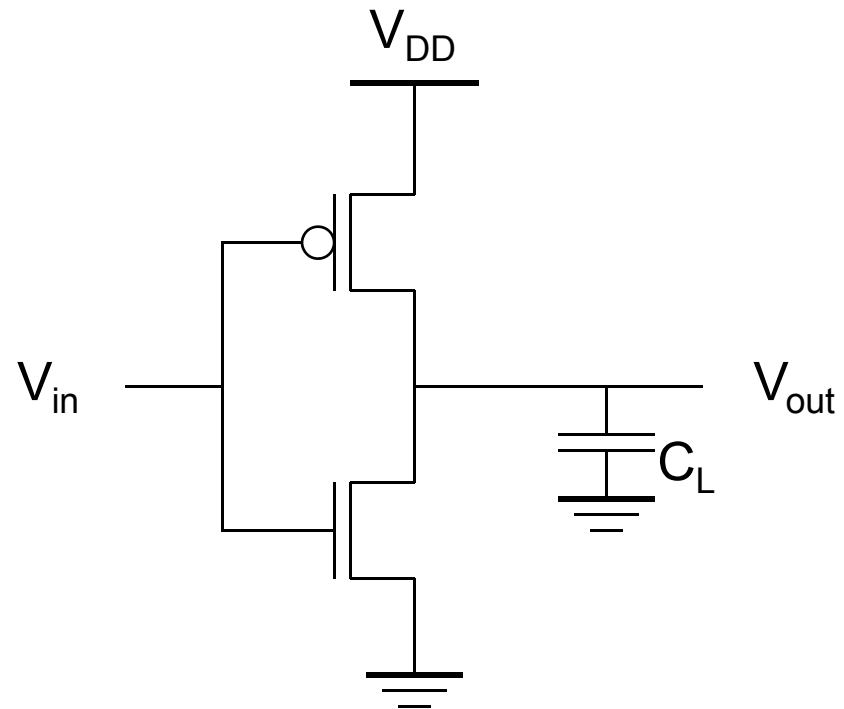
nFET - spínač
“On” je-li
hradlo na
potenciálu
Vdd.

MOS tranzistor



Řez NMOS tranzistorem

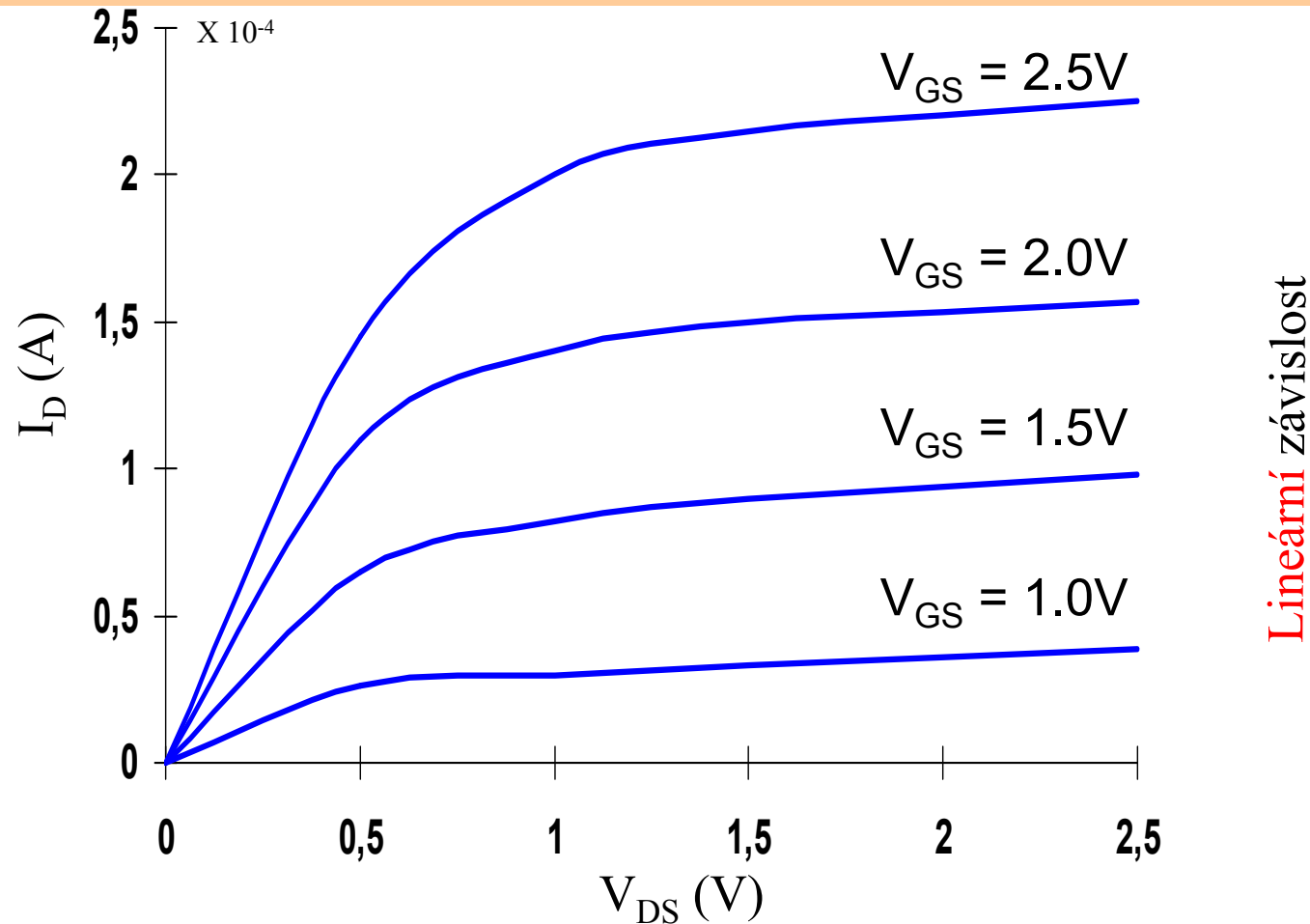
CMOS inverter



Vlastnosti CMOS tranzistoru

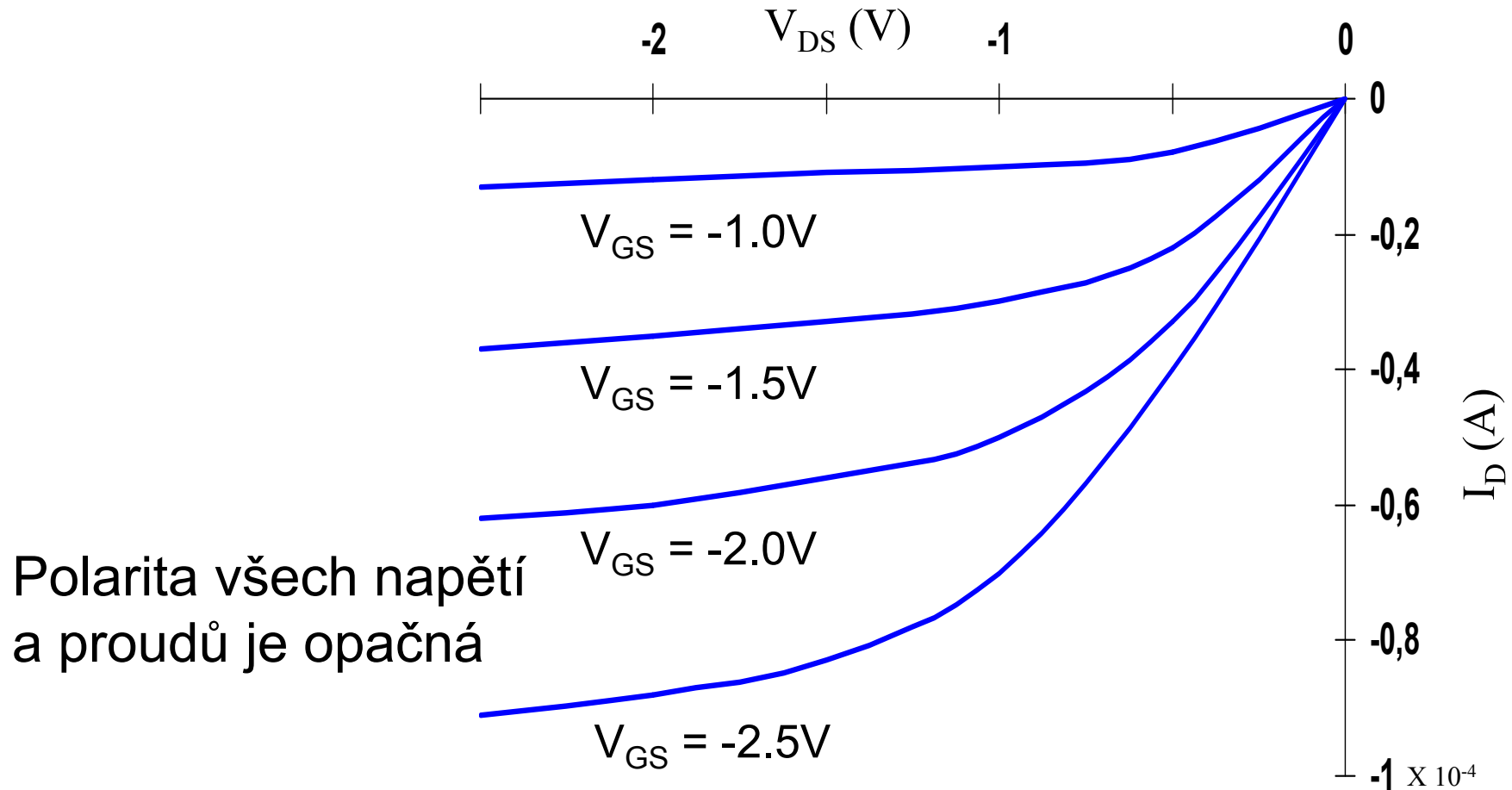
- Plný zdvih (rail-to-rail) \Rightarrow vysoké hranice šumu
 - Logické úrovně nezávisí na relativní velikosti prvku \Rightarrow tranzistory mohou mít minimální rozměry \Rightarrow ratioless
- Jedna z cest k V_{dd} nebo ke GND je otevřena \Rightarrow nízká výstupní impedance (v řádu $k\Omega$) \Rightarrow velký „fan-out“ (i když to vede k degradaci výkonu)
- Extrémně vysoká vstupní impedance (gate MOS tranzistoru je téměř perfektní izolátor) \Rightarrow téměř nulový vstupní proud v ustáleném stavu
- Žádná přímá cesta mezi napájením a zemí v ustáleném stavu \Rightarrow nulová statická výkonová ztráta
- Zpoždění je funkcí kapacity zátěže a odporu tranzistorů

Charakteristika NMOS tranzistoru



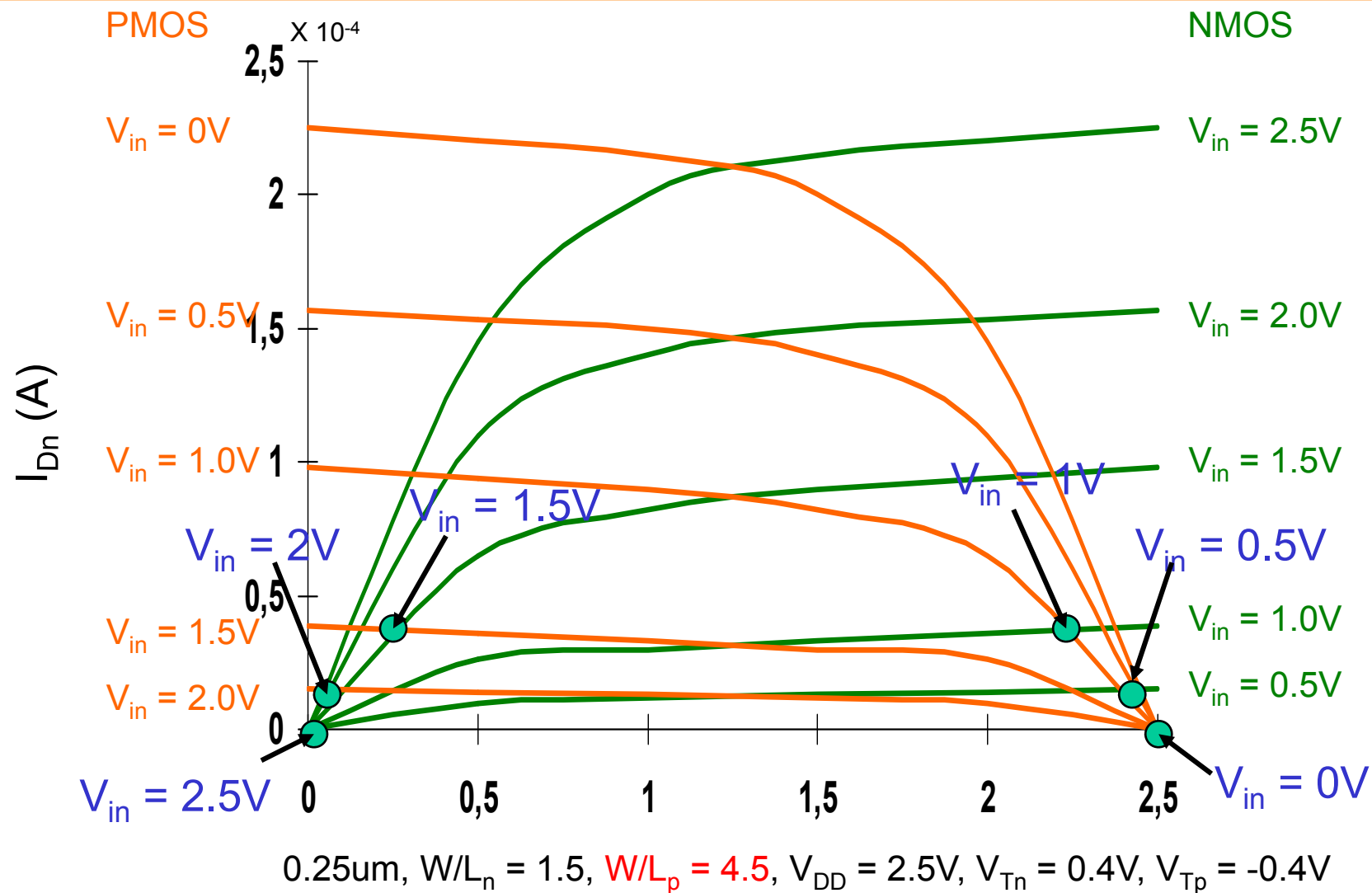
NMOS tranzistor, $0.25\mu\text{m}$, $L_d = 0.25\mu\text{m}$, $W/L = 1.5$, $V_{DD} = 2.5V$, $V_T = 0.4V$

Charakteristika PMOS tranzistoru

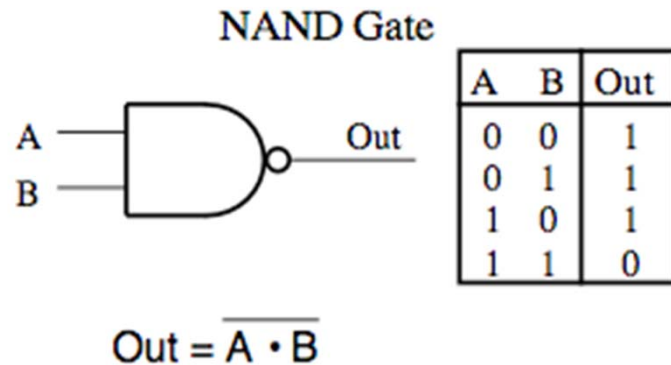


PMOS tranzistor, $0.25\mu m$, $L_d = 0.25\mu m$, $W/L = 1.5$, $V_{DD} = 2.5V$, $V_T = -0.4V$

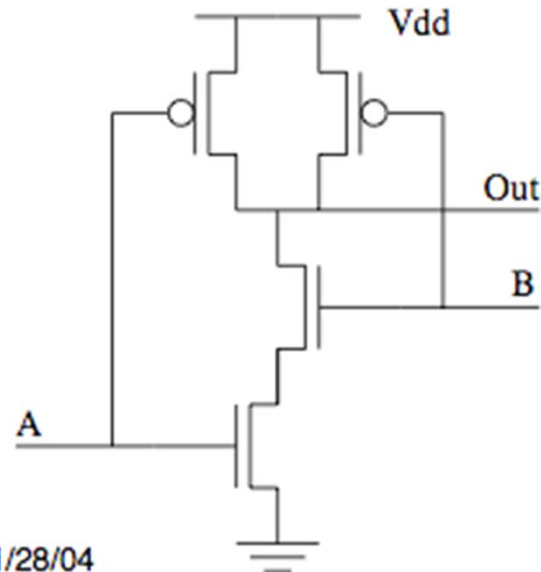
Zatěžovací charakteristiky invertoru



Hradla v technologii CMOS



Malý počet výkonných logických obvodů.

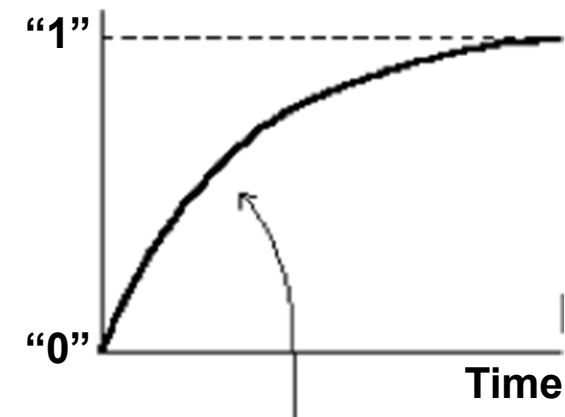
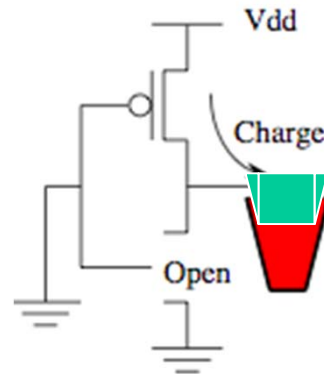


Lze postavit celý procesor pouze z hradel NAND ?

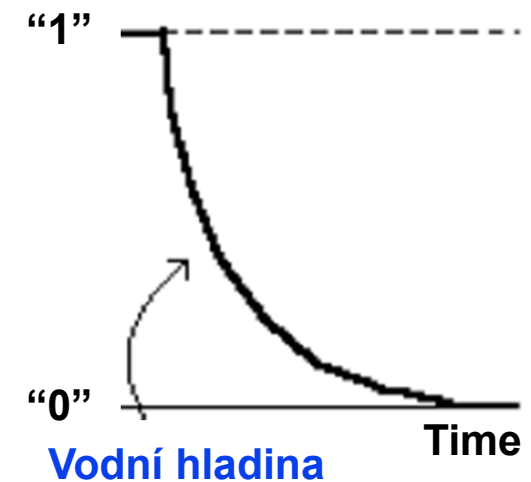
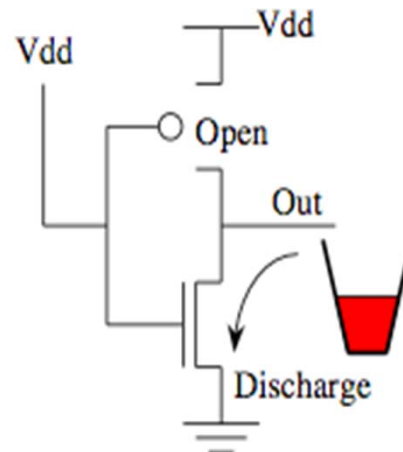
Tranzistory – analogie s „vodními vlnami“

**Elektrony jako molekuly vody,
kondenzátor jako nádoba ...**

**Otevřený p-FET plní
kondenzátor nábojem**

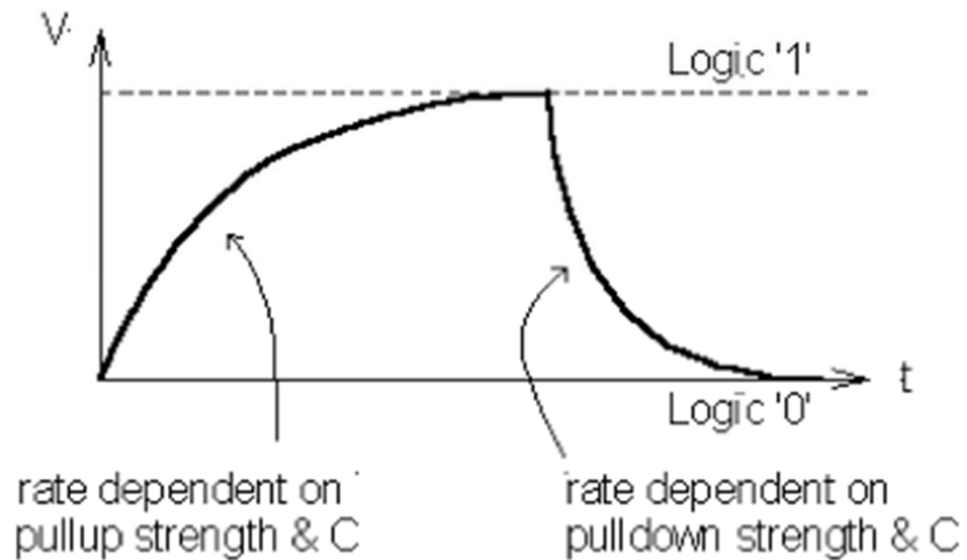
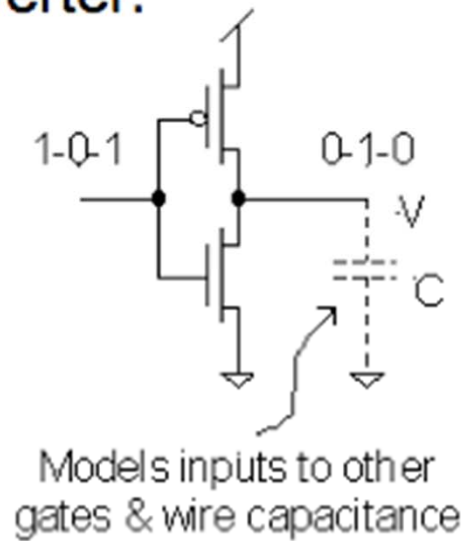


**Otevřený n-FET
vyprazdňuje nádobu**



Logický zisk

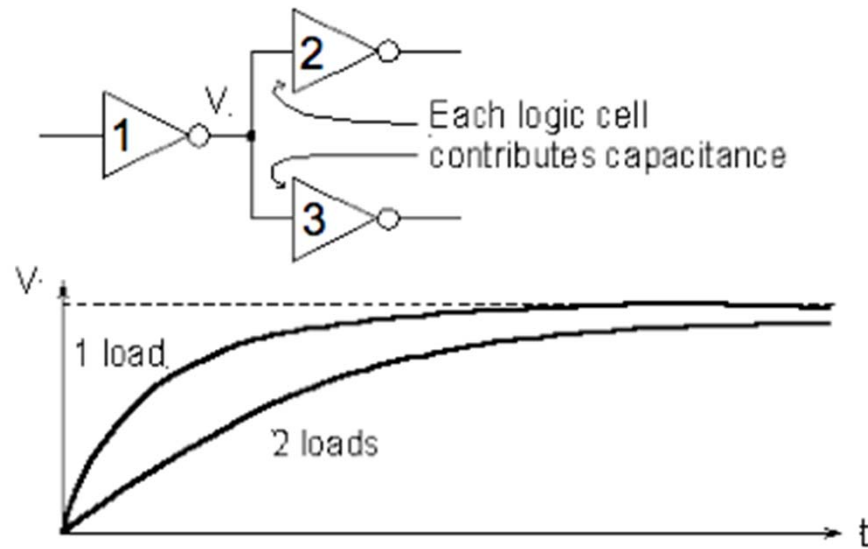
Inverter:



**“Logický zisk”: Počet vstupů hradel
buzených výstupem hradla.**

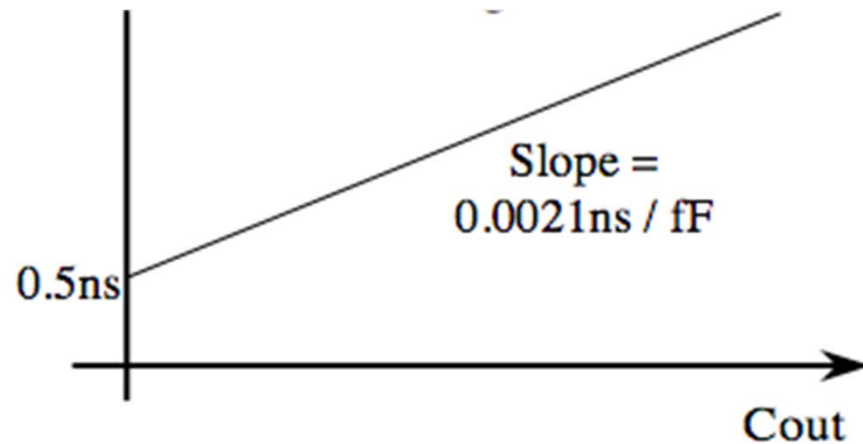
Buzení více hradel zpomaluje přechod signálu. Buzení vodičů zpomaluje přechod signálu.

Podrobnější náhled



**Buzením více
hradel roste
zpoždění.**

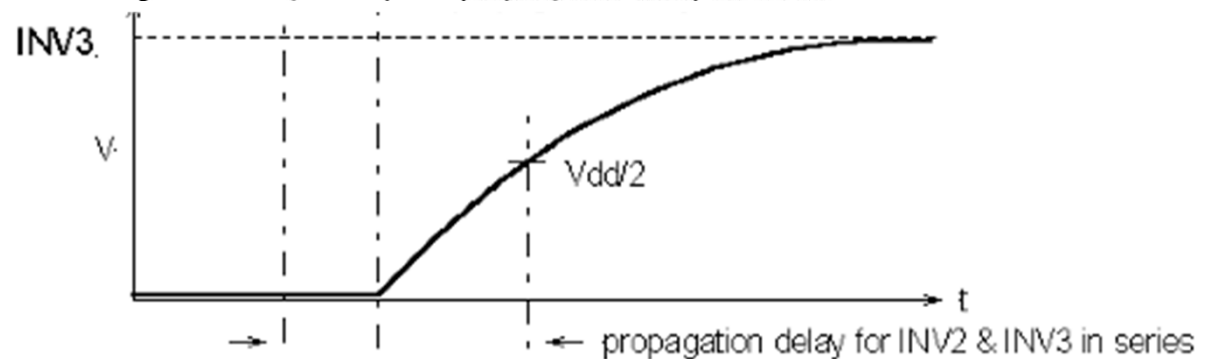
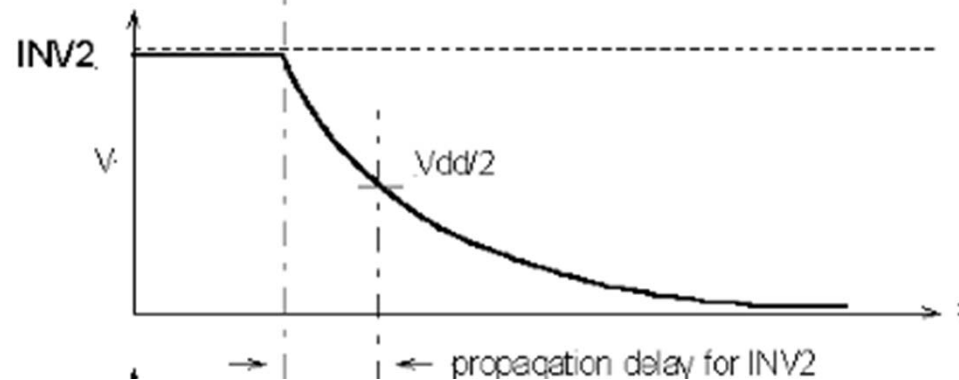
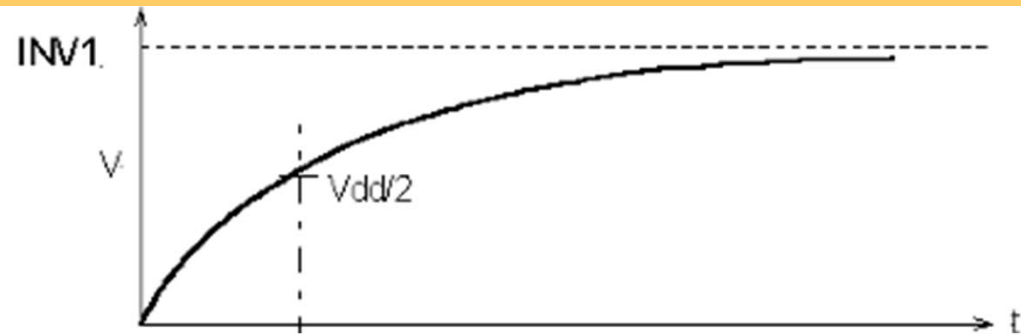
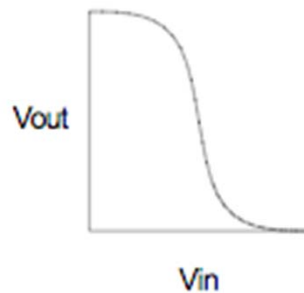
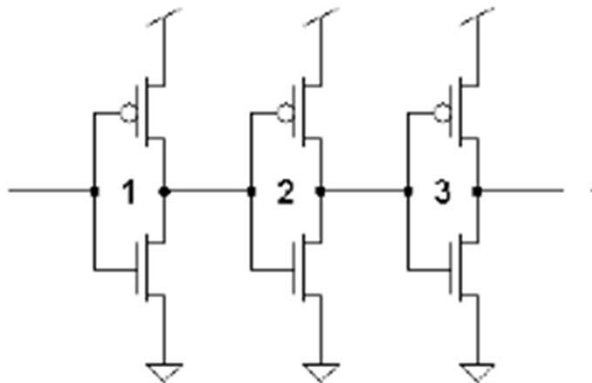
**Lineární model
dává dobré
výsledky**



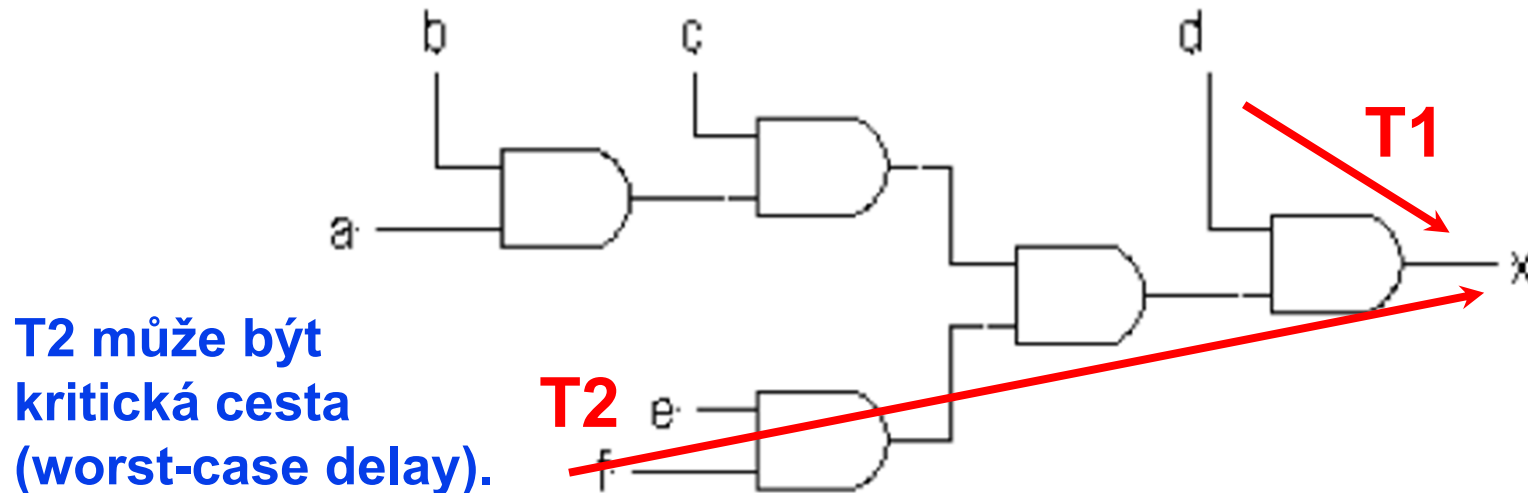
Grafy zpoždění signálu

- Cascaded gates:

1-→0



Intuice: Kritické cesty ...

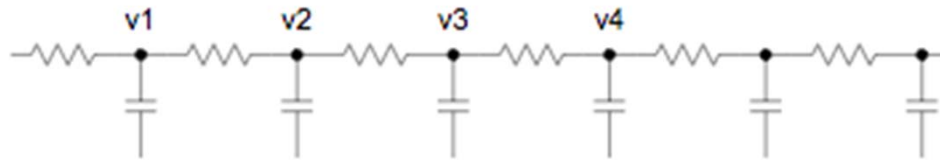


$$x = g(a, b, c, d, e, f)$$

Přechod d 0->1 přepne x 0->1, zpoždění je T1.
Přechod a 0->1 přepne x 0->1, zpoždění je T2.

Proč? Vodiče také vykazují zpoždění

- Wires possess distributed resistance and capacitance



Vypadá
neškodně,
ale ...

- Time constant associated with distributed RC is proportional to the *square* of the length



- signals are typically “rebuffered” to reduce delay:



Operace Booleovy algebry

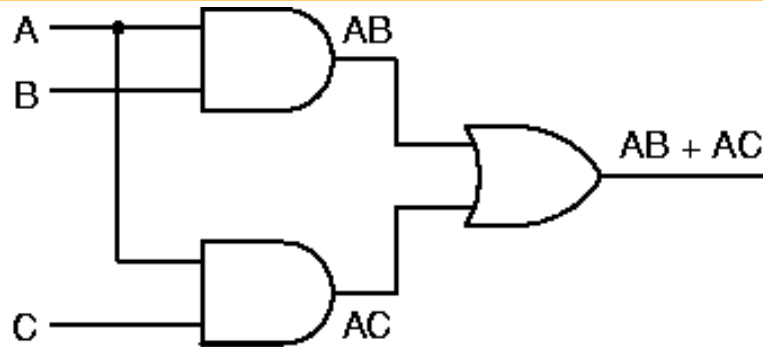
- 0 & 1: jediné hodnoty pro proměnné a funkce
 $B = \{0,1\}$ se nazývají *Booleovská čísla*
- Funkce NOT : $f(A) = \begin{cases} 1 & \text{platí-li } A = 0 \\ 0 & \text{platí-li } A = 1 \end{cases}$
- **Pravdivostní tabulky**
 - Úplně definují Booleovskou funkci
 - n proměnných $\Rightarrow 2^n$ řádek v pravdivostní tabulce $\Rightarrow 2^{2^n}$ různých funkcí, protože 2^n řádek mohu vyplnit právě tolika způsoby
 - Př.: Existuje 16 Booleovských funkcí dvou proměnných
 - Zkrácený zápis: uvedení řádek s nenulovým výstupem

Booleova Algebra

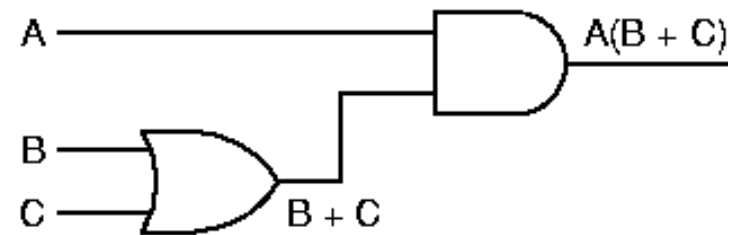
- Základní operátory: OR (součet), AND (součin), NOT
- Zákony Booleovy algebry:

Name	AND form	OR form
Identity law	$1A = A$	$0 + A = A$
Null law	$0A = 0$	$1 + A = 1$
Idempotent law	$AA = A$	$A + A = A$
Inverse law	$A\bar{A} = 0$	$A + \bar{A} = 1$
Commutative law	$AB = BA$	$A + B = B + A$
Associative law	$(AB)C = A(BC)$	$(A + B) + C = A + (B + C)$
Distributive law	$A + BC = (A + B)(A + C)$	$A(B + C) = AB + AC$
Absorption law	$A(A + B) = A$	$A + AB = A$
De Morgan's law	$\overline{AB} = \bar{A} + \bar{B}$	$\overline{A + B} = \bar{A}\bar{B}$

Ekvivalence obvodů



A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1



A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

Kombinační logika

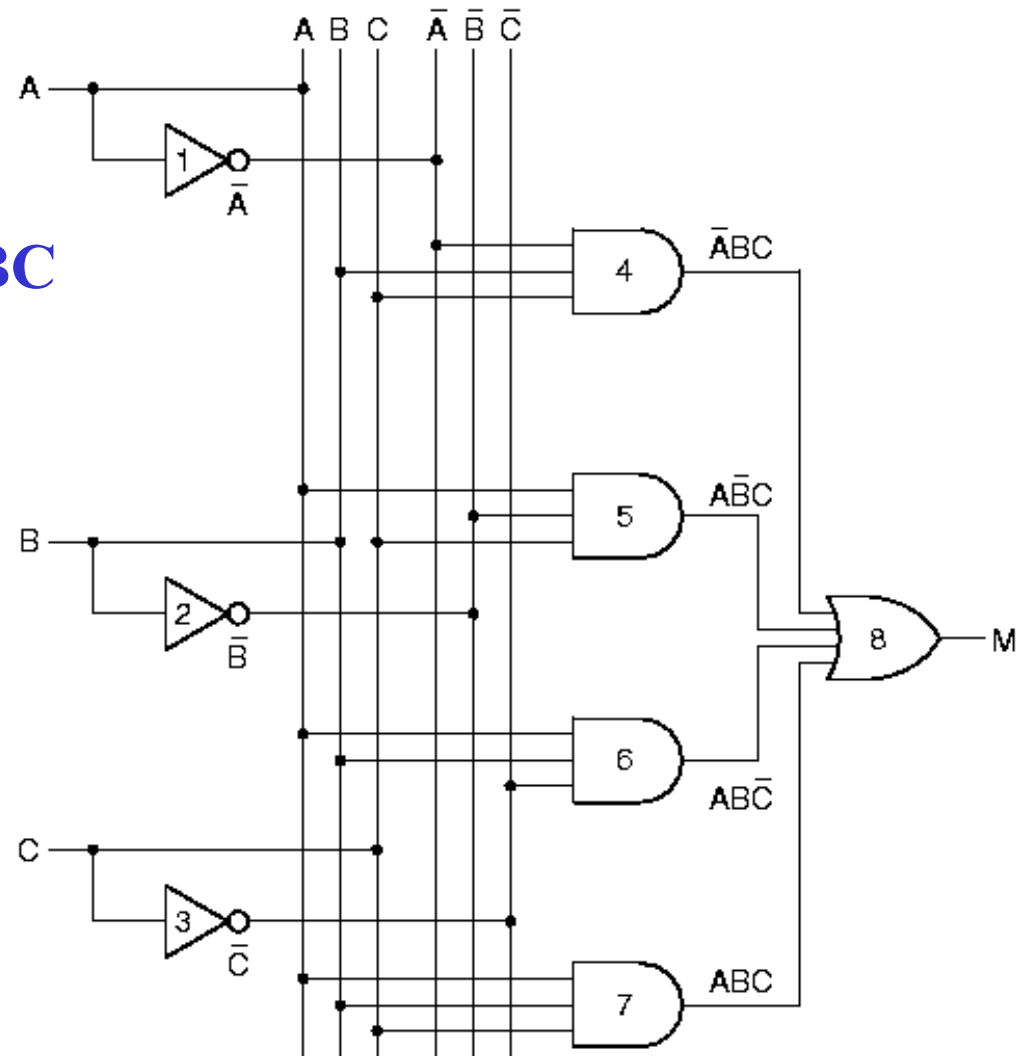
- Mnoho vstupů a mnoho výstupů
- Výstupy jsou jednoznačně určeny vstupy
- Absence paměťových prvků
- Neobsahuje zpětné vazby (skrytý paměťový prvek)
- Základní kombinační obvody
 - Multiplexery
 - Demultiplexery
 - Dekodéry
 - Komparátory (logické !)
 - Sčítačky

Majoritní funce

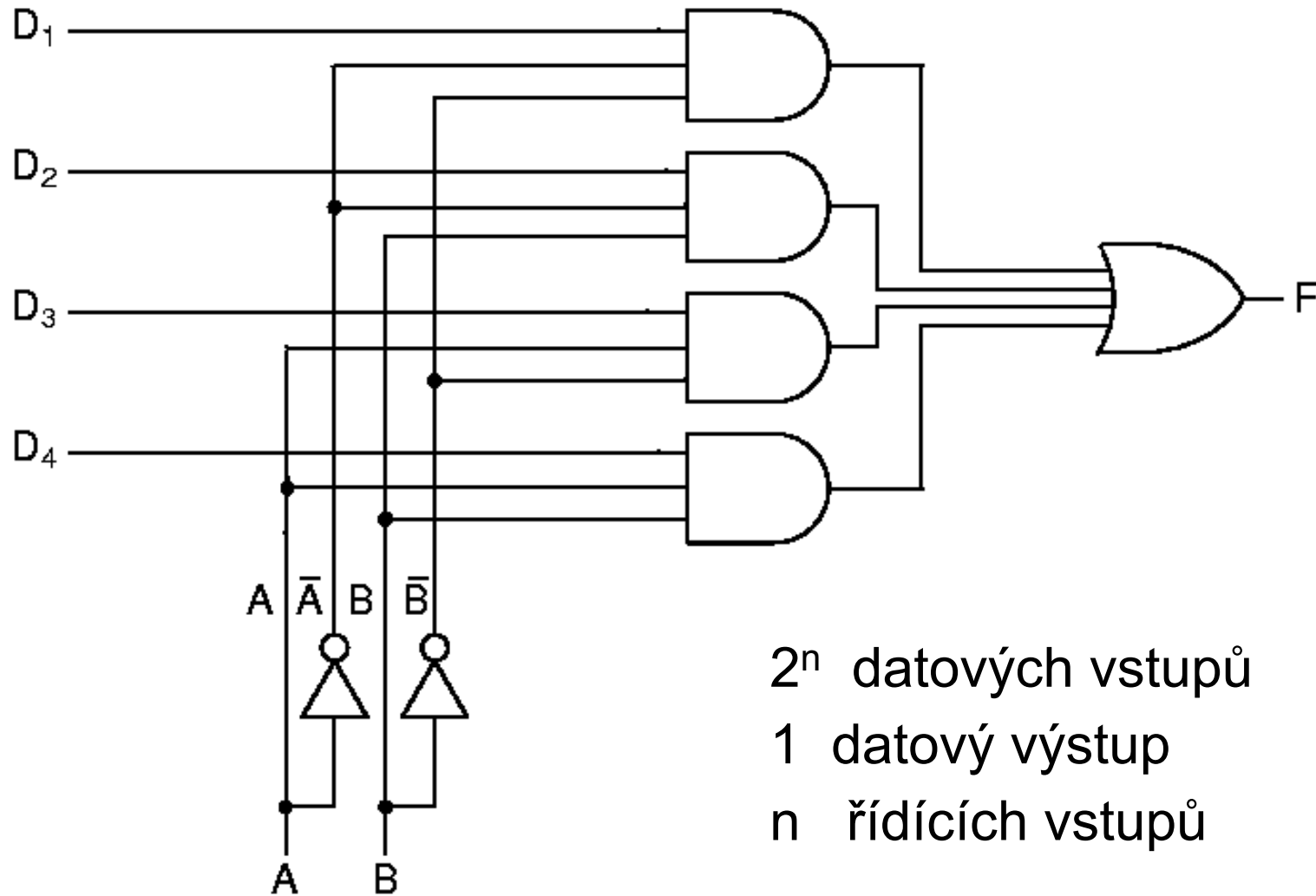
$$M = f(A, B, C)$$

$$M = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$$

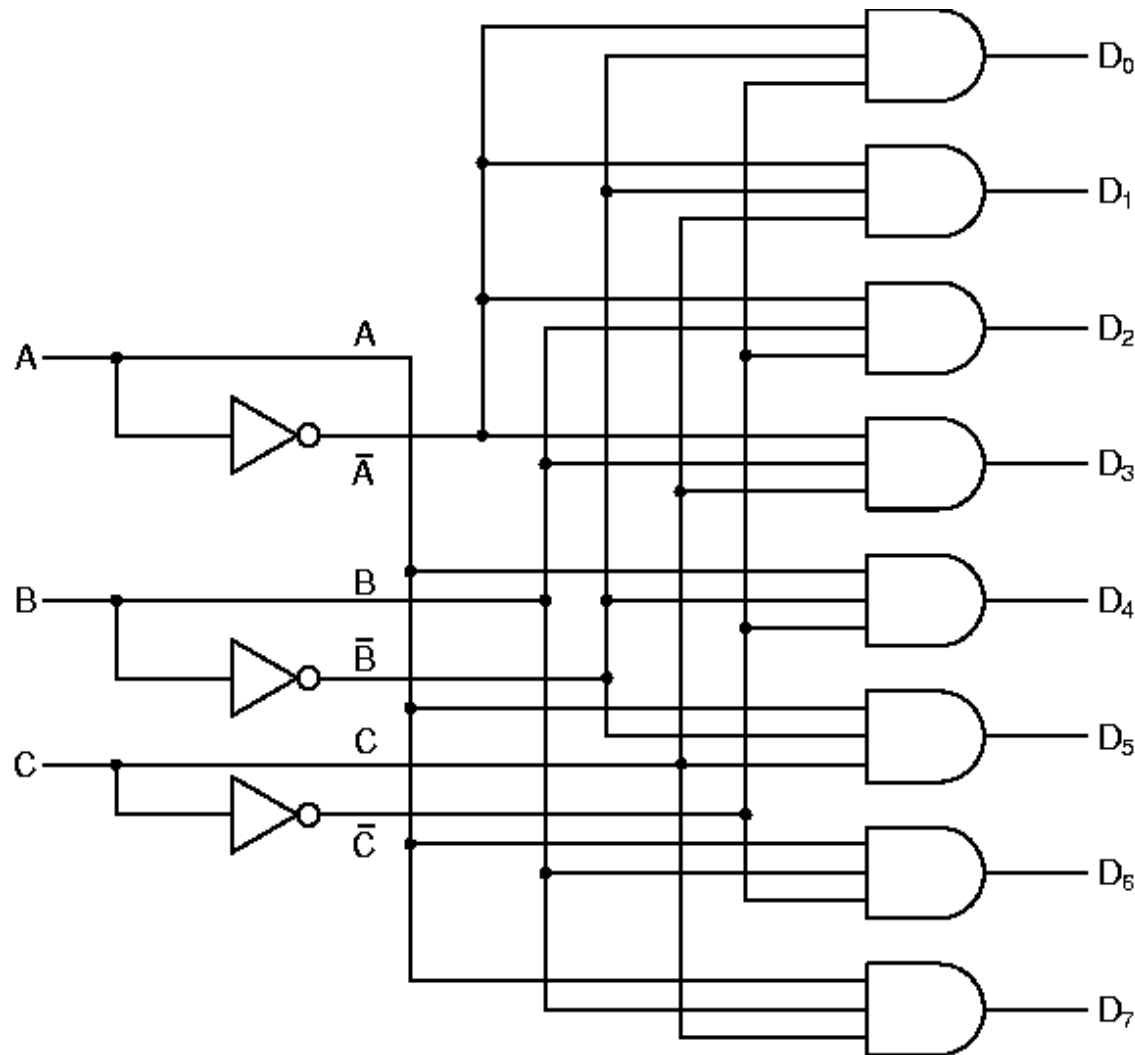
A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



Multiplexer



Dekodér

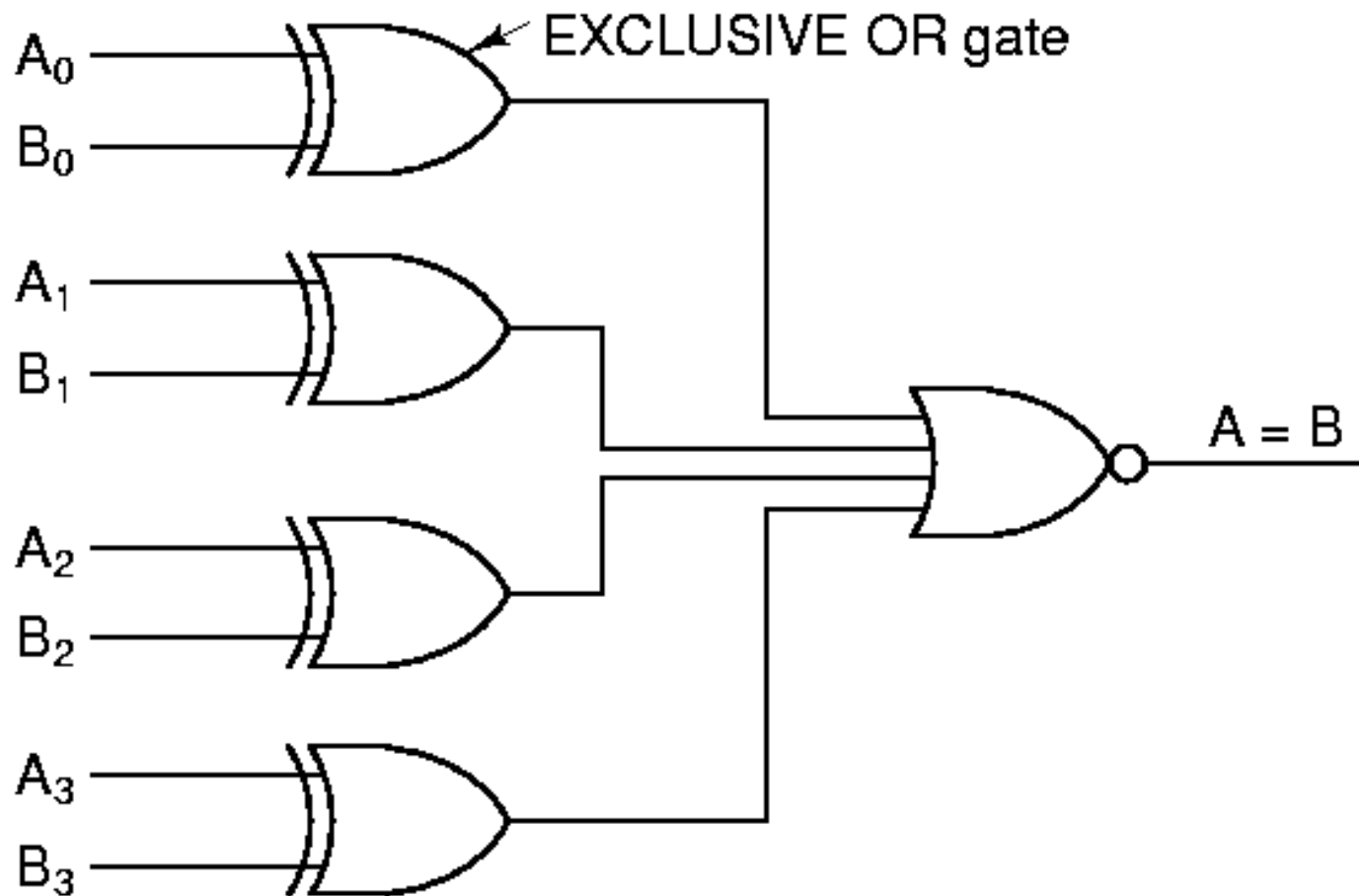


n datových vstupů
 2^n datových výstupů

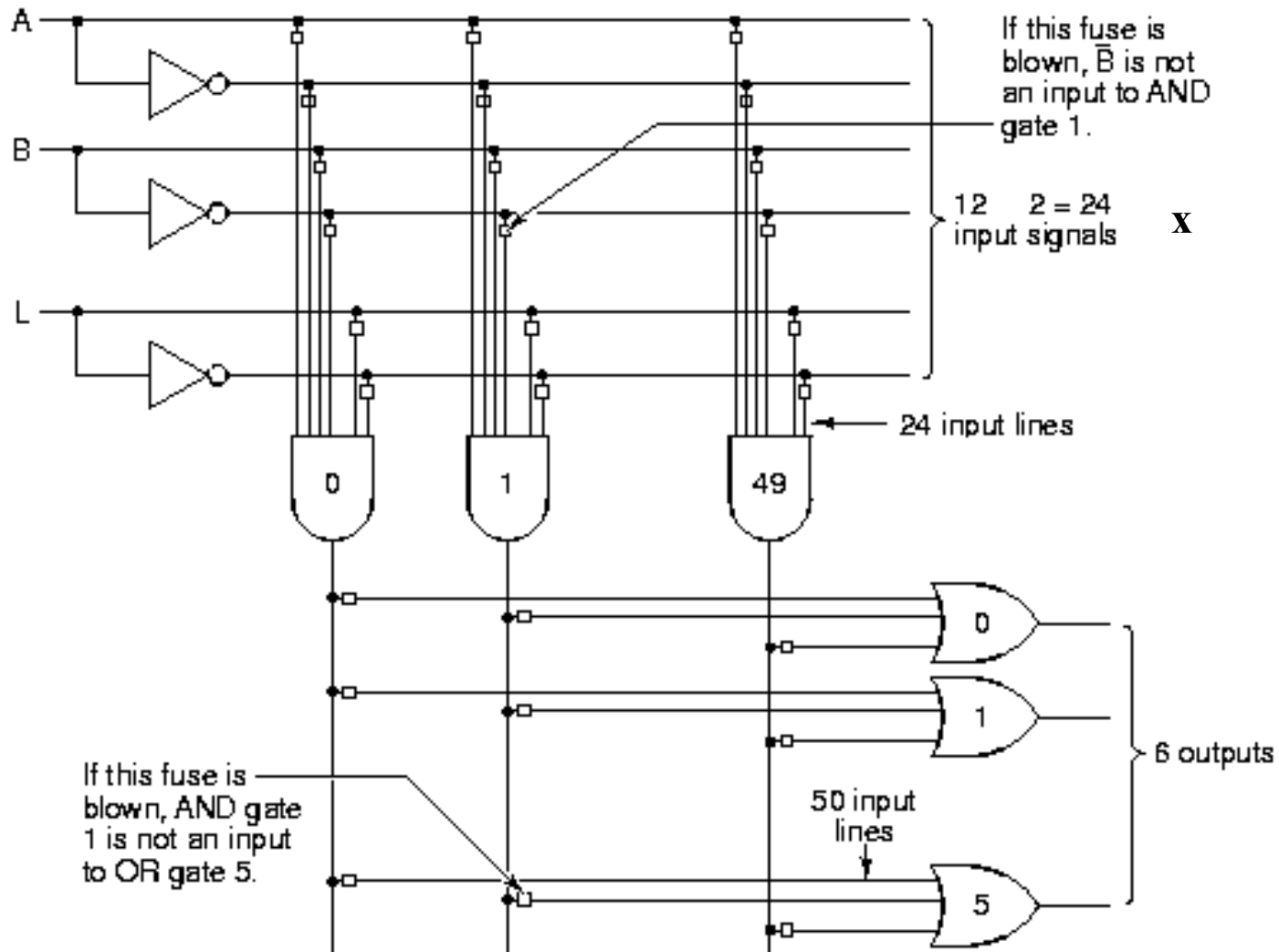
dekodér

„tři na jeden z
osmi“

Komparátor (logický!!!)

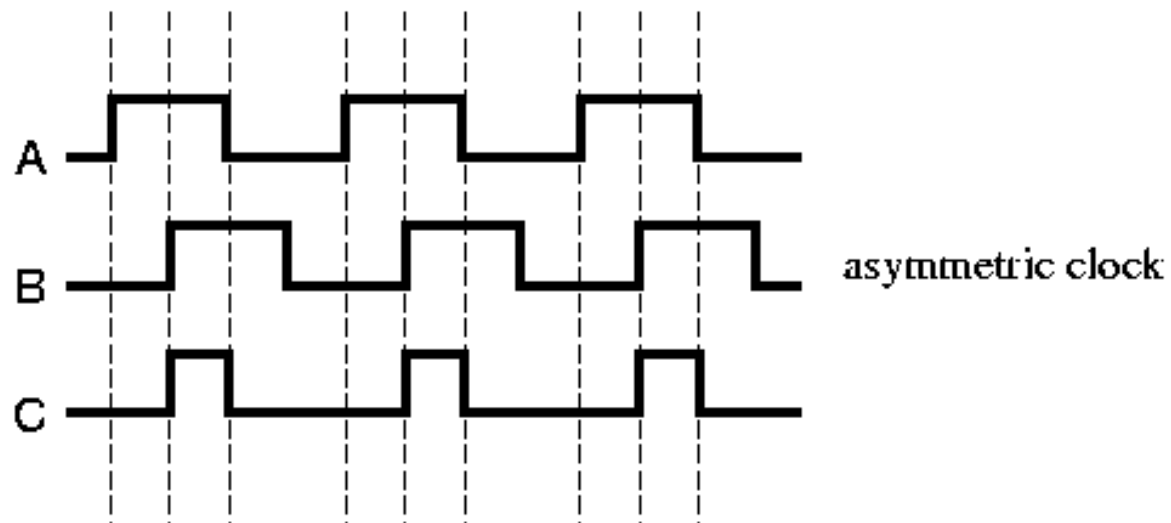
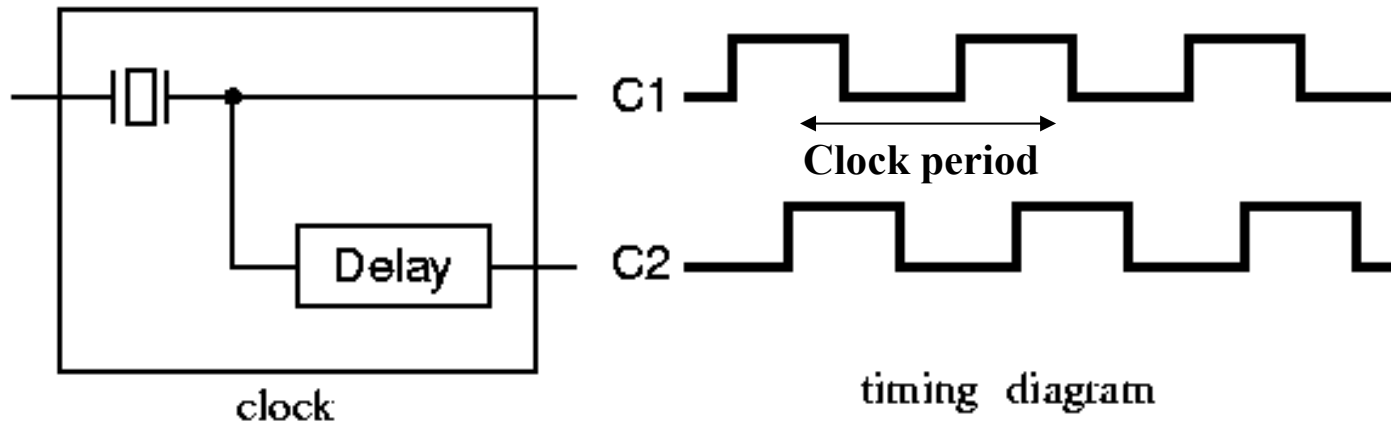


Dvouúrovňová logika

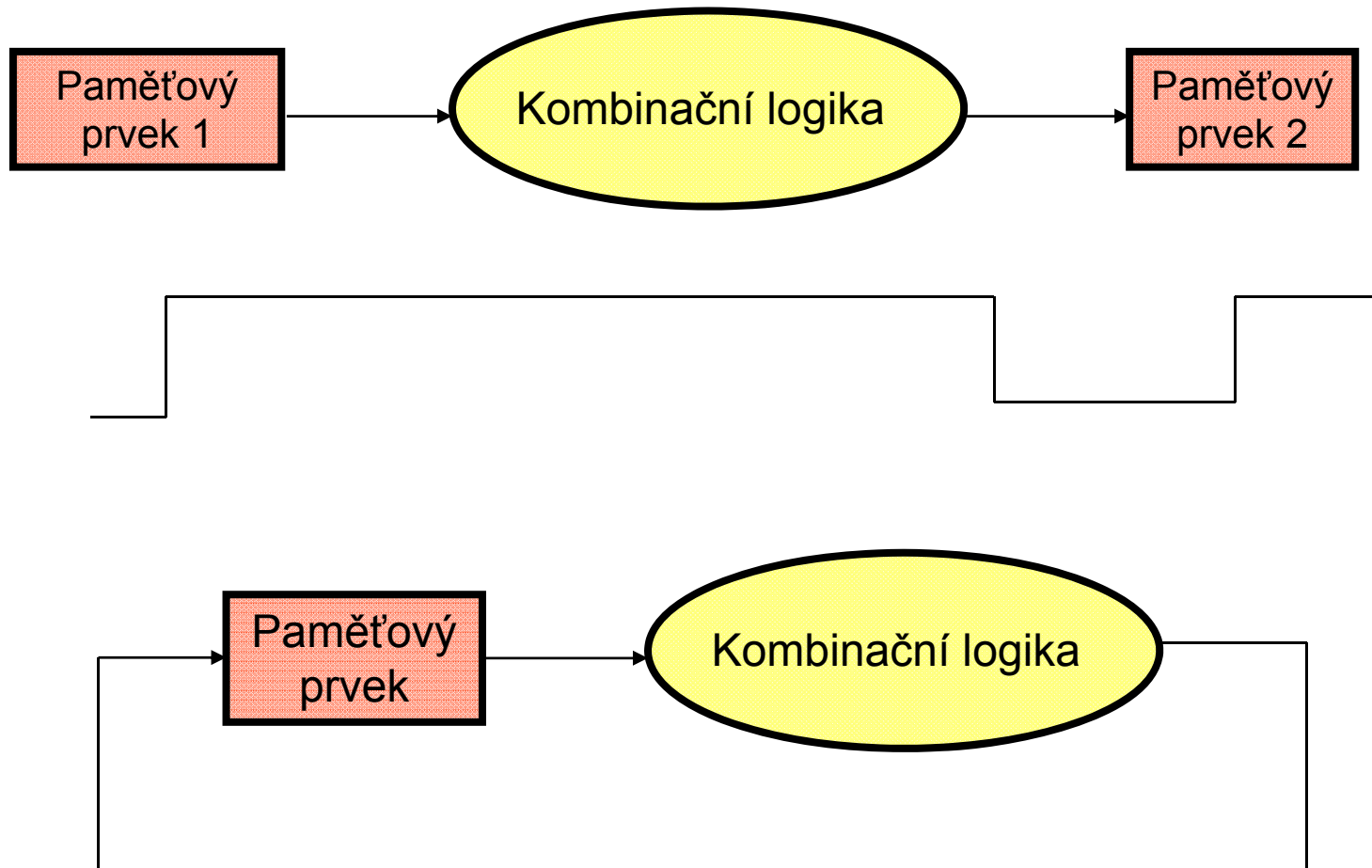


PLA
12 vstupů
6 výstupů

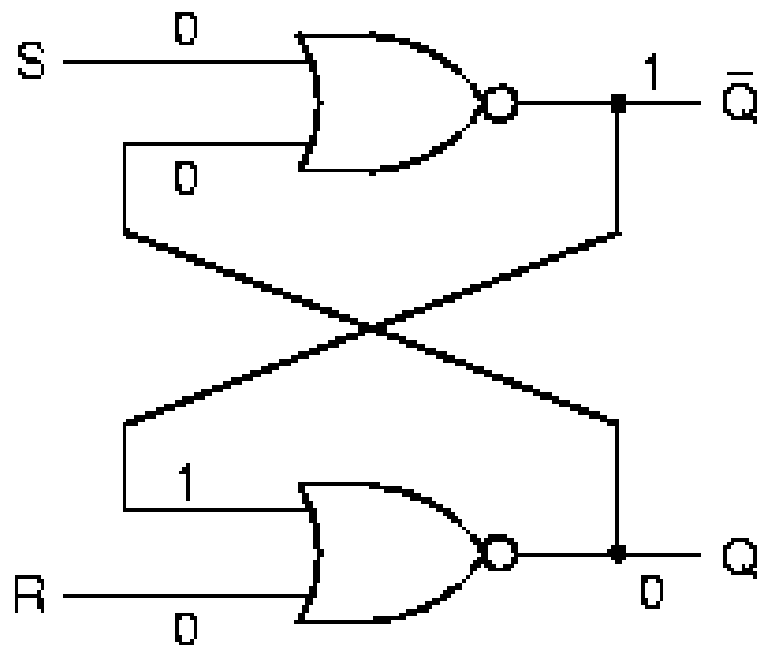
Hodiny



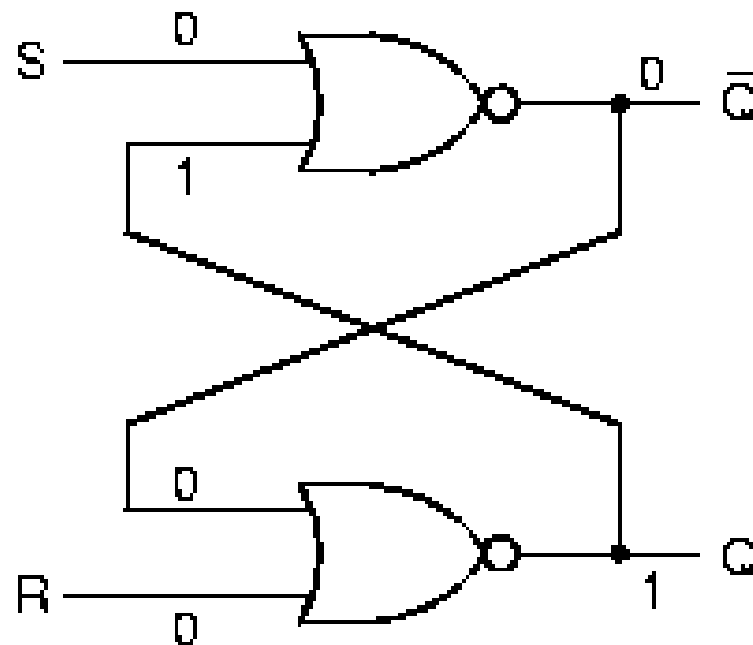
Taktování hranou signálu



NOR SR Latch



Stav 0

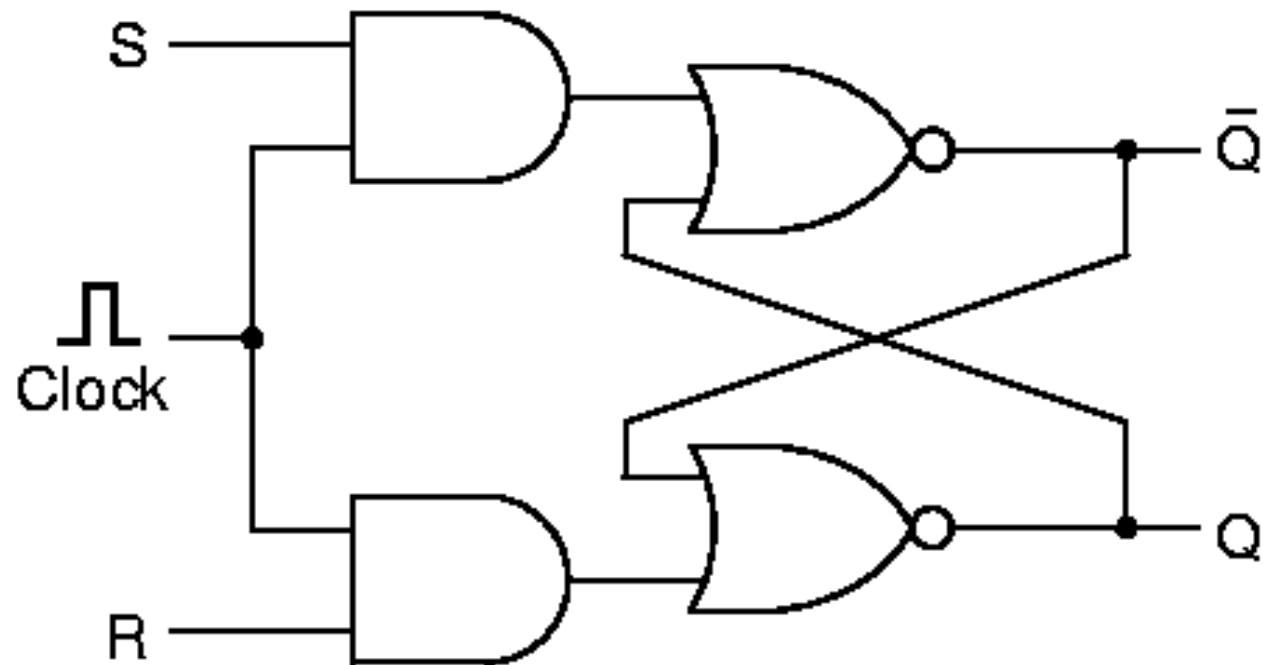


Stav 1

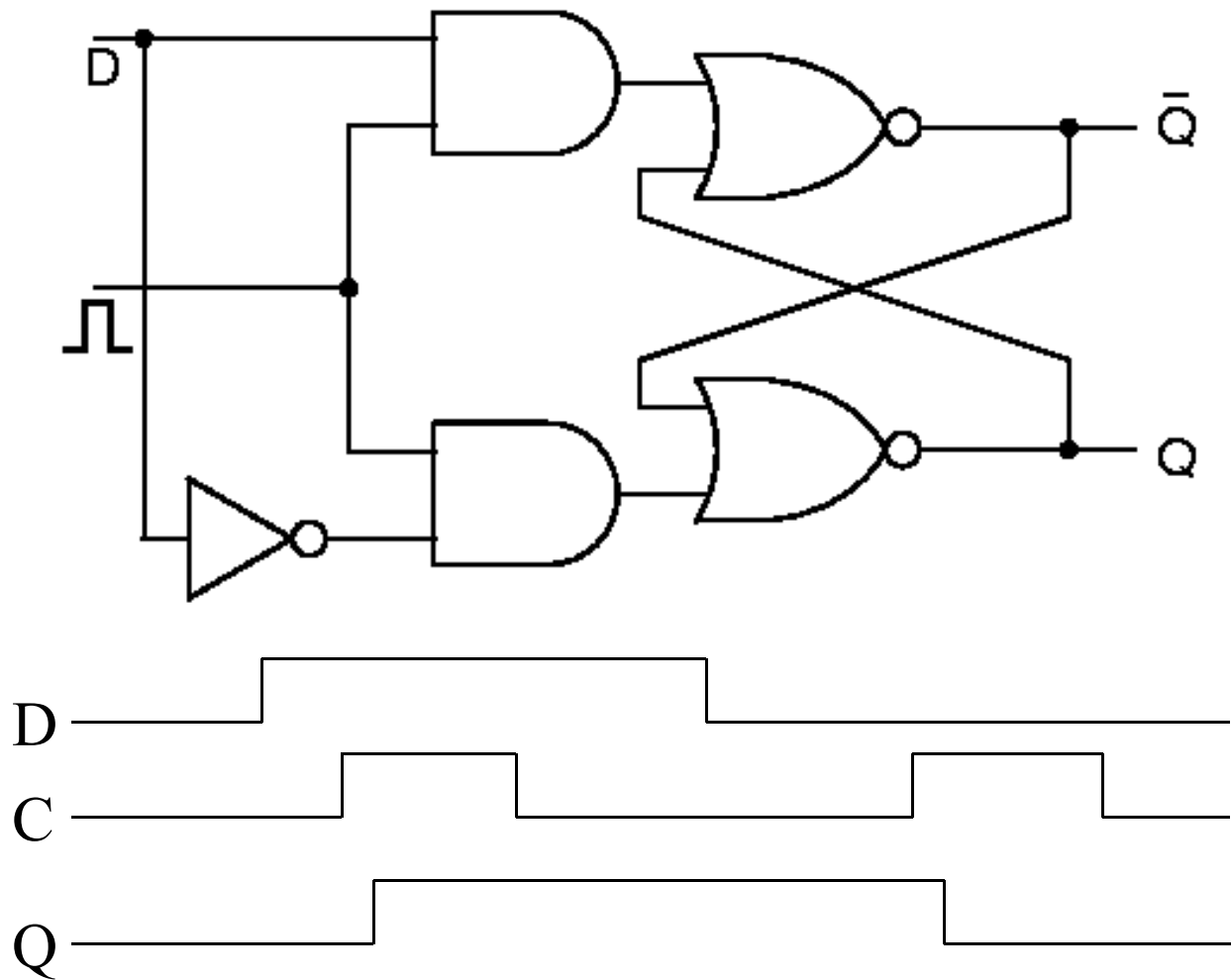
Vstupy { S - set
R - reset

Výstupy: Q and \bar{Q}

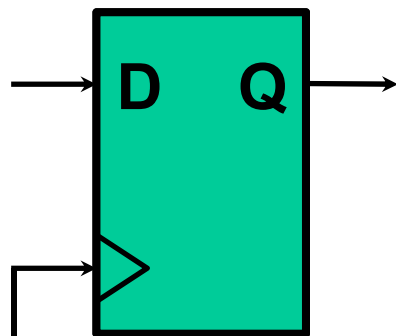
Taktovaný SR Latch



Taktovaný D Latch

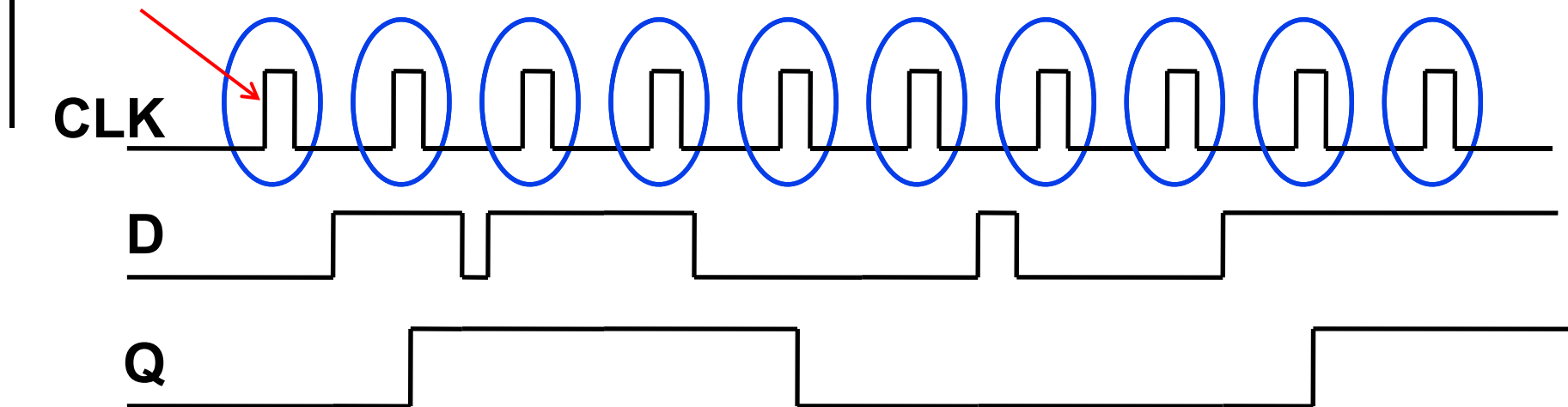


Hranový D-klopný obvod

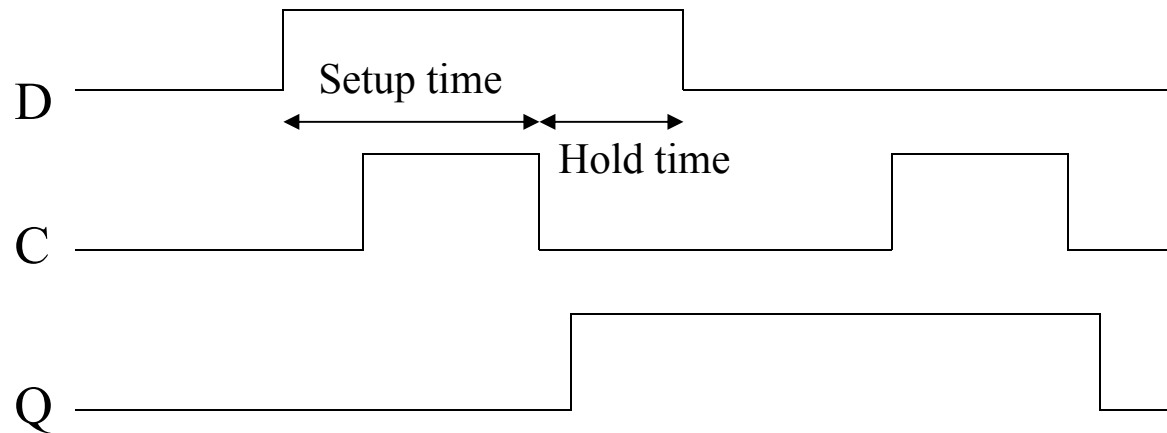
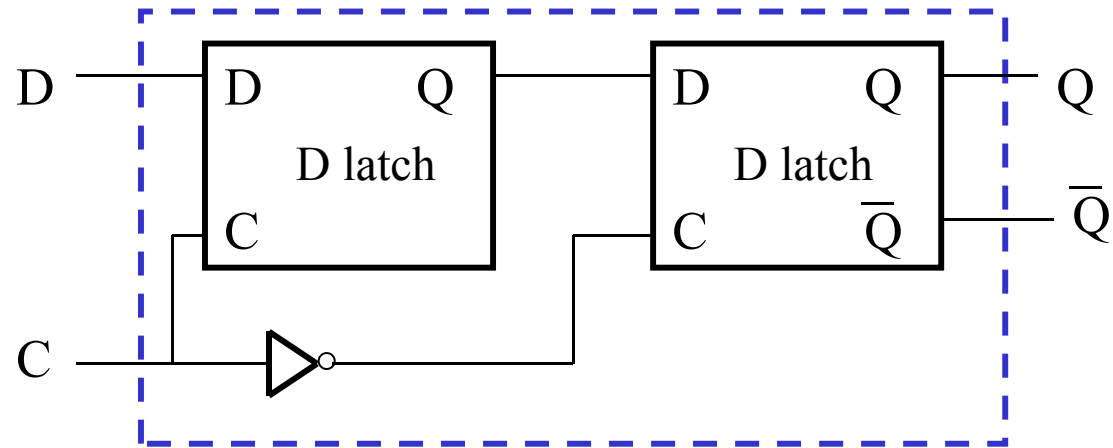


Hodnota na vstupu D je vzorkována na **náběžné hraně hodin. pulzu.**

Výstup Q dává navzorkovanou hodnotu po zbytek cyklu.



D flip-flop (D klopný obvod)



Závěr

- Vývoj technologie
- Organizace počítače intenzivně využívá pokroky technologie
- Digitální logika & Booleovská čísla
- Základní logická hradla a implementace
- Digitální logika – nejnižší úroveň, kterou se v kurzu budeme zabývat
- Koncepce *pravdivostních tabulek*

Závěr (pokr.)

Digitální logické obvody

- Postavené z prvků (AND, OR, NOT, ...)
- Kombinační (jednoduché nebo komplexní)
- Sekvenční
 - synchronní (taktované)
 - asynchronní
- Zopakujte si pravidla Booleovy algebry !!!