



Akademia Górniczo-Hutnicza  
im. Stanisława Staszica w Krakowie

AGH University of Krakow

## Szybki generator funkcyjny sterujący drabinką R-2R

Piotr Kowol, Mateusz Kulak, Piotr Łętowski  
Opiekun projektu: Ernest Jamro

Akademia Górniczo-Hutnicza w Krakowie

# Plan Prezentacji



## 1 Założenia projektowe

## 2 Schemat blokowy układu

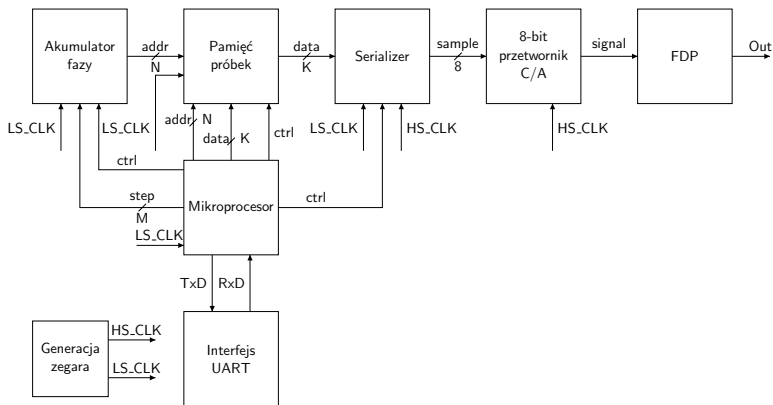
- Akumulator fazy
- Pamięć próbek
- Serializer
- PRzetwornik C/A
- Filtr dolnoprzepustowy
- Mikroprocesor
- Generacja zegara

# Założenia projektowe



- Odtwarzanie sygnałów wykorzystując bezpośrednią syntezę cyfrową
- Wykorzystanie dedykowanych serializerów w celu uzyskania wyższej częstotliwości odtwarzania
- Możliwość załadowania próbek sygnału do pamięci

# Schemat blokowy układu



Rysunek: Schemat blokowy generatora.

# Akumulator fazy



- Składa się z rejestru i sumatora
- Z każdym taktem LS\_CLK zwiększa zawartość rejestru o zadany krok fazowy
- Adresuje pamięć próbek

# Pamięć próbek



AGH

- Pamięć dwu-portowa - jeden port tylko do zapisu, a drugi tylko do odczytu
- Przechowuje wartości generowanego przebiegu
- Przekazuje próbki do serializera z każdym taktem LS\_CLK
- Zrealizowana w postaci pamięci BRAM

# Serializer



- Wykorzystuje 8 dedykowanych układów OSERDESE2 w konfiguracji serializerów 8 do 1
- Przekazuje próbki do przetwornika C/A przy każdym zboczu HS\_CLK (DDR)

# przetwornik C/A



- Drabinka R-2R na zewnątrz układu FPGA
- Zamienia próbki na schodkowy sygnał analogowy



# Filtr dolnoprzepustowy



- Usuwa składowe wysokoczęstotliwościowe z generowanego sygnału
- Pozwala uzyskać przebieg analogowy z sygnału schodkowego

# Mikroprocesor



AGH

- Konfiguruje pracę poszczególnych bloków
- Odbiera wartości próbek i dane konfiguracyjne z komputera za pośrednictwem protokołu UART
- Przekazuje próbki do pamięci
- Zrealizowany w postaci procesora ZYNQ w układzie FPGA
- Realizacja UARTu poprzez program napisany w C

# Generacja zegara



AGH

- Szybki zegar HS\_CLK do taktowania układów OSERDESE2 o częstotliwości 500 MHz (1 Gb/s)
- Wolny zegar LS\_CLK do taktowania pozostałej logiki oraz procesora ZYNQ o częstotliwości  $\frac{1}{4}f_{HS\_CLK} = 125\text{ MHz}$
- Wykorzystuje dedykowane bufory z programowalnym dzielnikiem częstotliwości BUFR do generowania LS\_CLK

# Dziękujemy za uwagę.

Piotr Kowol,  
Mateusz Kulak,  
Piotr Łętowski

# Bibliografia I



- [1] Hong-fei Zhang Chun-li Luo Peng-yi Tang Ke Cui Sheng-zhao Lin Ge Jin. "High-speed arbitrary waveform generator based on FPGA". W: *IEEE Nuclear Science Symposium and Medical Imaging Conference* (2014).
- [2] AVNET. *ZedBoard Technical Documents*.
- [3] AMD/Xilinx. *Vivado Design Suite 7 series FPGA and Zynq 7000 SoC Libraries Guide (UG935)*.