



合见工软
UNIVISTA

UniVista Design Assistant 数字设计AI智能平台

2025/11

上海合见工业软件集团有限公司
Shanghai Univista Industrial Software Group Co.,Ltd.



技术挑战

- 设计复杂度高呈现指数级上升。
- 提升PPA 难度大，需要反复迭代，依赖设计专家经验。
- 验证成本高，验证覆盖率提升难度大。

商务挑战

- 设计周期长，但激烈的市场竞争要求项目尽早完工。
- 资深工程师稀缺且培养成本高。

AI时代数字芯片设计新范式

- 设计范式从面向过程的手工执行方式，转变为面向目标的AI 辅助自动执行。
- 工程师通过自然语言与LLM交互，AI理解设计意图，自动生成代码/验证方案/优化路径。
- 核心价值：提升效率、提高设计质量、降低学习门槛。

AI 赋能芯片设计是大势所趋

- 90% 以上受访用户关注 AI 辅助设计的发展。
- 超过 1/3 的用户单位已经有 AI 赋能战略规划。

类别	用户挑战	解决方案
设计	RTL 设计工程师人手不足，项目时间紧压力大，需提升效率	UDA辅助模块级代码生成、纠错与优化，效率提升50%以上。
	PPA 优化收敛时间长	UDA辅助设计空间探索，支持分钟级PPA预估，辅助早期优化设计。
	设计规范人工检查费时费力	UDA 辅助设计规范检查，生成合规代码并支持代码纠错。
	完善设计说明文档费时费力	UDA 辅助代码解释和代码注释，助力高效完成设计说明文档。
	交付验证的RTL代码质量需提高	UDA辅助生成测试平台（TB），效率提升50%以上。一站式集成验证调试工具，提升模块单元测试的质量与效率。
	有历史项目代码，但未能有效利用	构建基于向量数据库的代码库，使UDA生成代码时可参考历史项目。
验证	验证工程师人手不足，项目时间紧压力大，需提升效率	UDA辅助生成测试平台（TB）与断言（SVA），支持一站式验证大幅提升效率。
知识管理	缺乏有效的知识管理系统，难以快速获取信息。新员工学习周期长	构建基于向量数据库的文档知识库，UDA支持智能知识问答，实现信息快速获取。

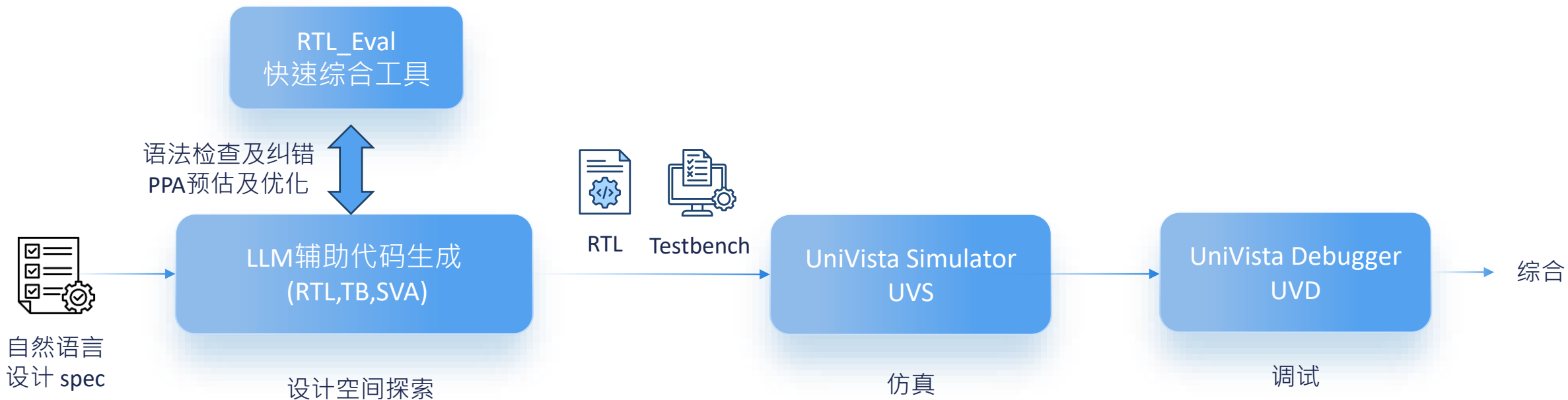
数字设计AI智能平台 Univista Design Assistant (UDA)

UDA 集成了DeepSeek R1等先进大模型（LLM）与合见工软自研的综合，仿真，调试EDA引擎，提供全面的AI辅助功能



数字设计AI智能平台 Univista Design Assistant (UDA)

- Univista Design Assistant (UDA) 以 VSCode IDE 插件形式，支持以自然语言为输入，通过 LLM + EDA 辅助 RTL和TB的生成，并支持设计空间探索，代码纠错和设计优化。
- 对模块级设计，UDA 可提升RTL和TB 生成效率 50% 以上，提升代码正确率和质量10%-20%。
- UDA 集成了合见仿真，调试，快速综合工具，可支持一站式前端设计验证，方便易用。



UDA 1.2 操作界面总览

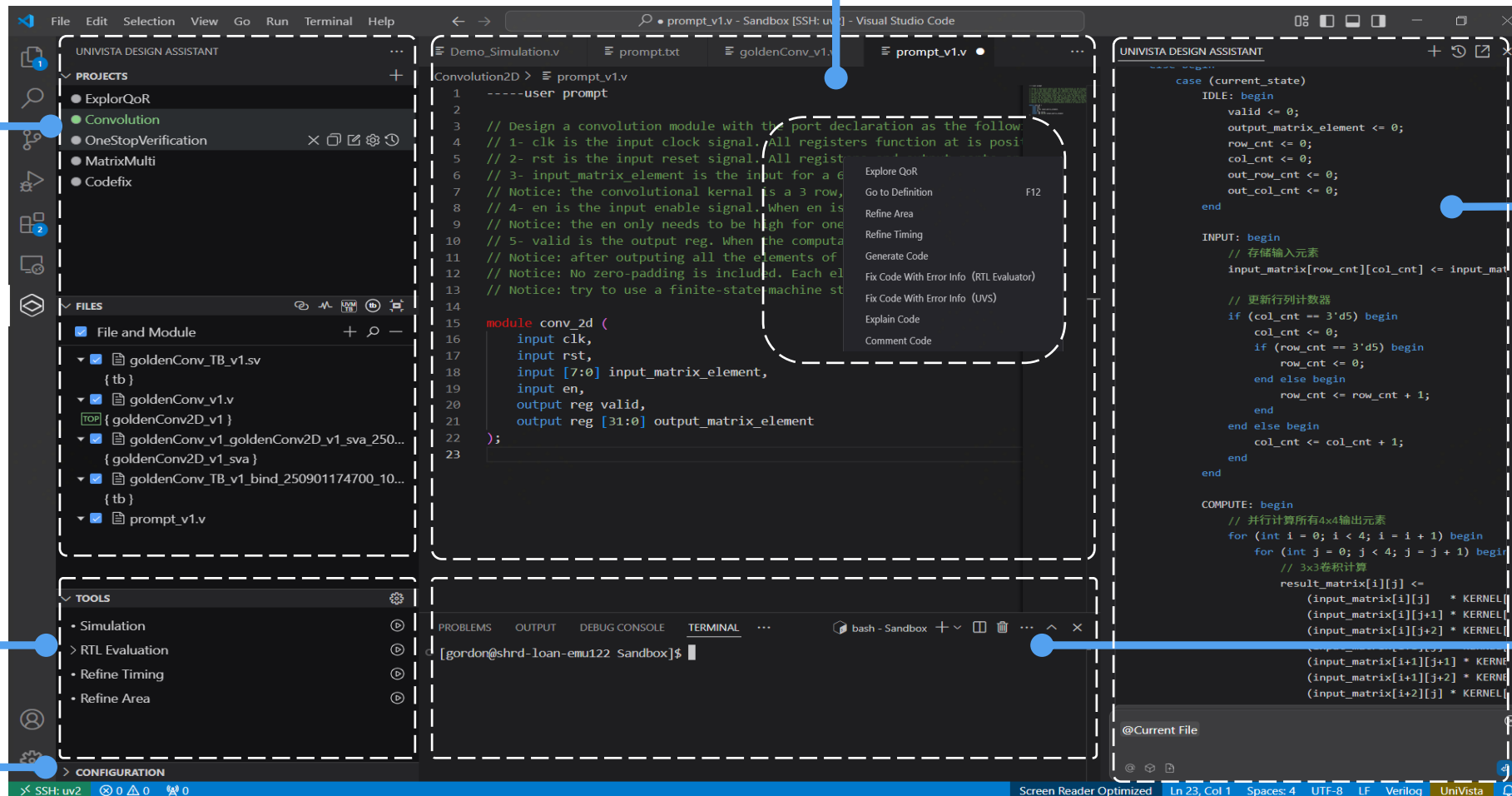
代码编辑区
(右键调出菜单发起任务)

项目管理区

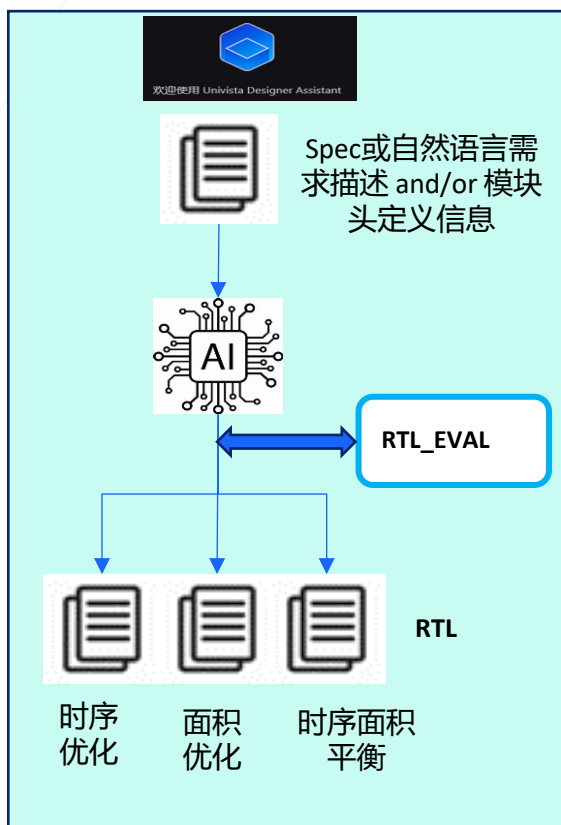
模型交互区
灵活选择上下文和模型交互

功能面板区

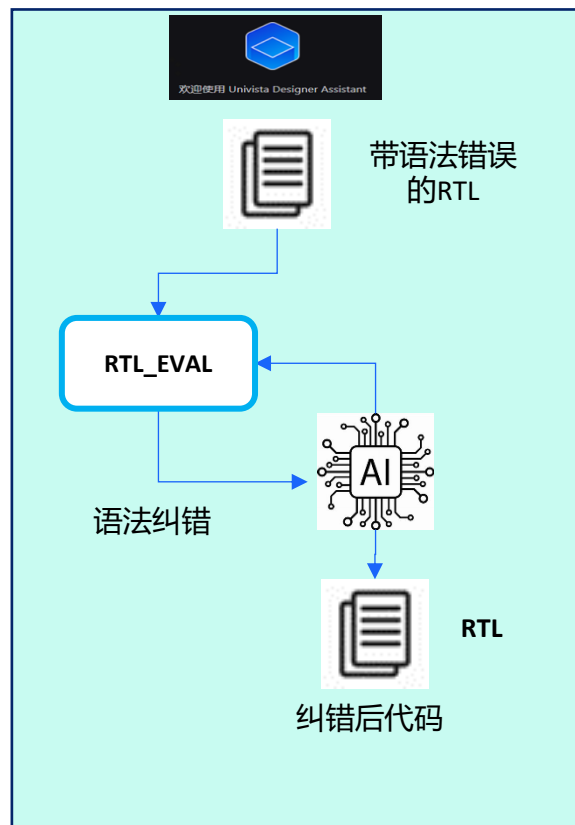
系统设置



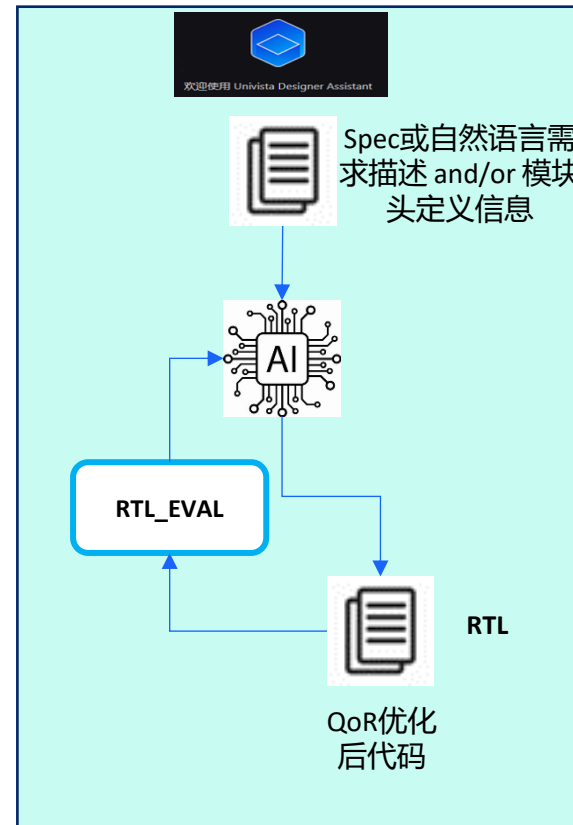
UDA 支持的几种主要场景



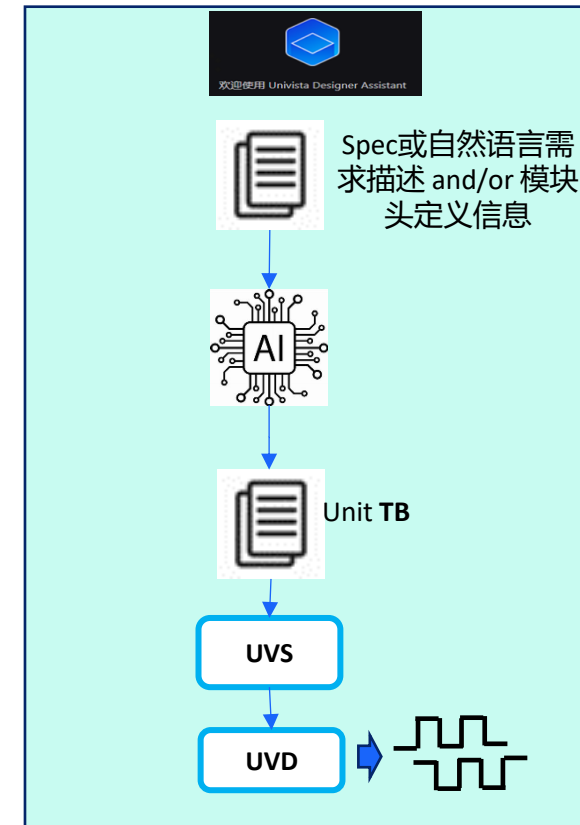
设计空间探索 (Explore QoR) :
LLM辅助自动生成RTL，并通过调用快速综合工具 RTL_Eval 进行 QoR分析，实现设计空间探索



自动语法纠错: 通过快速综合工具对RTL代码进行语法检查，并反馈给 LLM 实现Verilog RTL 语法自动纠错



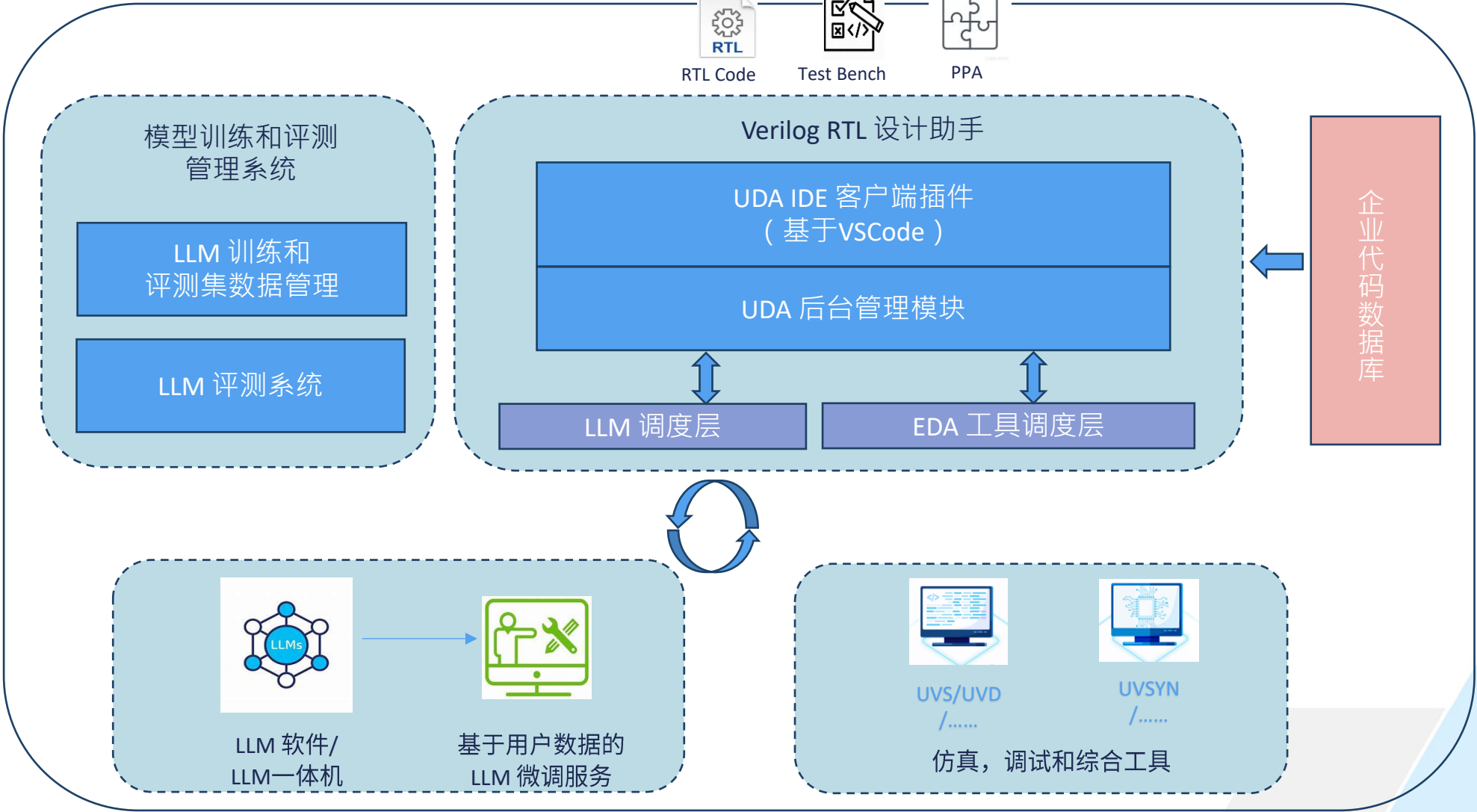
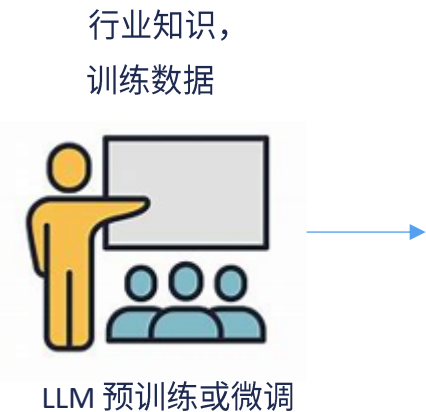
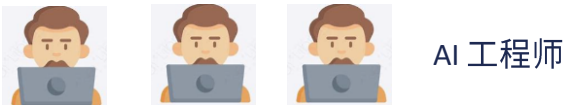
自动 QoR 优化: 生成RTL并自动调用快速综合工具进行分析，引导LLM通过多轮迭代实现时序或面积优化

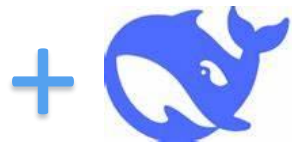


功能验证和调试: 自动生成单元级 Testbench，并调用仿真工具UVS和调试工具UVD，以实现一站式功能验证和调试

Univista Design Assistant 功能架构图

LLM + EDA 赋能的
数字设计 AI 智能平台





deepseek

VS



deepseek Only

- 更准确：LLM + EDA 闭环系统提升代码正确率
 - 更高效：设计空间探索，在线预估QoR，多任务并发
 - 更方便：在UDA平台中实现一站式验证
 - 更安全：内网部署，安全可靠
- 相对较低的代码正确率
 - 需要综合后再分析QoR，任务管理功能弱
 - 需要切换调用多个EDA 工具
 - 访问外网LLM存在数据安全风险

- UDA 通过 LLM + EDA 闭环方式，借助 RTL_Eval 快速综合工具的反馈及其他大模型工程技术，提升生成代码的语法和功能正确率
- 语法正确率从86%提升到 99%，UDA 有能力自动修复绝大部分语法错误
- 功能正确率从66%提升到 74%，UDA 可有效提升代码功能正确率

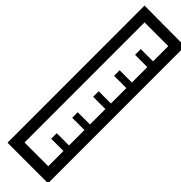
	DeepSeek R1 671b	UDA on DeepSeek R1 671b
total_num	507	507
syntax_pass_num	434	504
syntax_pass_rate	86%	99%
function_pass_num	334	374
function_pass_rate	66%	74%

Notes:

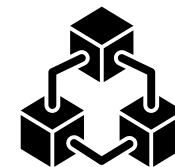
1. 测试基于合见507题评测集，包含了选自VerilogEval等若干评测集中的评测题，以及部分合见自定义评测题。测试方式为测试用例单轮顺序执行。
2. DeepSeek R1 版本为0528版。



设计空间探索，更
快达成PPA 目标



RTL代码时序和面
积快速在线预估



UDA · UVS · UVD
一站式验证，无需
在工具间切换



支持多任务后台并
发模式运行，大幅
提高效率



支持任务的历史记
录查看，一切尽在
掌握



支持用户客制化
Prompt管理

对模块级RTL及TB生成，效率提升50%以上

多任务后台并发运行及任务历史记录查看功能



- UDA支持多任务后台并发运行，并可查看任务历史记录，大幅提高用户工作效率。
- 在历史任务记录中，可查看生成的RTL，TB，log等文件，以及大模型及EDA工具的交互信息记录。

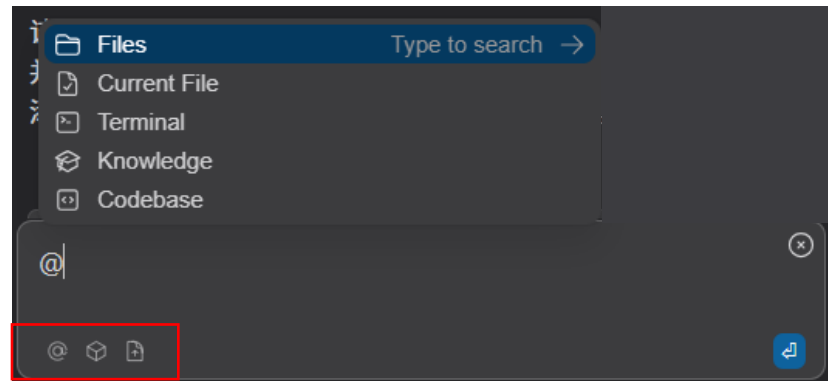
2025-06-12 11:45:58	Editor_Explore QoR	Running	Details		
2025-06-12 11:42:21	Editor_Explore QoR	Running	Details		
2025-06-05 10:45:00	Editor_Explore QoR	Done	Details		
2025-05-28 11:08:28	Editor_Refine Timing	Done	Details		
2025-05-28 10:49:15	Editor_Explore QoR	Done	Details		
2025-05-18 18:25:10	Editor_Explore QoR	Done	Details		
2025-05-18 18:18:40	Editor_Explore QoR	Done	Details		
2025-05-18 16:27:23	Editor_Generate Code	Done	Details		
2025-05-18 16:27:06	Editor_Generate Code	Cancelled	Details		
2025-05-18 16:25:59	Editor_Generate Code	Done	Details		

Output			
Result	vRTL250518182604_355.v	vRTL250518182604_367.v	vRTL250518182604_380.v
Area			
Sequential cells	34	16	32
Combinational cells	323	172	172
Memory bits	0	0	0
Timing			
Maximum logic levels	9	11	11
Start Point	a_high_reg_0_/C	a[0]	a[0]
End Point	product_high_reg_8_/D	product_reg_15_/D	product_temp_reg_15_/D
Slack	29	27	27
Reference clock	clk	clk	clk
Directory: /home/gordon/Sandbox/ExploreQoR/evallog			
Files:			
vRTL250518182604_355.v		vRTL250518182604_355.log	
vRTL250518182604_367.v		vRTL250518182604_367.log	
vRTL250518182604_380.v		vRTL250518182604_380.log	

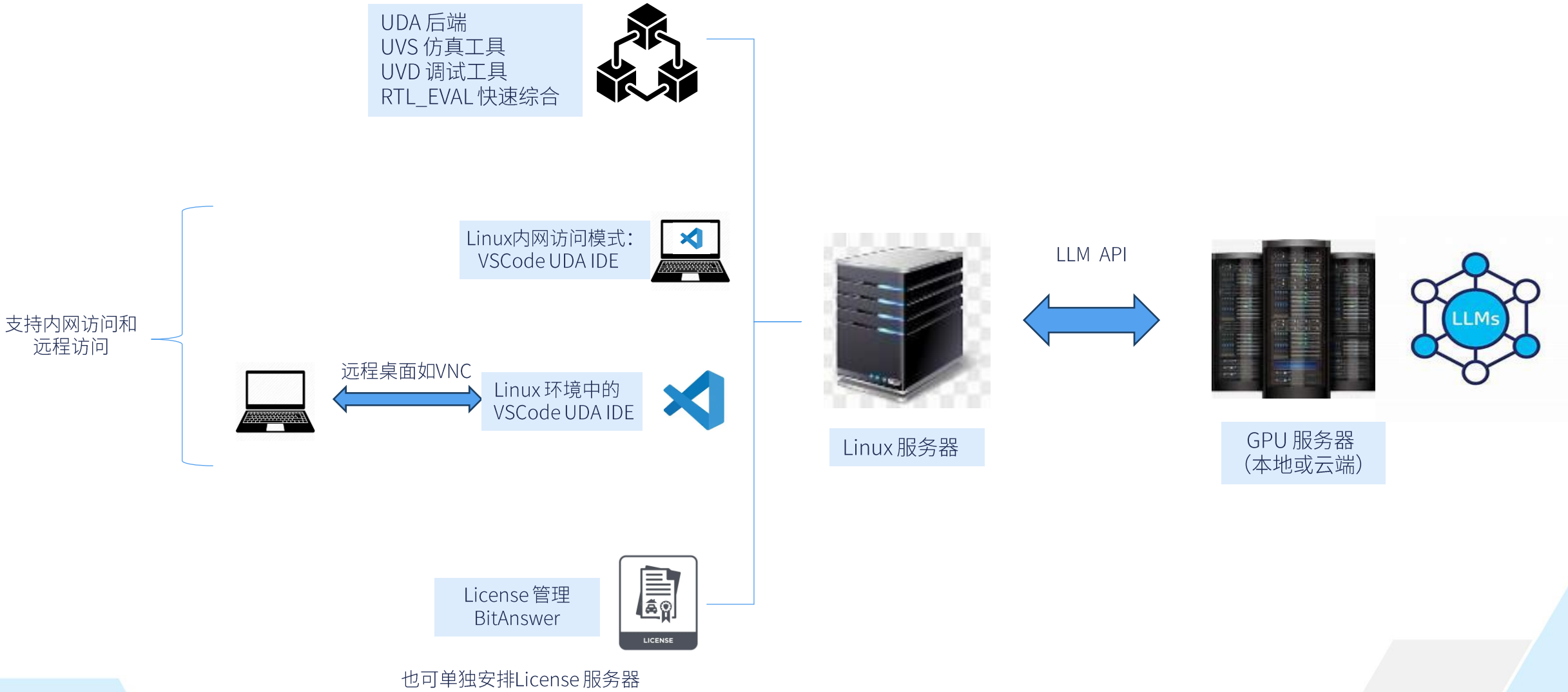
UDA 支持深度思考任务模式和灵活的LLM交互模式

UDA 除了提供完善的任务功能外，也提供直接和模型交互的功能，方便用户灵活地生成和优化设计，及辅助调试解决问题。

- 灵活的上下文选取
 - 支持在CHAT区通过指令动态添加上下文进行引用，可引用目录，文件，Terminal 区（EDA Log 等）内容，并可支持代码库和知识库。（@）
 - 支持选中工程区的文件/模块，或从代码区复制一段代码到CHAT区。
 - 支持用户直接上传文件。（）
- Prompt 管理 ()
 - 支持用户保存常用 prompt 并在模型对话时方便调用。



UDA 运行组件关系图



UDA 运行所需环境（基于本地化部署推荐配置）



- Linux 服务器 1 台
- UDA 组件
 - EDA 组件 (UVS, UVD, RTL_EVAL)
 - License 管理 (BitAnswer)



- GPU 服务器 1 台
- 671B 满血版 - 8卡 H20 141G
 - 671B 4-bit 量化版 - 8卡 A100/A800 80G
- 也可用国产GPU 服务器

分类	资源需求	推荐配置
服务器硬件需求	处理器架构	x86_64
	CPU	32 Core 以上
	内存	128G 以上
	硬盘	2T以上
服务器软件需求	操作系统	CentOS 7.8 以上
	Docker	20.10.9以上（推荐安装，也可合见提供）
	以下软件由合见提供	
	Nginx	1.21以上
	Redis	7.0以上
	Minio	RELEASE.2024-09-22T00-33-43Z
	PgVector	15.4以上
	Milvus	v2.4.5 以上
	etcd	v3.5.5以上
网络	Vscode	1.84版本以上，如使用ssh功能需小于1.99版本
	IP地址	需要1个IP地址

分类	资源需求	推荐配置
服务器硬件需求	处理器架构	x86_64
	CPU	32 Core 以上
	内存	1024G 以上
	硬盘	2T以上
	GPU	8卡 NVIDIA H20 141G 8卡 NVIDIA®Tesla®A100 or A800 SXM4 80G
	NVLink	V3
服务器软件需求	操作系统	CentOS 7.8/Ubuntu 20.04 LTS以上，推荐Ubuntu
	NVIDIA Driver	560.35.03
	CUDA	12.6
	cuDNN	8.9.7
	Docker	27.0.3
	NVIDIA Container Toolkit	1.16.1
网络	IP地址	每台设备需要1个IP地址
	端口	LLM一体机需与UDA应用服务器保持网络互通，开放指定端口供应用服务器访问（2个以上）

注：UDA Server 及 LLM Server 配置根据并发用户数，以及设计模块的复杂度不同需做调整适配。请联系合见销售沟通确认使用场景。

Q: UDA 是否可以对接其他公司的仿真综合工具？

A: UDA 集成了合见自研的仿真工具 UVS，调试工具UVD和快速综合工具 RTL_Eval，构成合见工软一站式AI智能EDA平台。UDA 目前还不支持和其他公司仿真综合工具的一站式集成。

对于希望保留原有工具的用户，可使用UDA bundle license 模式，包含了UDA 和 UDA专用的UVS UVD license。这一模式下，用户可以用UDA智能平台生成优化RTL和TB后，再调用其他仿真工具，及其他综合工具如 Design Compiler 进行综合。

Q: UDA 可以支持怎样规模的代码设计？

A: 目前UDA能较好支持模块级代码设计，需要设计师将复杂设计先分解为模块。在UDA roadmap 中，规划了支持更大规模工程的增量式开发的功能，即基于现有设计 + 新功能，在多个文件和模块中生成或修改代码。

Q: UDA 可以支持多少用户？

A: UDA 可支持的用户数主要由 GPU Server 配置，设计规模，以及任务并发情况确定。产品设计为支持50 任务并发。

Thank You