



西北工业大学  
NORTHWESTERN POLYTECHNICAL UNIVERSITY

# 电工电子技术实验 项目设计报告

课程名称：\_\_\_\_\_电工电子技术实验\_\_\_\_\_  
设计题目：\_\_\_\_\_四位二进制加减乘三则运算计算器\_\_\_\_\_  
院    系：\_\_\_\_\_航空学院\_\_\_\_\_  
班    级：\_\_\_\_\_01011704 班、01011705 班\_\_\_\_\_  
设 计 者：\_\_\_\_\_冯铮浩、王致远\_\_\_\_\_  
学    号：\_\_\_\_\_2017300281、2017300284\_\_\_\_\_  
指导教师：\_\_\_\_\_袁小庆老师\_\_\_\_\_  
设计时间：\_\_\_\_\_2019 年 6 月\_\_\_\_\_

西北工业大学

中国·西安

# 目录

1 实验目的.....	3
2 功能要求.....	3
3 实验原理.....	3
3.1 核心芯片介绍.....	3
3.2 总体电路设计流程图.....	4
3.3 基本加法计算器电路实现原理.....	5
3.4 两位结果显示加法计算器电路实现原理.....	6
3.4 减法计算器电路实现原理.....	9
3.5 可切换加法、减法组合电路设计.....	11
3.6 乘法计算器电路实现原理.....	11
4 实验仪器与设备清单.....	12
5 完整实验电路图.....	13
6 实验电路仿真测试.....	14
6.1 加法计算器电路仿真测试.....	14
6.2 减法计算器电路仿真测试.....	14
6.3 乘法计算器电路仿真测试.....	15
7 问题分析与讨论.....	15
8 实验感悟.....	16

# 1 实验目的

- (1) 运用所学电工电子技术知识设计一个可实现四位二进制加法、减法和乘法三则运算的简便计算器数字逻辑电路；
- (2) 熟悉四位二进制超前进位全加器 74LS283 芯片的功能及应用；
- (3) 熟悉较为复杂逻辑电路的基本设计方法，练习真值表的使用；
- (4) 熟悉 74LS47 芯片与共阳极七段数码管的组合使用；
- (5) 掌握利用 EDA 软件 Multisim 14.0 对设计电路进行仿真检测与调试；
- (6) 提升严谨细致的电路设计素养，锻炼创新思维，培养综合分析问题能力。

# 2 功能要求

- (1) 实现可进行四位二进制加法、减法和乘法三则运算的模拟计算器电路；
- (2) 三则运算输入数均为 0 至 9，加法的结果为 0 至 18，减法的结果为 0 至 9（不允许出现负数），乘法的结果为 0 至 81；
- (3) 输入数与结果数均可利用数码管清晰显示；
- (4) 在同一电路中，可通过开关机制简便地切换加法、减法和乘法功能。

# 3 实验原理

## 3.1 核心芯片介绍

### A. 四位二进制超前进位全加器 74LS283 芯片

74LS28 各个引脚功能如下：A1-A4 为运算输入端；B1-B4 为运算输入端；C0 为进位输入端； $\Sigma 1$ - $\Sigma 4$  为和输出端；C4 为进位输出端，如图 1 所示。

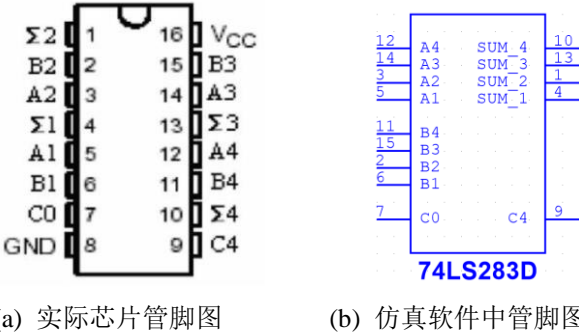


图 1 74LS283 芯片的实际与仿真软件中的管脚图

74LS283 全加器芯片真值表如表 1 所示。

表 1 74LS283 全加器芯片真值表

$A_i$	$B_i$	$C_{i-1}$	$S_i$	$C_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

#### B. 74LS47 芯片-七段发光数码管组合结构

74LS47 芯片是 BCD-7 段数码管译码器的驱动器，可用于将 BCD 码转化成数码块中的数字。通过它来进行解码，可以直接把数字转换为数码管的数字，十分便捷。一种典型的译码驱动电路结构图如图 2 所示。

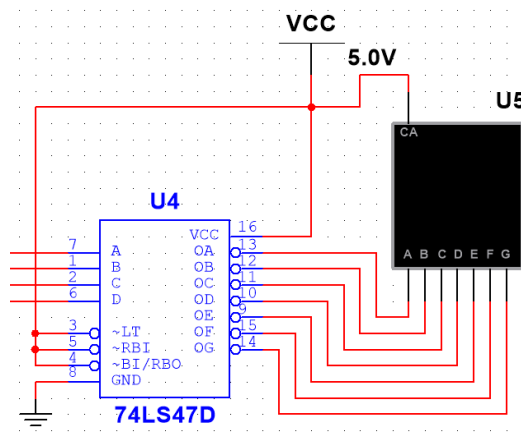


图 2 利用 74LS47 芯片与七段数码管组成的典型译码驱动显示仿真电路

### 3.2 总体电路设计流程图

本实验构想通过灵活地利用 74LS283 全加器与 74LS47-七段数码管结构，由基本到复杂，运用数字逻辑电路，逐一实现加法、减法与乘法三则计算的电路设计，同时添加功能切换机制，保证电路的完整性与操作便捷性。

总体电路的设计流程图如图 3 所示。

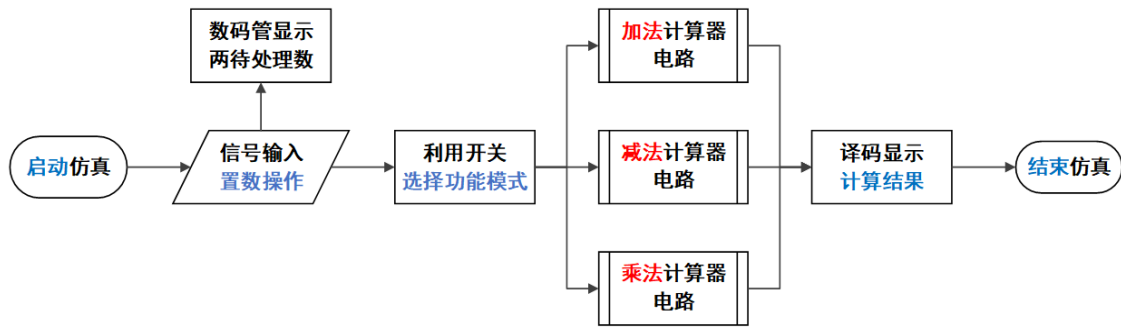


图 3 总体电路设计流程图

### 3.3 基本加法计算器电路实现原理

基本加法计算器电路可实现一位之内的两数加和功能，即支持一位结果显示（0 至 9）。此电路结构是本实验设计关键的基本结构，可通过组合与变形来构成其他功能更加复杂的电路。

#### A. 输入置数模块

电路输入信号模块通过控制电路左侧的 8 个单刀双掷开关连接高（5.0V）低电平（接地）来对两个四位二进制数置数（1 或 0），上面 4 个为第一个四位二进制数，下面 4 个为第二个四位二进制数。置数电路如右图 3 所示。

#### B. 加法运算电路

通过中规模四位二进制超前进位全加器 74LS283 进行两个数的加法运算，输出结果为两个二进制数的和，

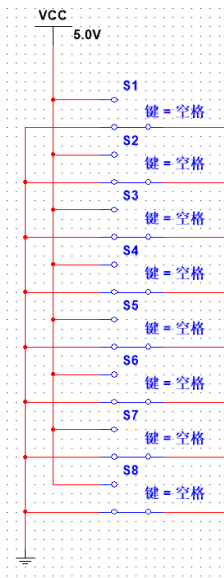


图 4 置数电路

#### C. 输入输出译码显示电路

通过共阳极七段数码管和 74LS47 译码驱动器组成显示电路，将各个输入和输出端接至 74LS47 译码器的 A、B、C、D 管脚，七段数码管便可以显示相应数字，具体接法参照上述图 2。

完整的基本加法计算器电路如图 4 所示。其中上方两个七段数码管显示屏显示两个二进制加数对应的十进制数字，下方一个七段数码管显示屏显示加数之和对应的十进制数字。

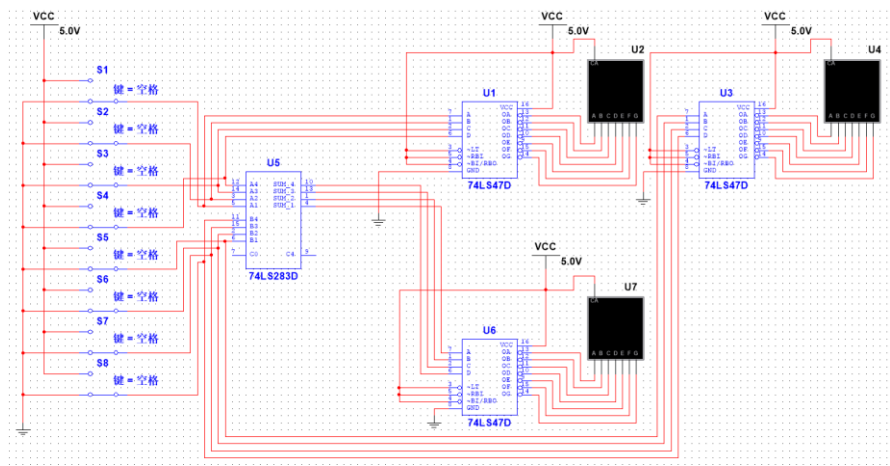


图 5 基本加法计算器电路（结果显示一位）

D. 优点与存在问题

上述设计电路可实现基本加法功能，满足小量程范围显示的要求。但是，当输入信号的两个加数之和大于 10 的时候，输出结果是十六进制中对应的图案，另需查表进行识别，可读性较差，需要改进，以提升用户交互体验。

3.4 两位结果显示加法计算器电路实现原理

为了提升计算器的可读性，当两加数之和超过 9 时，构想采用两位七段数码管分别表示加法结果的十位与个位，以增强电路仿真结果可读性。

A. 实现输出 10 至 18 结果的方式——加六转换

当两加数之和为两位数时，此时十位数字非零，需要将加数之和的输出信号进行处理，分别输入代表十位与个位。由于计算器目前设定的两个加数均只有一位（0 至 9），所得加和结果数目较少，故构想采用“加六转换”的方式，列出真值表寻找数字逻辑关系，并利用门电路进行控制。列出 0 至 31 的二进制真值表如表 2 所示。

表 2 0 至 31 的二进制真值表

$C_0$	$S_3$	$S_2$	$S_1$	$S_0$	$Y$	十进制	类型说明
0	0	0	0	0	0	0	基本实现项
0	0	0	0	1	0	1	
0	0	0	1	0	0	2	
0	0	0	1	1	0	3	
0	0	1	0	0	0	4	

0	0	1	0	1	0	5	
0	0	1	1	0	0	6	
0	0	1	1	1	0	7	
0	1	0	0	0	0	8	
0	1	0	0	1	0	9	
0	1	0	1	0	1	10	需要转换 项
0	1	0	1	1	1	11	
0	1	1	0	0	1	12	
0	1	1	0	1	1	13	
0	1	1	1	0	1	14	
0	1	1	1	1	1	15	
1	0	0	0	0	1	16	
1	0	0	0	1	1	17	
1	0	0	1	0	1	18	
1	0	0	1	1	×	19	不可实现 项
1	0	1	0	0	×	20	
1	0	1	0	1	×	21	
1	0	1	1	0	×	22	
1	0	1	1	1	×	23	
1	1	0	0	0	×	24	
1	1	0	0	1	×	25	
1	1	0	1	0	×	26	
1	1	0	1	1	×	27	
1	1	1	0	0	×	28	
1	1	1	0	1	×	29	
1	1	1	1	0	×	30	
1	1	1	1	1	×	31	

若以  $Y$  表示十位的进位表示情况（0 或 1），则可根据以上 0 至 31 的真值表，由前 16 项（0 至 15）可得逻辑关系：

$$Y = S_3 S_2 S_1 S_0 + S_3 S_2 S_1 \overline{S_0} + S_3 S_2 \overline{S_1} S_0 + S_3 S_2 \overline{S_1} \overline{S_0} + S_3 \overline{S_2} S_1 S_0 + S_3 \overline{S_2} S_1 \overline{S_0} \quad (1)$$

利用逻辑运算化简表达式可得：

$$Y = S_3 S_1 + S_3 S_2 \quad (2)$$

另外，对 17 至 19 项， $Y$  亦为 1，此时由进位  $C_0$  为 1，结合上式（2）可得逻辑关系式：

$$Y = S_3 S_1 + S_3 S_2 + C_0 \quad (3)$$

上述逻辑关系式（3）即可实现十位与个位的分离表示。其本质上是逻辑关系运算而不是进制转换。当  $Y=0$  时，简化至简单加法计算器电路情形，表示结果个位的 74LS283 芯片的一加数输入 0000，未对原来的加和结果进一步处理；而当  $Y=1$  时，符合“加六转换”条件，表示结果个位的 74LS283 芯片的一加数输入 0110（十进制的 6），与原先结果相加截取末位四位即为实际十进制显示的个位二进制数，十位二进制数即为 0001（十进制的 1），即可实现要求功能。

### B. 核心门电路结构实现

由于仿真电路元件中 74LS283 的管脚与真值表中符号有所区别，在此说明：逻辑运算式（3）中的  $C_0$  对应上方全加器的 C4 进位输出端， $S_0$  至  $S_3$  分别对应全加器的 S1 至 S4 输出端。门电路的两种逻辑设计方式如下：

1) 方式一：利用与门、或非和非门的组合实现。逻辑关系式化为：

$$Y = \overline{\overline{S_3 S_1} + \overline{S_3 S_2} + \overline{C_0}} \quad (4)$$

2) 方式二：利用与非门的组合实现。逻辑关系式化为：

$$Y = \overline{\overline{S_3 S_1} \cdot \overline{S_3 S_2} \cdot \overline{C_0}} \quad (5)$$

考虑实验电路的直观性，本次实验设计利用方式一实现，核心门电路结构如图 6 所示。其中，74LS08 为二输入四与非门，74LS27 为三输入或非门，74LS04 为单输入六反相器。



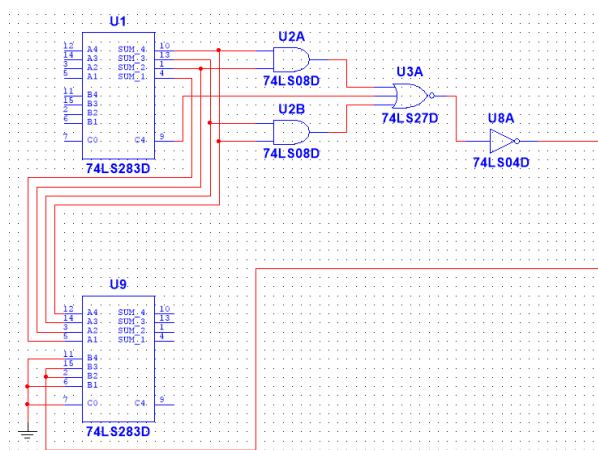


图 6 加法计算器电路（显示两位）核心门电路结构

### C. 完整加法计算器电路图（结果可显示两位）

可显示两位十进制数的加法计算器电路图如图 7 所示。

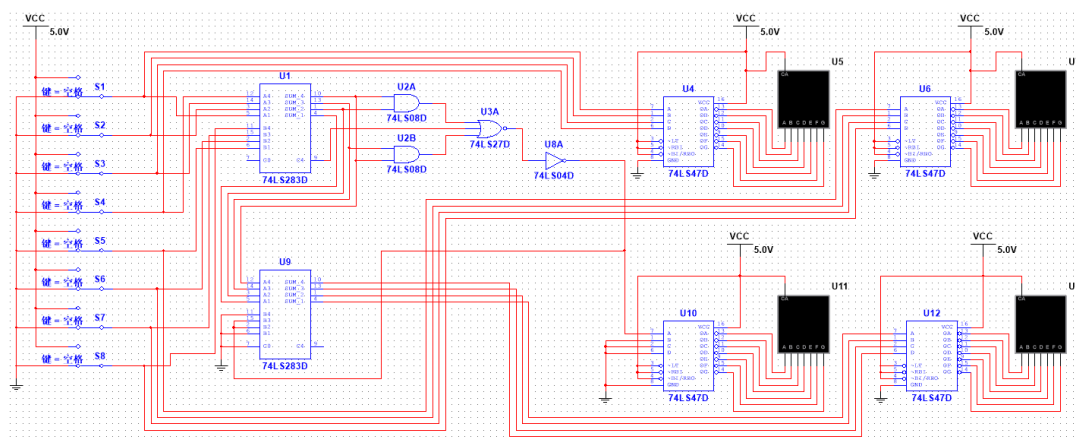


图 7 完整加法计算器电路（结果可显示两位）

## 3.4 减法计算器电路实现原理

减法计算器的实现原理与加法计算器类似。

### A. 核心实现原理（利用原、反、补码关系转换）

根据反补码知识，可将两二进制数的减法运算转化为加法运算，这样便可以利用加法计算器电路进行改进设计。不妨设现需对  $A$  与  $B$  两  $n$  位二进制数进行减法运算，即  $A-B$ ，设  $A$  与  $B$  的二进制原码分别为  $N_{A原}$  与  $N_{B原}$ ，根据二进制数原码、补码与反码之间满足的转化关系式：

$$N_{补} = 2^n - N_{原} = N_{反} + 1 \quad (6)$$

故可得关系

$$A - B = N_{A原} - N_{B原} = N_{A原} + N_{B反} + 1 - (2^n)_B \quad (7)$$

由上式可得， $A - B$  可转化为二进制  $A$  的原码与  $B$  的反码之间的加法运算。

### B. 运算电路结构设计

由上述反补码逻辑分析进行门电路模块设计。由于  $B \oplus 1 = \overline{B}$ ， $B \oplus 0 = B$ ，（其中  $\oplus$  为异或运算符），故可通过设置异或门 74LS86 芯片对输入的二进制数  $B$  求其反码，并将一片 74LS283 芯片的进位输入端  $C_0$  接逻辑 1 以实现加 1，由此求得  $B$  的补码。此时加法器相加的结果为  $C = N_{A原} + N_{B反} + 1$ 。

由于  $A$  与  $B$  均为四位二进制数，则有  $2^n = 2^4 = (16)_{10} = (10000)_2$ ，故前面相加的结果  $C$  与  $(2^4)_2$  的相减运算可由加法器进位输出信号  $C_4$  完成。当进位输出信号为 1 时， $C$  与  $2^n$  的差为 0；当进位输出信号为 0 时， $C$  与  $2^n$  差值为 1，同时发出借位信号。因为设计要求被减数  $A$  大于或等于减数  $B$ ，故该操作所得的差值就是  $A - B$  的原码，借位信号为 0。

第一个芯片将输入的两个数进行减法运算，但是在十六进制范围内，所以需要将结果减六，才能得到十进制数相减的结果。因而引入第二个芯片，将第一个芯片的和再减去  $B$  端的  $(0110)_2$ ，即可实现十进制数相减运算。

减法计算器的核心电路模块如图 8 所示。

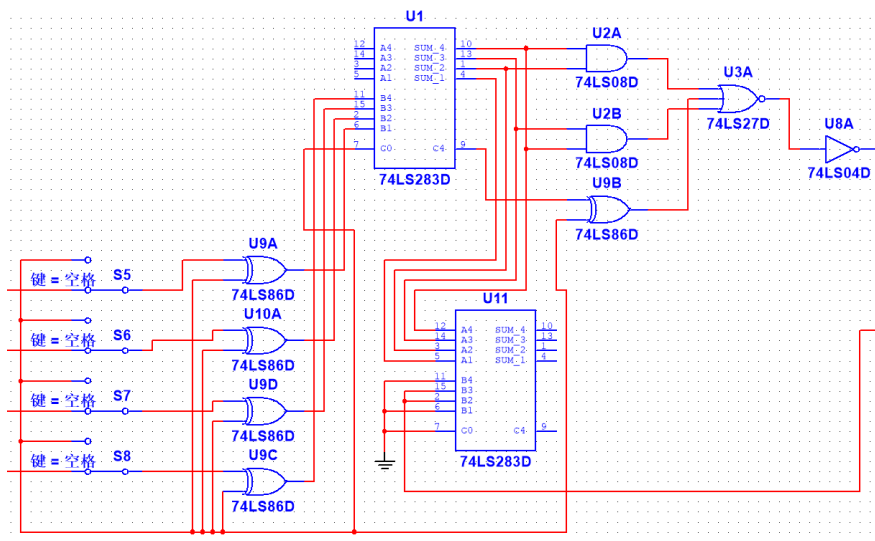


图 8 减法计算器核心电路模块

### C. 完整减法计算器电路图

完整的减法计算器设计仿真电路图如图 9 所示。

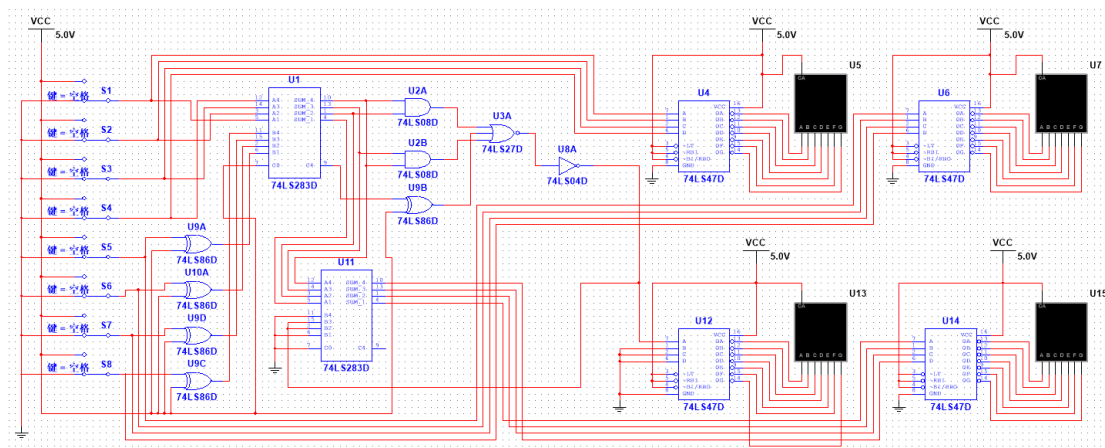


图 9 完整减法计算器电路

### 3.5 可切换加法、减法组合电路设计

为实现加减运算的转换，增加一个单刀双掷开关进行控制即可。当四个 74LS86 异或门的下方一端接高电平（ $VCC=5.0V$ ）时，异或运算结果为  $B$  的反，即进行减法运算，当异或门的下方接低电平（地）时，异或运算结果为  $B$ ，即进行正常的加法运算。组合电路图如图 10 所示。其中切换控制加法和减法运算模式的开关为  $S9$ 。

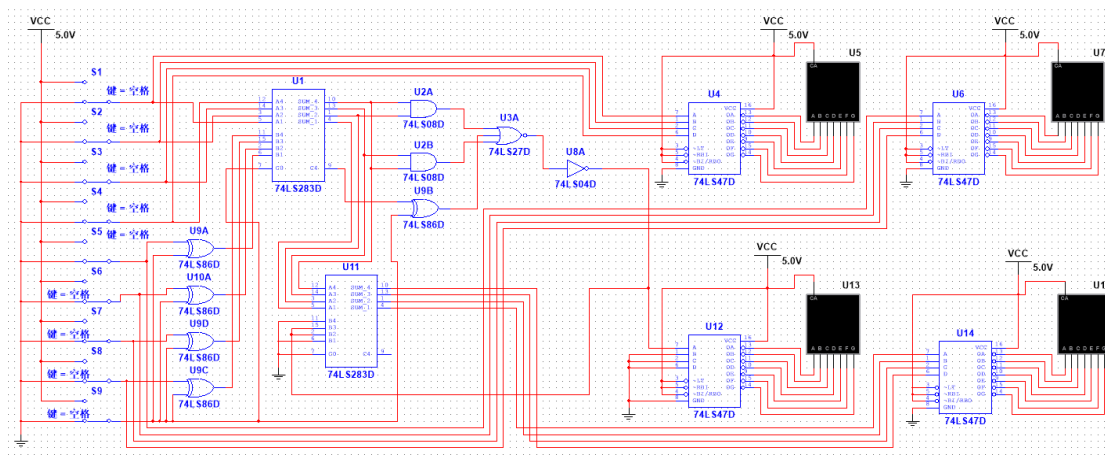


图 10 可切换加法、减法组合计算器电路

### 3.6 乘法计算器电路实现原理

实现四位二进制乘法运算需要 16 个 74LS08 与门、6 片 74LS283D 全加器以及 4 个译码器和数码管。根据对乘法过程的分析（如图 11 所示）可知，可将四

位二进制形式的乘数  $A$  的每一位数分别与另一乘数  $B$  的每一位数字相乘，从而得到 16 组结果，此过程可通过 16 个 74LS08 与门实现。对所得 16 个结果通过 74LS283D 全加器根据如图所示逻辑关系进行相加，共进行三次加法运算，在三次加法运算结束后将最终结果输入译码器，由数码管进行显示。

				$B_4$	$B_3$	$B_2$	$B_1$
$\times$	$A_4$	$A_3$	$A_2$	$A_1$			
0	0	0	0	$B_4A_1$	$B_3A_1$	$B_2A_1$	$B_1A_1$
0	0	0	$B_4A_2$	$B_3A_2$	$B_2A_2$	$B_1A_2$	0
0	0	$B_4A_3$	$B_3A_3$	$B_2A_3$	$B_1A_3$	0	0
0	$B_4A_4$	$B_3A_4$	$B_2A_4$	$B_1A_4$	0	0	0

图 11 乘法过程逻辑分析

乘法计算器仿真电路图如图 12 所示。

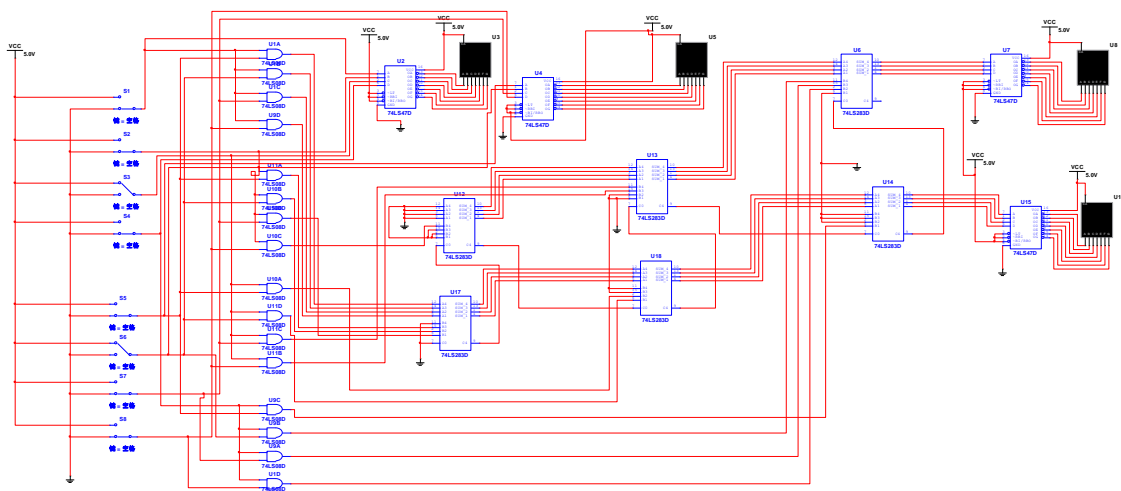


图 12 乘法计算器电路

4 实验仪器与设备清单

元件名称	数量
74LS283D	8
74LS47D	8
74LS04D	1
74LS27D	1
74LS86D	5
74LS08D	18
SPDT（单刀双掷开关）	16
七段数码显示管	8
DPDT_SB（双刀双掷开关）	1
Digital Power (高电位 VCC)	11

导线

若干

## 5 完整实验电路图

根据第三部分所述原理，通过单刀双掷与双刀双掷开关组合的完整实验电路如图 13 所示，可模拟实现一个具有两个四位二进制数加、减、乘功能的计算器。

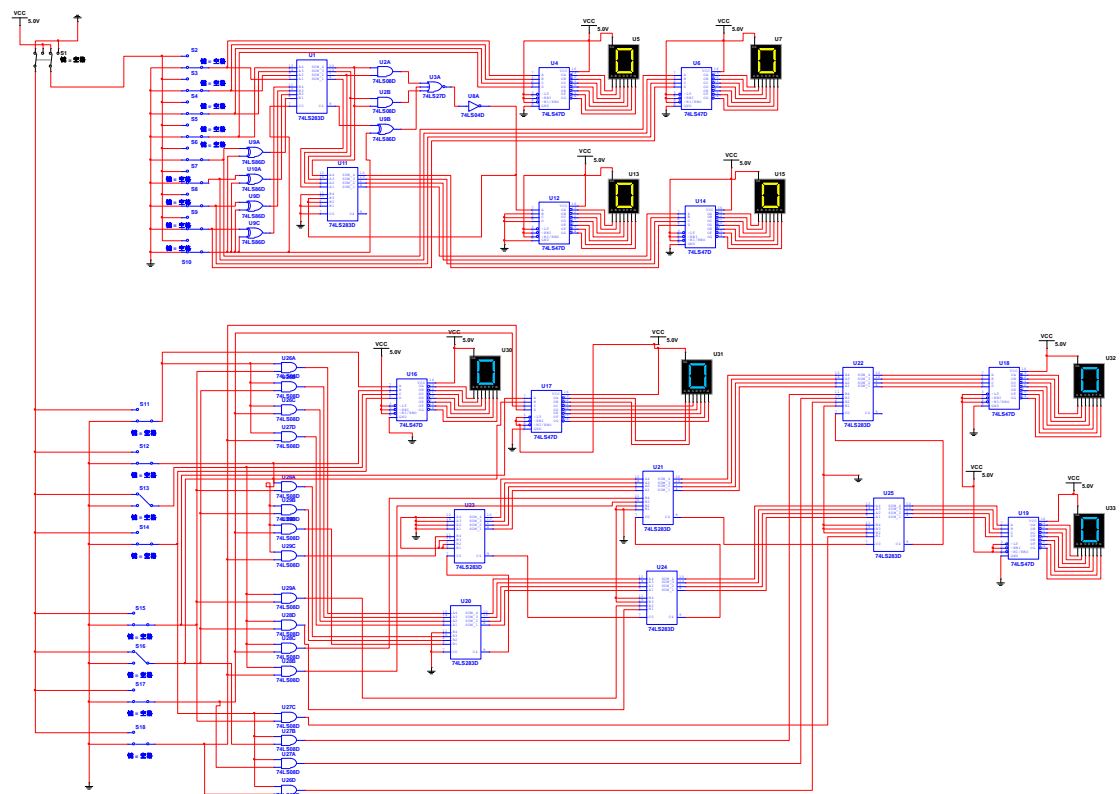


图 13 完整设计电路图

其中上半部分电路为加减计算器，数码显示管为加减区，下半部分电路为乘法计算器，数码显示管为乘法区。两组电路通过双刀双掷开关（如图 14 所示）连接到一起，通过控制置数端高低电平连接与否，变换开关，对希望运行的电路输入端正常置数，不希望运行的电路输入全为 0，这样的结果使得加减法区、乘法区在运行的时候有显示，不运行的时候该区显示全部为 0（清零）。

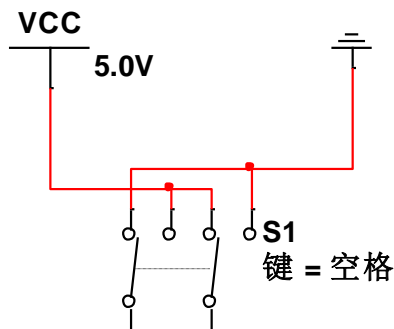


图 14 双刀双掷切换功能总开关

如图 14 所示状态为解锁加减法、封闭乘法功能；相反状态为解锁乘法、封闭加减法功能。

## 6 实验电路仿真测试

### 6.1 加法计算器电路仿真测试

如图 15 所示。将总开关拨到加减区，再拨动加法开关，置数  $A=(1000)_2$ ,  $B=(0111)_2$ , 输入显示 8,7。输出结果为  $15=8+7$ , 与预期结果相同, 完成加法功能。

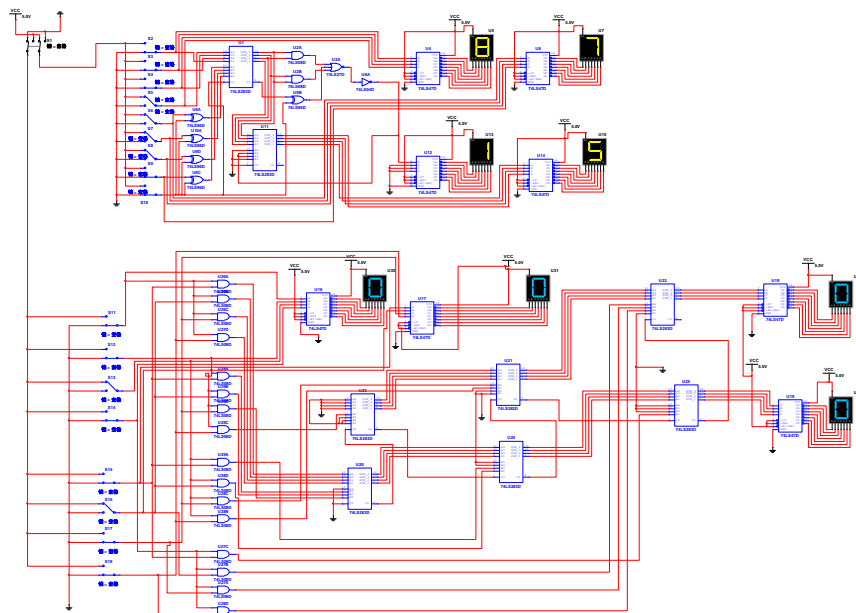


图 15 加法计算器电路仿真测试

### 6.2 减法计算器电路仿真测试

如图 16 所示。将总开关拨到加减区，再拨动减法开关，置数  $A=(1001)_2$ ,  $B=(0111)_2$ , 输入显示 9,7。输出结果为  $2=9-7$ , 与预期结果相同, 完成减法功能。

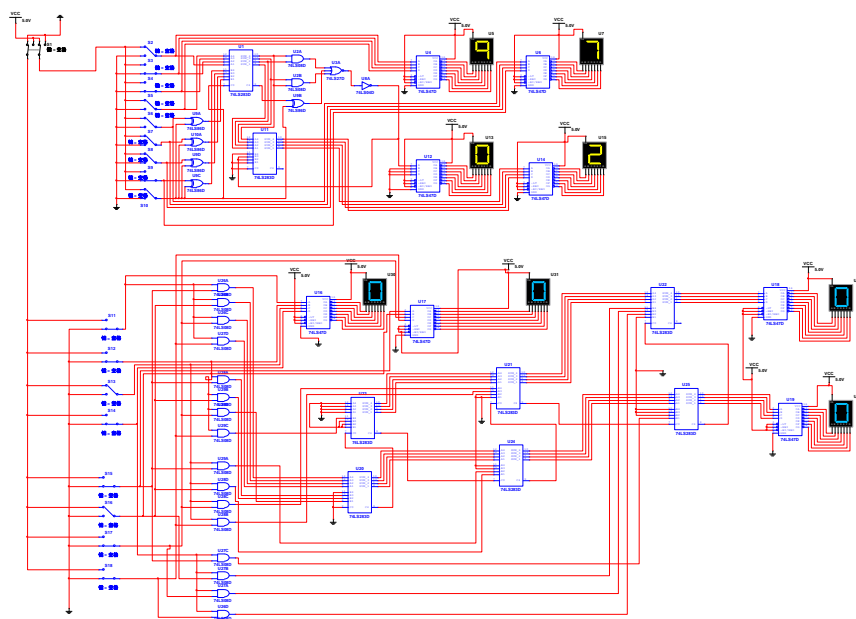


图 16 减法计算器电路仿真测试

### 6.3 乘法计算器电路仿真测试

如图 17 所示。将双刀双掷总开关拨到乘法区，置数  $A=(0100)_2$ ,  $B=(0010)_2$ ，输入显示 4,2。输出结果为  $8=4\times 2$ ，与预期结果相同，完成乘法功能。

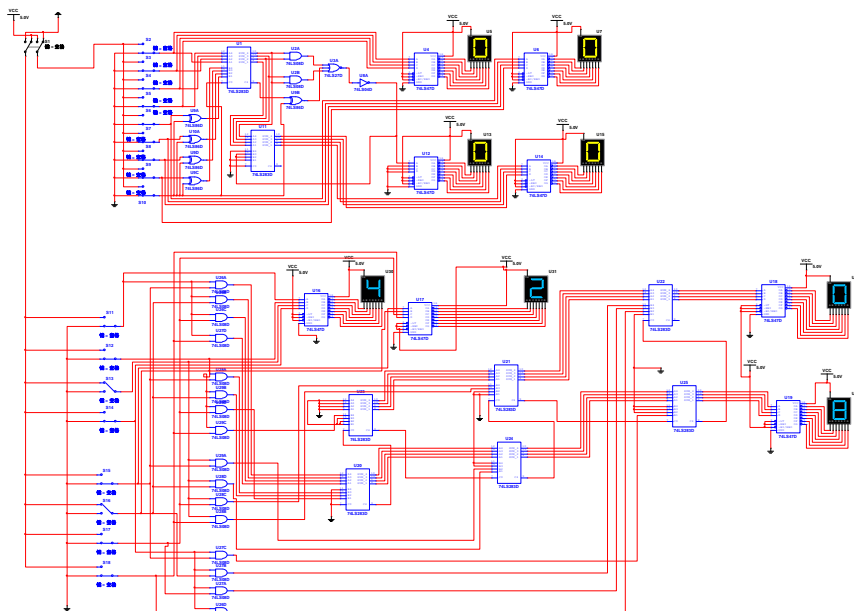


图 17 乘法计算器电路仿真测试

## 7 问题分析与讨论

在实现四位二进制计算器乘法功能的基础上，我们分析讨论可知，若将乘法过程中输入“另一乘数  $B$ ”替换为“乘数  $A$ ”，则最终所得结果为  $A\times A$ ，即为  $A$  的平方，那么我们只需对乘法原理的输入过程进行简单的改进，计算器便可以实现计算输入数的平方结果；以此为基础继续进行拓展可知，对输入数  $A$  的平方结果再乘以数  $A$  则可得到  $A$  的三次方结果……以此类推，则最终可通过这一累乘的过程实现计算器计算得出输入数  $A$  的  $n$  次幂的功能，即乘幂功能。但是，目前我们设计的计算器也存在有一定的不足，最大的不足在于所设计的复杂电路仅仅只能完成小规模的两位计算任务，而对于一个兼具实用性与高效性的计算器而言，必不可少的就是大规模的计算与精确的结果。因此我们可以对电路芯片有更多的学习，来选择更合适的芯片实现计算的功能。

本实验的最初计划中，我们还构想利用中等规模集成电路芯片 555 定时器与 D 触发器实现实际计算器常见的“ANS”（保存答案）功能，但是由于时间有限且电路较为复杂，需要我们在未来对电路进行深入的改进与升级。

## 8 实验感悟

本次的电路实验设计中，我主要负责加法、乘法计算器仿真电路的架构、不同功能电路的组合与调试，以及实验报告的策划与排版工作。

从自主寻找课题、查阅文献资料，到创新灵感、分工构思，再到构建电路、反复调试……整个实验设计与实现的过程复杂而有趣，艰苦而充实。在电路的构建过程中，我充分体会到灵活运用理论知识的重要性。例如，在减法计算器电路的设计工作之初，队友和我首先试图寻找自带减法器功能的芯片，却一无所获。经过进一步的思考与分析，我们结合在电工电子技术课程与程序设计课程中学习的原、反、补码知识，将原本直接较难实现的减法功能转化为已经能够实现的加法功能，很好地解决了问题。另外，在仿真电路的实际搭建与调试过程中，我充分感受到拥有良好电路设计习惯的重要性。由于本实验设计的芯片与门电路较为复杂，线路交叉频繁，需要耐心与谨慎地处理每一个电路模块，此时严谨细心的做事态度与良好的实验习惯比如注意实时保存电路进行备份、将电路连线排列尽量整齐等就显得尤其重要。最后，我体会到团队协作的强大力量。本实验的选题、功能构思、运行调试以及后续的升级工作，离开了良好的团队沟通与合作，必将举步维艰。

非常感谢袁老师能够提供我们这样的机会来自主设计并完成一个完整的应用电路，能够让我们将电工电子技术的理论与实际紧密结合，提升我们的仿真工程创新实践能力与对电路学习的热情，更让我们对电路设计有更加深入的理解与认知。感谢袁老师的悉心引导！

——西北工业大学 2017 级航空学院本科生

01011704 班 冯铮浩

在完成本次大作业的过程中，我主要负责了实现计算器的乘法功能。在实际计算器乘法功能的过程中，首先我需要熟悉全加器的功能，然后根据元件的功能以及搜索的资料来确定实现乘法过程的原理，进而完成电路的设计，最后使用 Multisim 对电路进行仿真并对效果进行检验。在这其中我认为最困难的就是仿真的过程，因为实现乘法原理需要 16 个 74LS08D 与门以及 8 个 74LS283D 全加器，



所以涉及的端点与端点之间的连线非常之多，连线的工作量是比较大的，而这也需要我对原理非常熟悉并且在连线过程中保持高度的认真，只有这样才能保证最后能够正确地实现结果，这也让我认识到了扎实的理论基础是完成实践的根本基石，任何一项复杂的工作都离不开理论知识的指导。除此之外，对于仿真与校验过程中我遇到的困难，我的队友给予了我莫大的帮助，而也正是有了队友与我的协作，我们才能克服作业中的困难。尽管在完成大作业的过程中充满了艰辛与汗水，但是它也锻炼了我解决问题的能力，开拓了我的思维，让我将理论中学习的知识最终转换为了成果，这些对于我今后的学习生活都有很大意义。最后，计算器最终完成带来的是内心喜悦，这也是对我们不懈工作的最大回报！

——西北工业大学 2017 级航空学院本科生

01011705 班 王致远