**电工电子技术实验 实验七预习报告**

**学号： 2017300281 姓名： 冯铮浩 分数：\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

**实验名称：集成触发器和计数、译码、显示电路**

1. 基本RS触发器
2. 利用两个与非门的输出交叉构成基本RS触发器，建立如实验指导书P58中图16-1的仿真电路，其中输入端，接高低电平控制开关，输出端*Q*，接发光二极管显示：

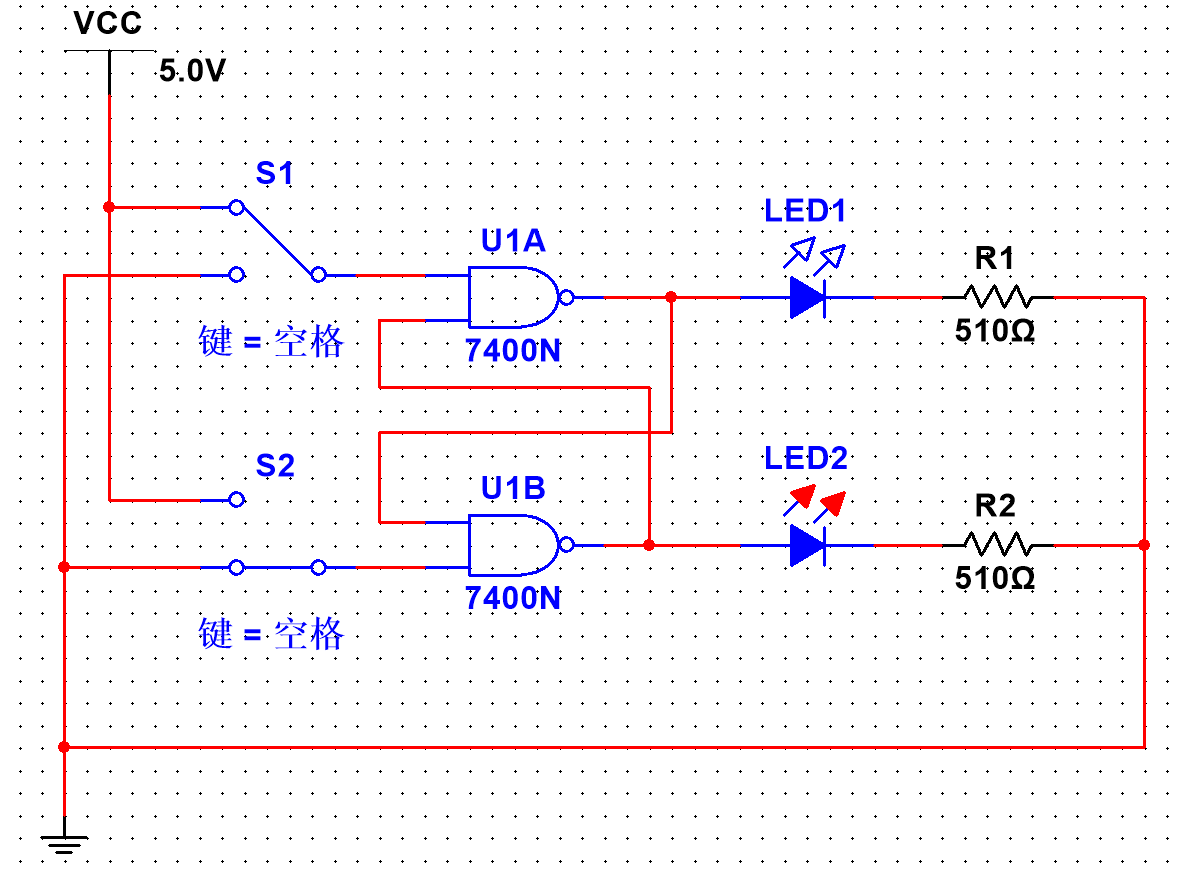


图1 基本RS触发器状态测试仿真电路图

1. 测试基本RS触发器的状态，并填入表1中：

表1 基本RS触发器状态测试

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | *Q* |  |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 不变 | 不变 |
| 0 | 0 | 不定 | 不定 |

1. 双JK触发器
2. 选用74LS112 JK触发器，建立仿真电路，其中，，*J*，*K*接高低电平控制开关，*CP*端接逻辑开关，输出端*Q*，接发光二极管显示：

提示：

1. 74LS112 JK 触发器选用TTL中74LS系列中的 74LS112D；
2. 逻辑开关可选用Switch 中的PB\_DPST，为便于观察，也可串联时钟脉冲源 （Sources 中的CLOCK\_VOLTAGE (10HZ，5v)）；

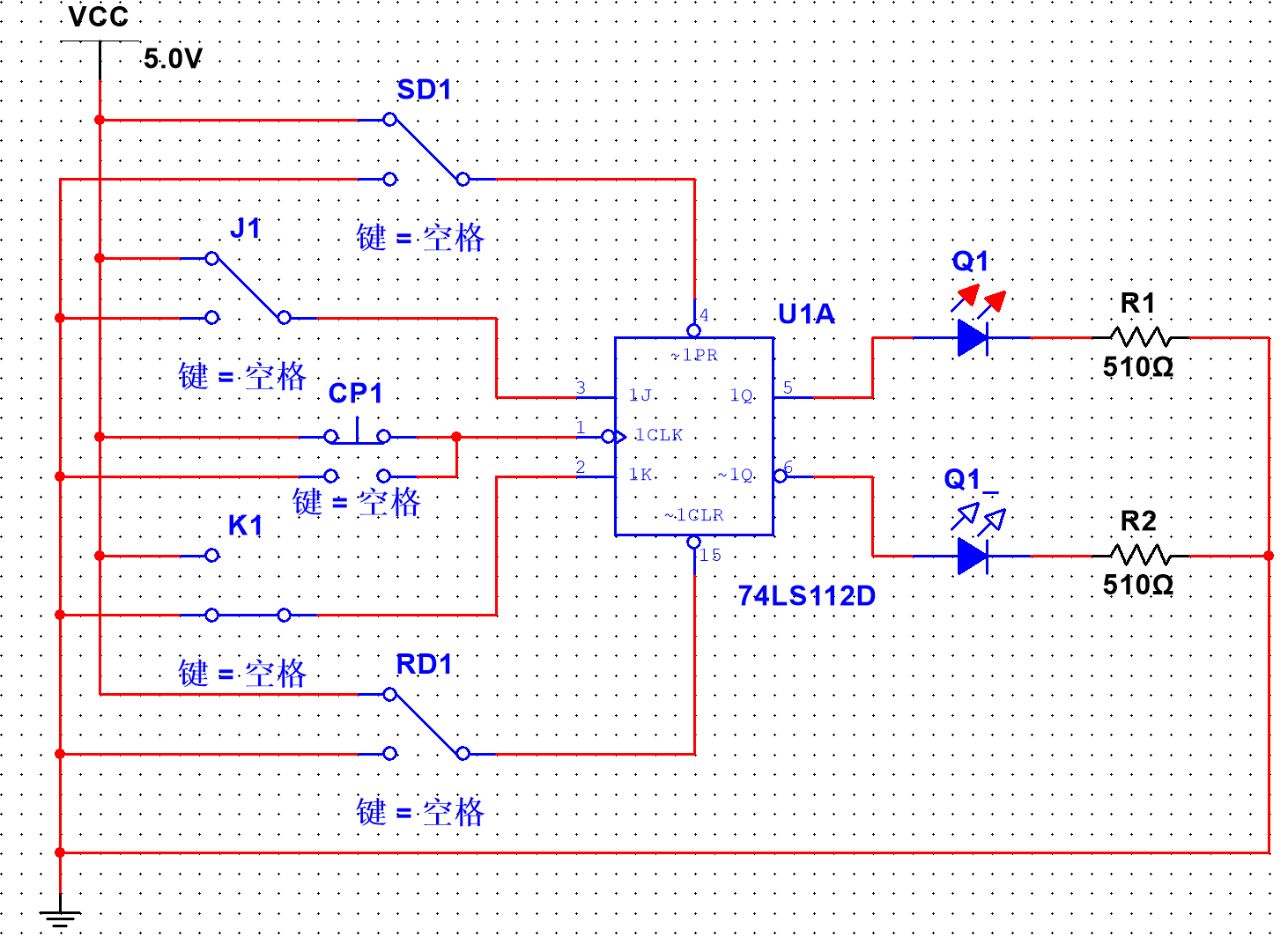


图2 JK触发器的逻辑功能测试仿真电路图

1. ，端清0、置1功能测试：改变，（*J*，*K*，*CP*处于任意状态），观察*Q*，的变化，并将结果填入表2中：

表2 74LS112逻辑功能测试(1)

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | *Q* |  |
| 1 | 1→0 | 1 | *0* |
| 0→1 | 1 | 0 |
| 1→0 | 1 | 0 | 1 |
| 0→1 | 0 | 1 |
| 0 | 0 | 不定 | 不定 |

1. JK触发器逻辑功能测试：根据表2设置*Q*的当前状态*Q*n，按照表3改变*J*，*K*，*CP*状态，并保持，观察*Q*n的下一个状态*Q*n+1，填入表3中：

表3 74LS112逻辑功能测试(2)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *J* | *K* | *CP* | *Q*n | *Q*n+1 |
| 0 | 0 | ↓ | *Q*n=0 | *0* |
| *Q*n=1 | 1 |
| 0 | 1 | ↓ | *Q*n=0 | 0 |
| *Q*n=1 | 0 |
| 1 | 0 | ↓ | *Q*n=0 | 1 |
| *Q*n=1 | 1 |
| 1 | 1 | ↓ | *Q*n=0 | 1 |
| *Q*n=1 | 0 |

1. 74LS194逻辑功能测试
2. 选用74LS194 移位寄存器，建立仿真电路，其中*S*1，*S*0，*S*R，*S*L，，*DA*，*DB*，*DC*，*DD*接高低电平控制开关，*CP*端接逻辑开关，输出端*QA*，*QB*，*QC*，*QD*接发光二极管显示：

提示：

1. 74LS194选用TTL中74LS系列中的 74LS194D；

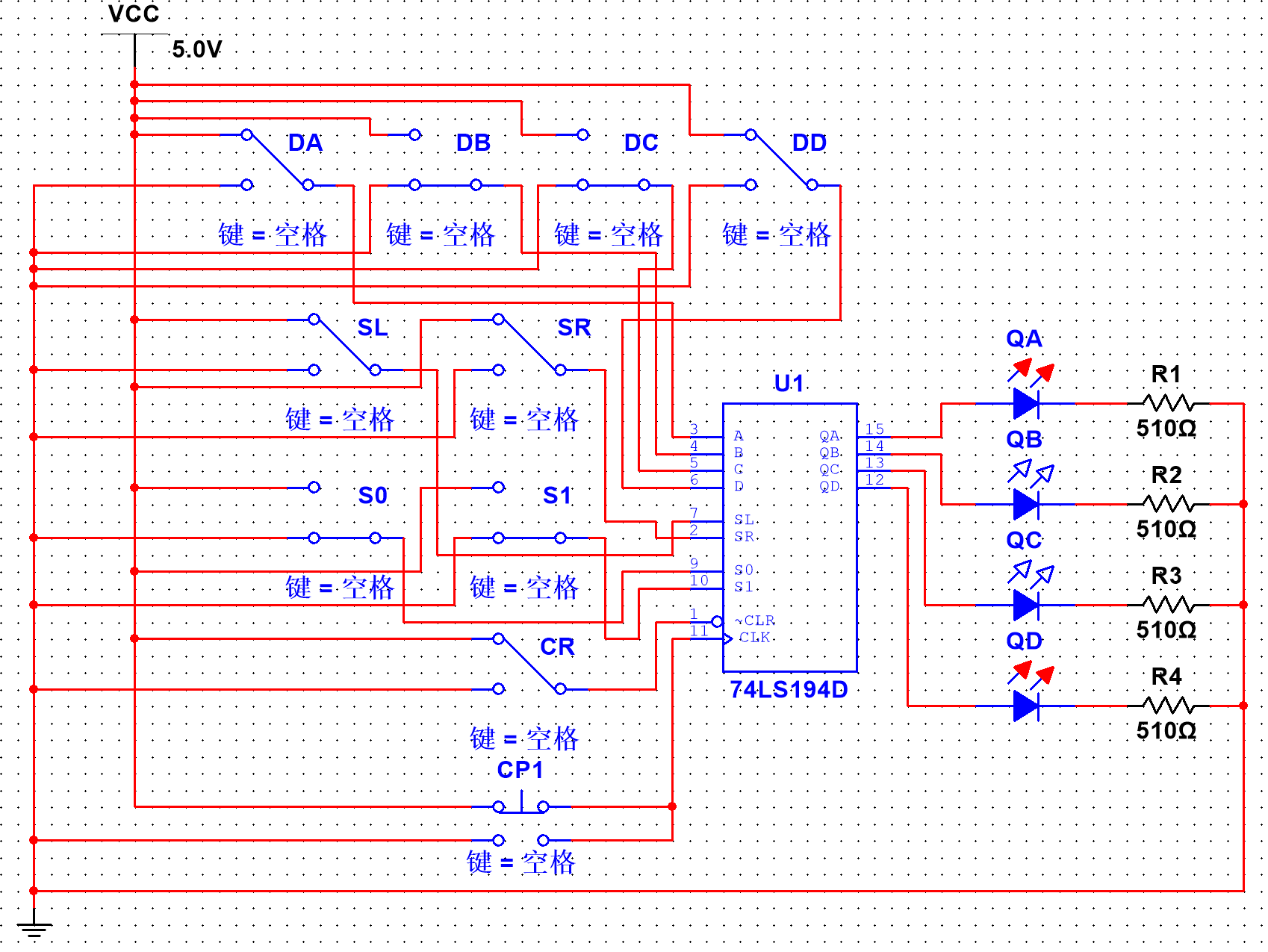


图3 移位寄存器逻辑功能测试仿真电路图

1. 按照表4进行逻辑功能测试，并将结果填入表中：

表4 74LS194逻辑功能测试

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 清0 | 模式 | | 时钟 | 串行 | | 输入 | 输出 | 功能总结 |
|  | *S*1 | *S*0 | *CP* | *S*R | *S*L | *DADBDCDD* | *QAQBQCQD* |  |
| 0 | × | × | × | × | × | 1001 | 0000 | 清零 |
| 1 | 1 | 1 | ↑ | × | × | 1001 | 1001 | 并行输入 |
| 1 | 0 | 1 | ↑ | × | 0 | 1001 | 1100 | 右移一位 |
| 1 | 0 | 1 | ↑ | × | 1 | 1001 | 1110 | 右移一位 |
| 1 | 0 | 1 | ↑ | × | 1 | 1001 | 1111 | 右移一位 |
| 1 | 0 | 1 | ↑ | × | 0 | 1001 | 1111 | 右移一位 |
| 1 | 1 | 0 | ↑ | 1 | × | 1001 | 1110 | 左移一位 |
| 1 | 1 | 0 | ↑ | 1 | × | 1001 | 1100 | 左移一位 |
| 1 | 1 | 0 | ↑ | 1 | × | 1001 | 1000 | 左移一位 |
| 1 | 1 | 0 | ↑ | 1 | × | 1001 | 0000 | 左移一位 |
| 1 | 0 | 0 | ↑ | × | × | 1001 | 0000 | 保持 |

1. 测试74LS192十进制可逆计数器的逻辑功能
2. 选用74LS192 十进制可逆计数器，建立仿真电路，其中*DA*，*DB*，*DC*，*DD*接高低电平控制开关，清零端，置数端接高低电平控制开关，输出端*QA*，*QB*，*QC*，*QD*接数码管：

提示：

1. 74LS192选用TTL中74LS系列中的 74LS192D；
2. 数码管选用 Place Indicator中的DCD\_HEX，注意*QA*，*QB*，*QC*，*QD*需从右往左连接；
3. 逻辑开关可直接选用时钟源CLOCK\_VOLTAGE (10HZ，5v)；

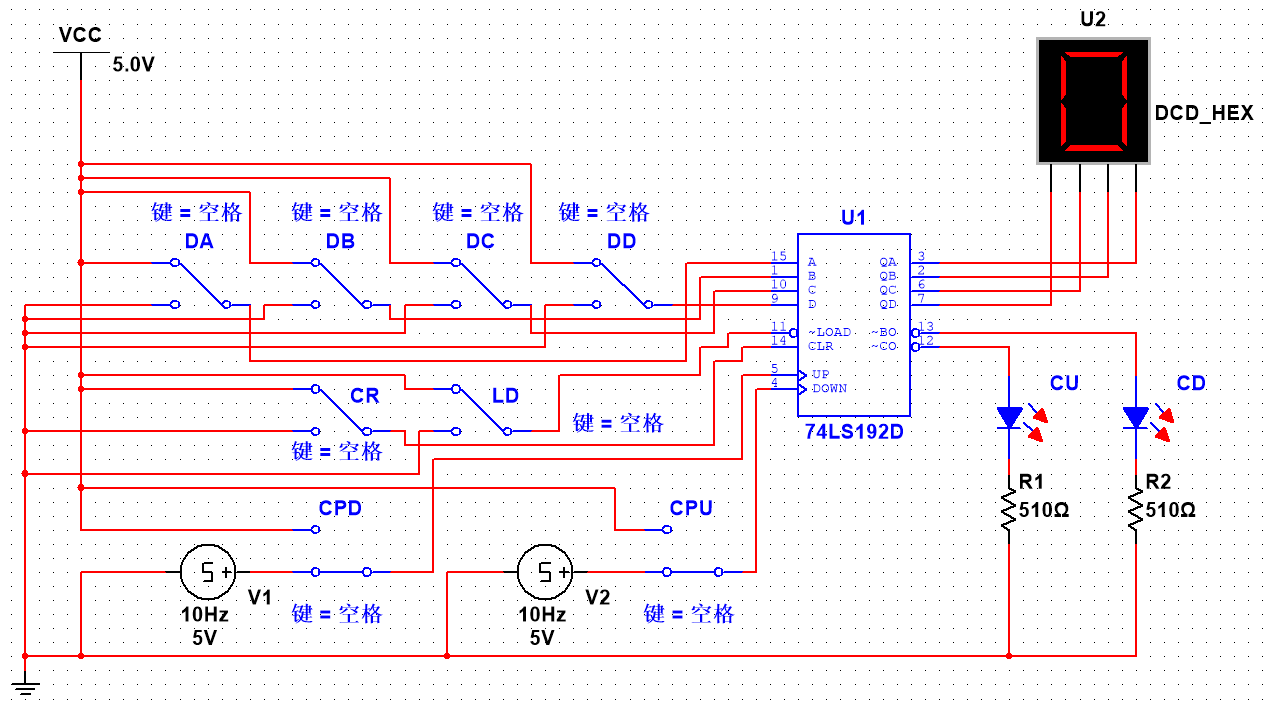


图4 74LS192可逆计数器仿真电路图

1. 逻辑功能测试：
2. 清零：令，其他输入为任意状态，这时，译码显示为0；清零完成后，置；
3. 置数：令，CPU、CPD任意，输入，令，观察计数器的输出显示为 9 ，完成后，置
4. 加计数：令，，CPU接逻辑开关，观察输出显示结果；

答：显示结果为计数器由1~9顺序开始循环显示。某一瞬时仿真截图如下图5所示。

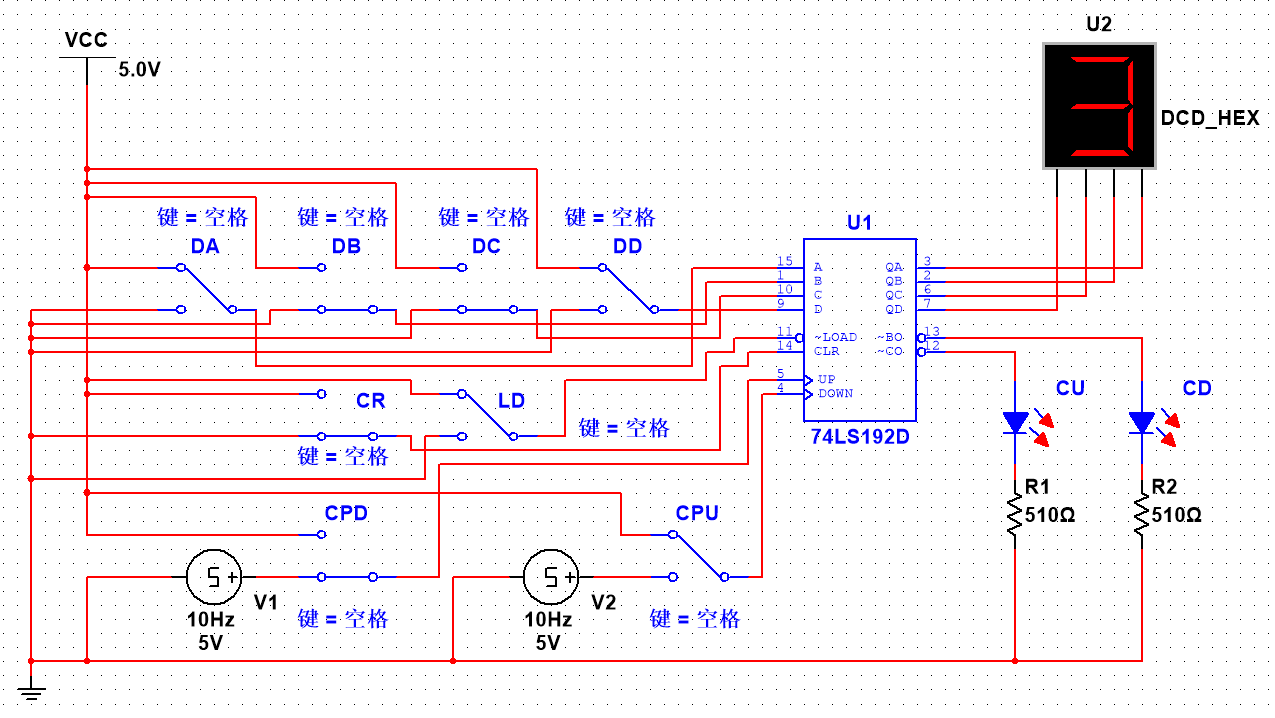


图5 计数器顺序循环显示仿真结果示意图

1. 减计数：令，，CPD接逻辑开关，观察输出显示结果；

答：显示结果为计数器由9~1逆序开始循环显示。某一瞬时仿真截图如下图6所示。

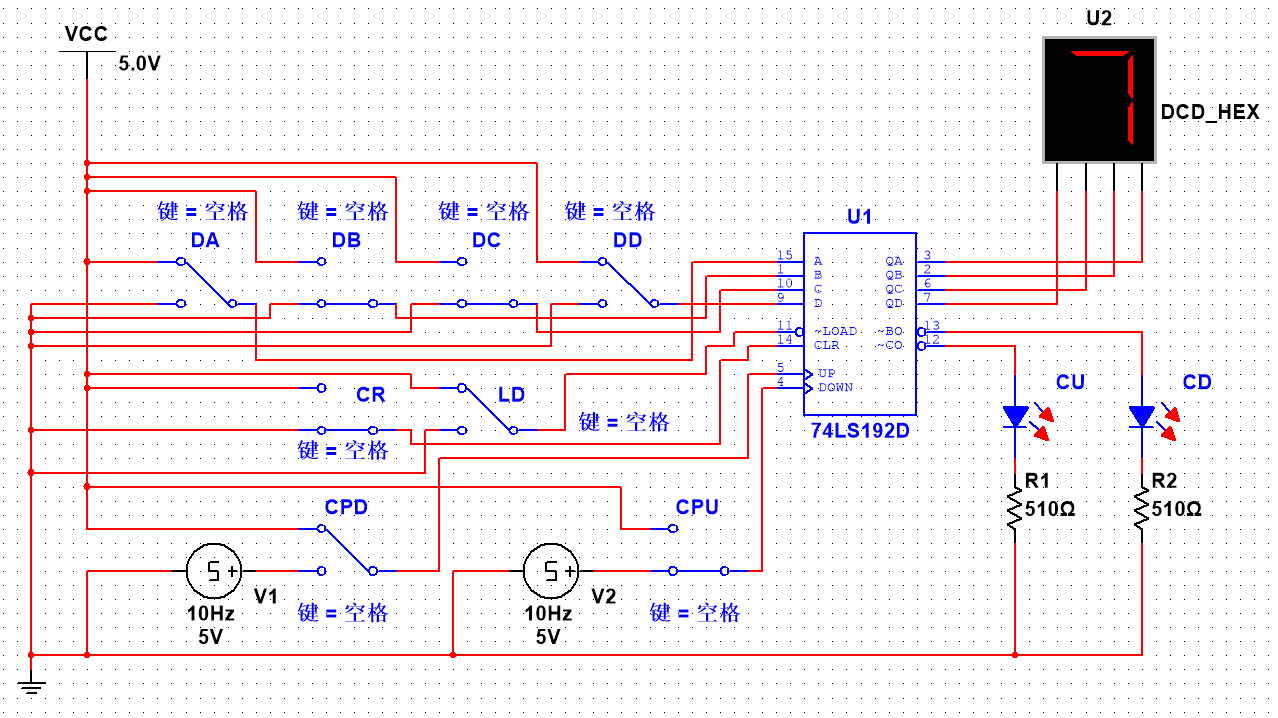


图6 计数器逆序循环显示仿真结果示意图

1. 两位十进制加法计数器
2. 利用两个74LS192，按照P65图17-3建立加计数级联仿真电路。如下图7所示。

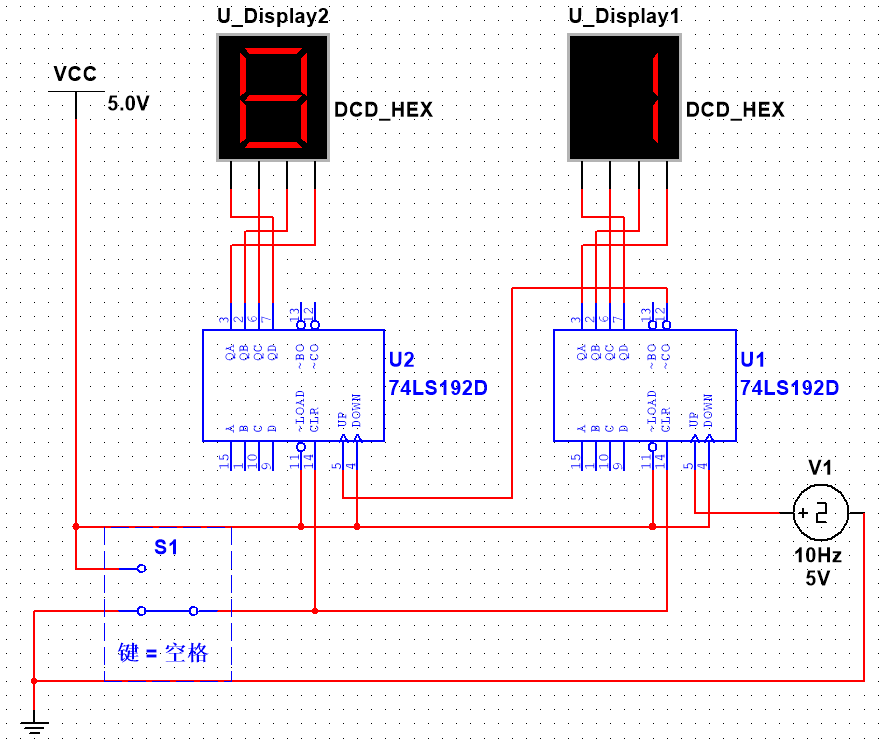


图7 加计数级联仿真电路

1. 观察计数，显示过程；
2. 将上述电路修改为两位十进制减法计数器，并观察计数及显示过程：如图8所示。

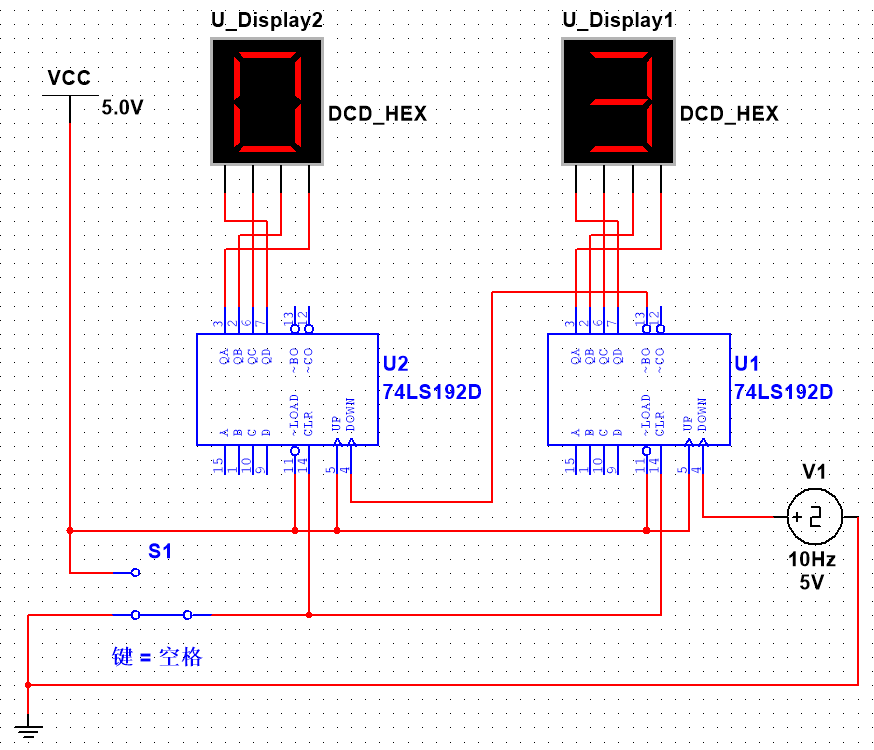


图8 两位十进制减法计数器仿真电路

1. 拓展题1：五进制加法计数器
2. 利用74LS192和与非门，参考图17-4建立五进制加法计数器仿真电路。

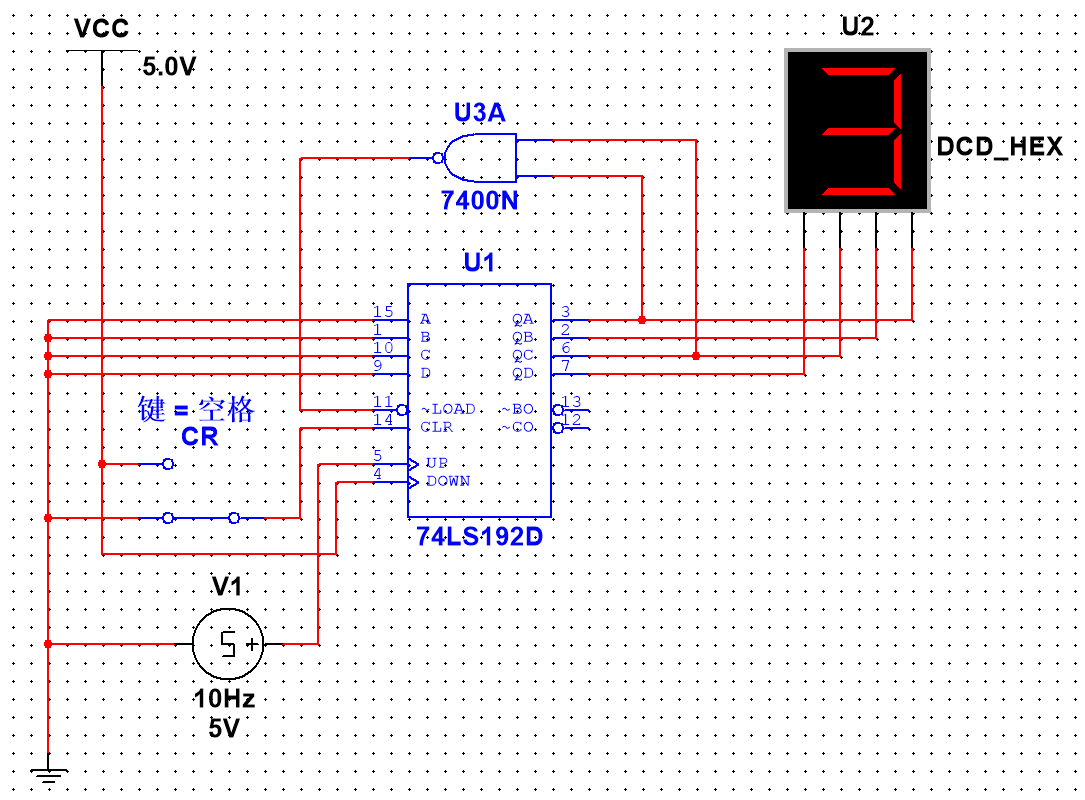


图9 五进制加法计数器仿真电路

1. 逐个输入脉冲，观察显示并记录如下： **0 、 1 、 2 、 3 、 4 、 0** 。
2. 拓展题2：任意进制加法计数器（学号最后两位）
3. 利用74LS192和与非门，建立任意进制加法计数器仿真电路
4. 学号：2017300281（学号最后两位为81）；
5. 电路设计思路：首先由两片74LS192十进制计数器组成**100**进制计数器；然后找出81对应的电路逻辑状态：**1000**（十位）**0001**（个位），采用反馈方法设计引线位置，使计数器处于该状态时，立刻触发计数器置位，实现进制功能。仿真电路图如下图10所示。

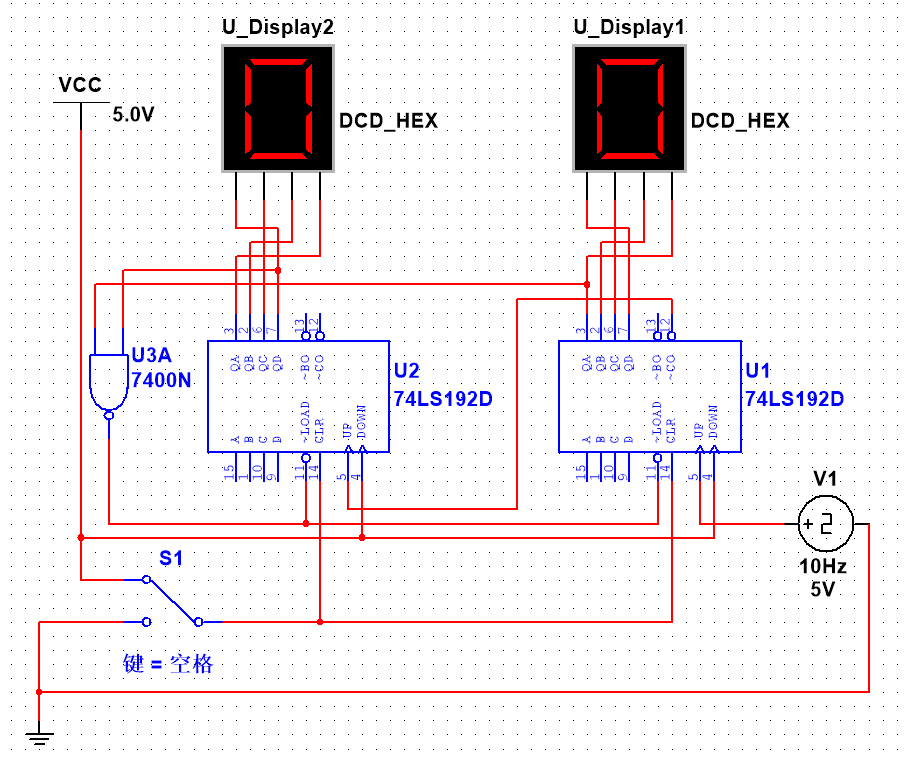
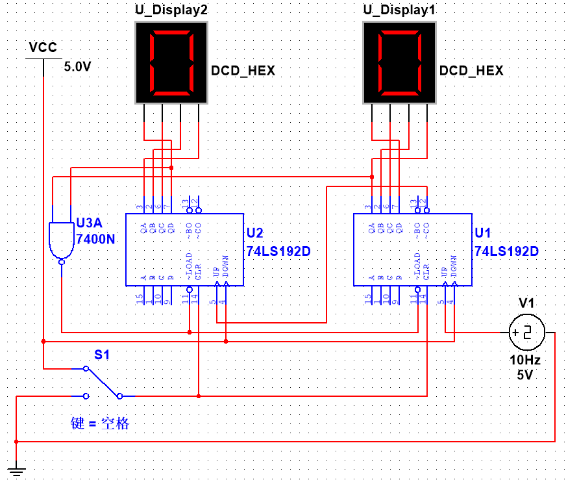
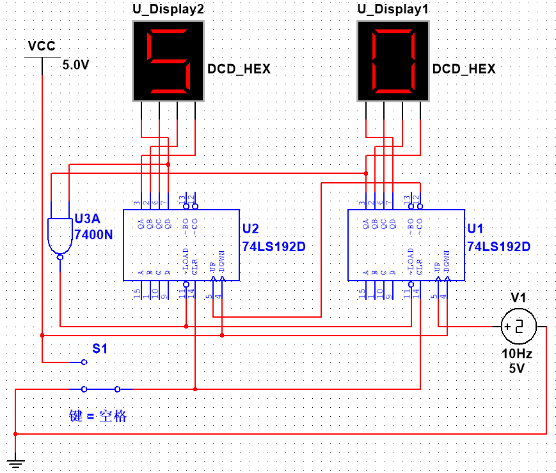
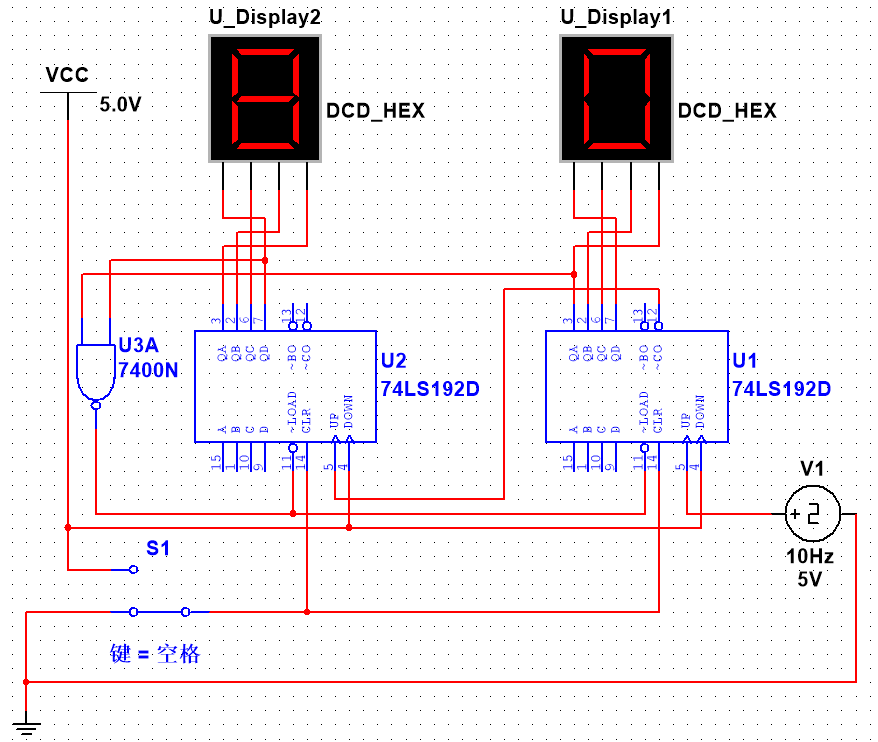


图10 任意进制加法计数器仿真电路（81进制）

1. 逐个输入脉冲，观察显示并记录如下图11所示：如图11(a)表示初始置零状态；图11(b)表示计数过程中某一状态（十进制为**50，即0101 0000**）；图11(c)为循环状态最后一种状态（十进制为**80，即1000 0000**），此后计数器清零，并开始循环上述过程，实现81进位制计数器功能。

(a)初始置零状态 (b)计数周期中某一状态



(c)计数周期最后一种状态

图11 任意进制加法计数器仿真电路仿真结构截图（81进制）