

**UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET**

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cyclic redundancy check (CRC)

***Faza 3: Projektovanje D flip-flopa, CRC-8 automata
i brojača***

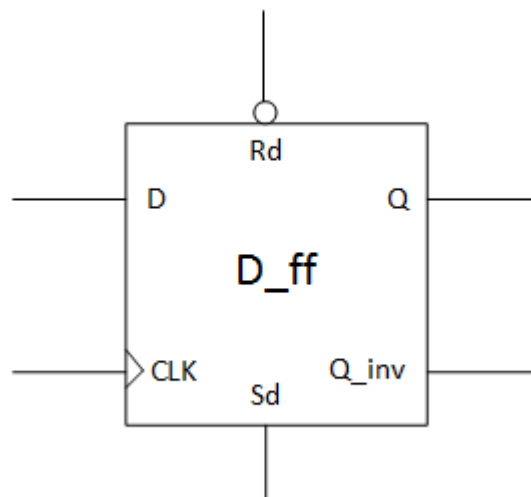
3. Faza projekta

3.1. Uvod

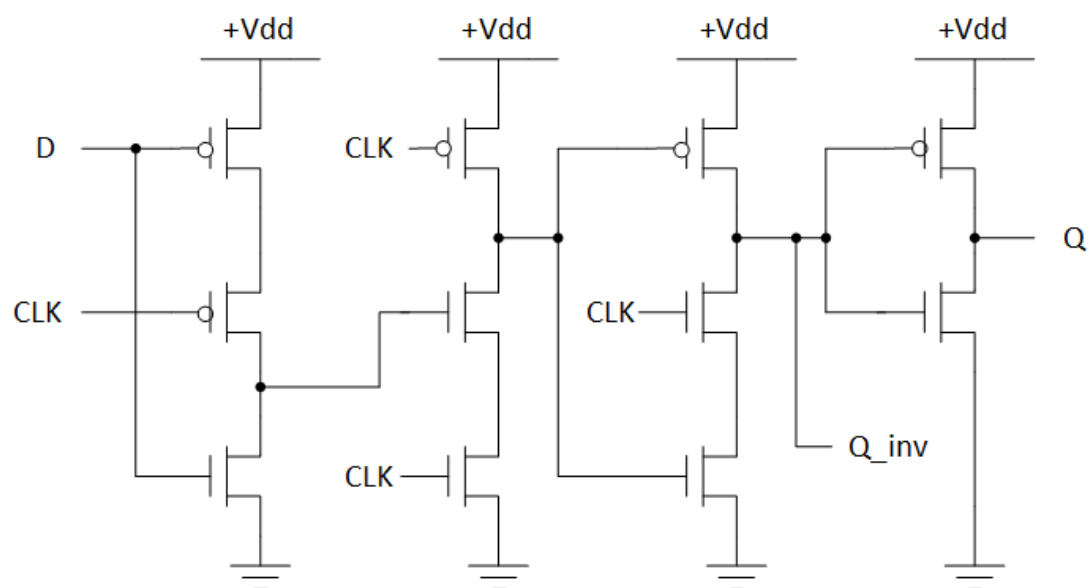
U ovoj fazi je potrebno najpre isprojektovati D flip-flop sa asinhronim ulazima za set i reset. Zatim, projektuje se CRC-8 automat (sinhrona mašina stanja) koji je sastavni deo i predajnika i prijemnika. Nakon toga, potrebno je isprojektovati brojače sa mogućnošću asinhronog reseta: kako 10-bitni, tako i 3-bitni.

3.2. Zadatak 1 – Projektovanje D flip-flopa

Na slici 3.2.1. prikazan je zahtevani interfejs (simbol) D flip-flopa, a na slici 3.2.2. data je predložena realizacija. U pitanju je TSPC flip-flop (True Single-Phase Clocked), koji je rađen na predavanjima. Asinhroni reset (aktivan na niskom logičkom nivou) realizovati pomoću pull-up PMOS tranzistora vezanim za izlaz Q_inv, a asinhroni set (aktivan na visokom logičkom nivou) realizovati pomoću pull-down NMOS tranzistora vezanim takođe za izlaz Q_inv. Po završetku projektovanja, simulacijom treba odrediti vreme postavljanja (setup time, tsu) i vreme držanja (hold time, th) D flip-flopa.



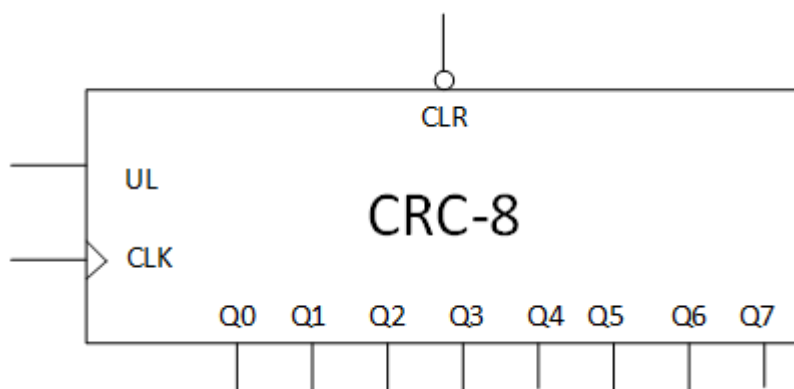
Slika 3.2.1.- D flip-flop, simbol.



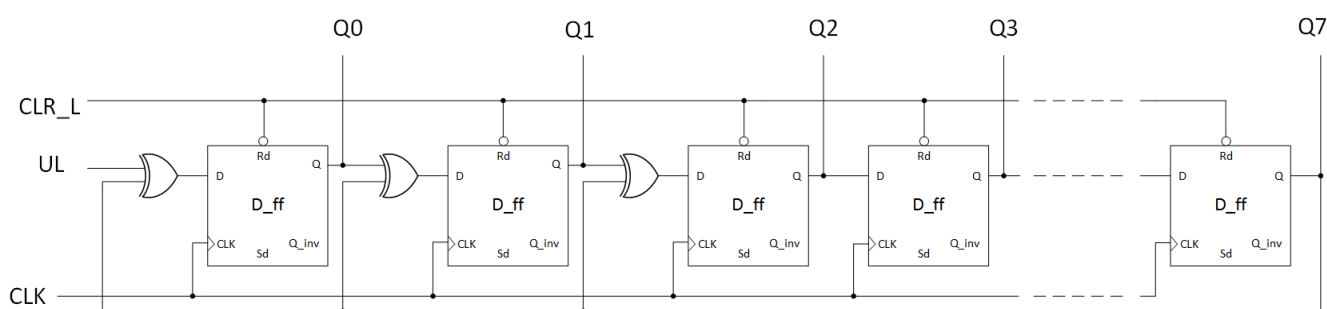
Slika 3.2.2.- D flip-flop, predložena realizacija.

3.3. Zadatak 2 – Projektovanje CRC-8 automata

Potrebno je isprojektovati 8-bitni CRC automat koji se u predajniku koristi za generisanje zaštitnog koda, a u prijemniku za detekciju greške. Potrebno je da automat ima asinhroni ulaz za reset, jer na početku rada automat treba da bude resetovan (svi izlazi su na niskom logičkom nivou). Na slici 3.3.1. prikazan je zahtevani interfejs (simbol) CRC-8 automata, a na slici 3.3.2. prikazana je njegova realizacija na nivou D flip-flova i XOR kola.



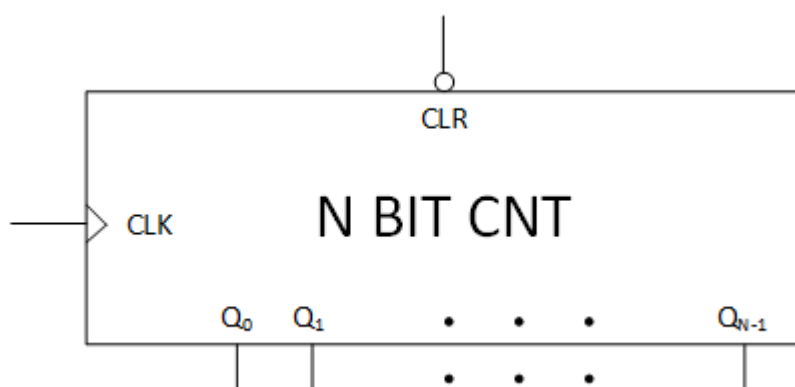
Slika 3.3.1. – CRC-8 automat, simbol.



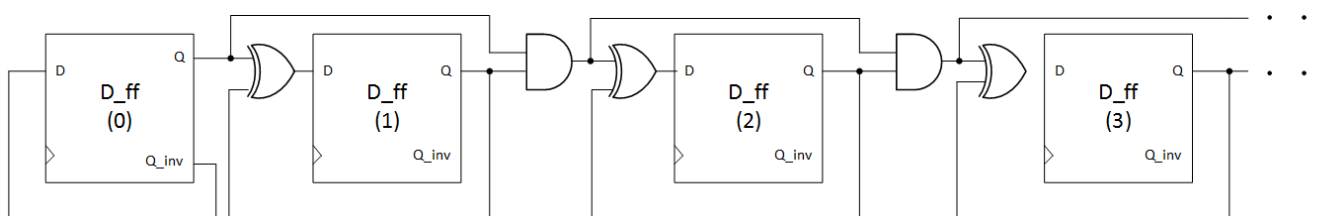
Slika 3.3.2. – CRC-8 automat, realizacija.

3.4. Zadatak 3 – Projektovanje brojača

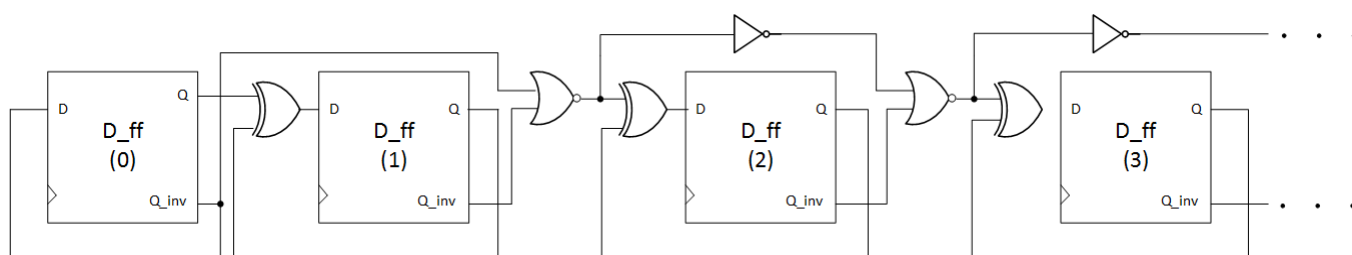
Potrebno je isprojektovati 3-bitni i 10-bitni brojač sa mogućnošću asinhronog reseta. Predlaže se realizacija brojača unapred sa serijskim prenosom, kako bi za realizaciju bila dovoljna već isprojektovana dvoulazna logička kola. Naravno, na ovaj način se povećava vreme uspostavljanja stabilnih logičkih nivoa na ulazima D flip-flova u odnosu na realizaciju sa paralelnim prenosom, odnosno smanjuje se maksimalna frekvencija rada sistema. Na slici 3.4.1. prikazan je simbol, a na slici 3.4.2. logička šema realizacije opisanog brojača (prikazan je opšti slučaj, N-bitni brojač). Jednostavnom primenom De Morganovih zakona, dolazi se do preporučene šeme za realizaciju koja umesto AND kola koristi NOR kola. Ova šema prikazana je na slici 3.4.3.



Slika 3.4.1. – N-bitni brojač, simbol.



Slika 3.4.2. – N-bitni brojač unapred sa serijskim prenosom, logička šema realizacije.



Slika 3.4.3. – N-bitni brojač unapred sa serijskim prenosom, preporučena šema za realizaciju.

U softverskom okruženju *Cadence Virtuoso®* je potrebno izvršiti funkcionalnu simulaciju (schematic) koja provjerava da li projektovana kola obavljaju željenu operaciju. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze. Voditi računa o dimenzijama tranzistora tako da se dobiju smisljena kašnjenja. **Akcentat je takođe na što boljem iskorišćenju prostora, odnosno što manjoj površini layout-a.**

Nakon funkcionalne simulacije potrebno nacrtati layout, ekstrahovati parametre layout-a i izvršiti post layout simulaciju ekstrahovanog modela.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3fF), podešavanjem simulacionog fajla. Napon napajanja je 1.8V. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na 5ps.

Napisati kratak zaključak u kom se diskutuju prikazani rezultati.

Za prikaz višebitnih signala koristiti opcije *Analog to Digital* i *Make Bus* kao što je opisano u uputstvu za Cadence Virtuoso.

NAPOMENA: Fajlove za rešenje treće faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa_N_treca_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla.

U *subject*-u obavezno navesti: **OE3UPK treca faza Grupa N**

Vrlo je bitno da subject bude kao što je navedeno inače će mail biti isfiltriran!