

UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cyclic redundancy check (CRC)

Faza 1: Uvod

Rok za predaju:

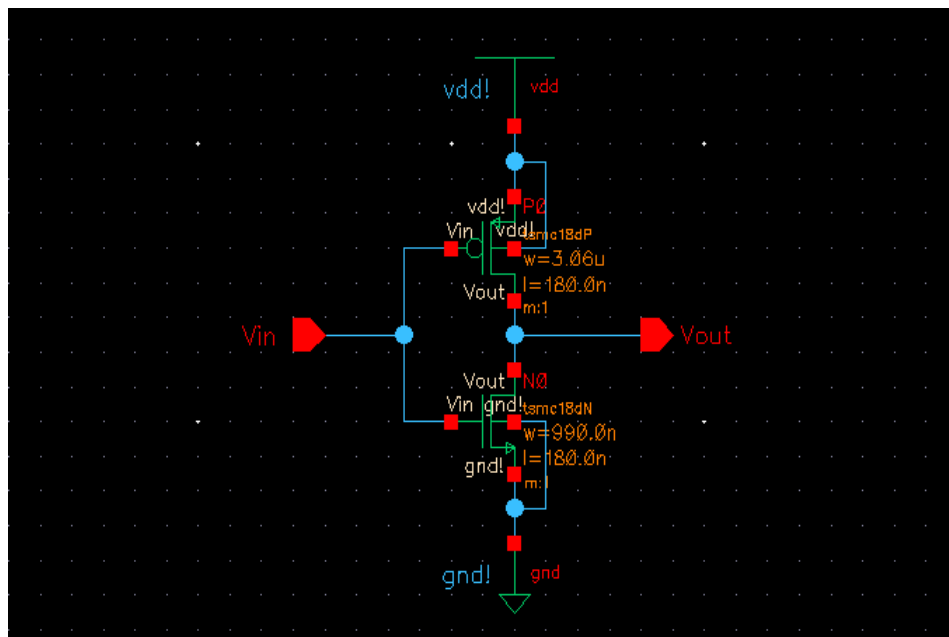
Projekat radili:

Ime	Prezime	broj indeksa
Dejan	Petković	77/2012
Predrag	Kuzmanović	49/2012

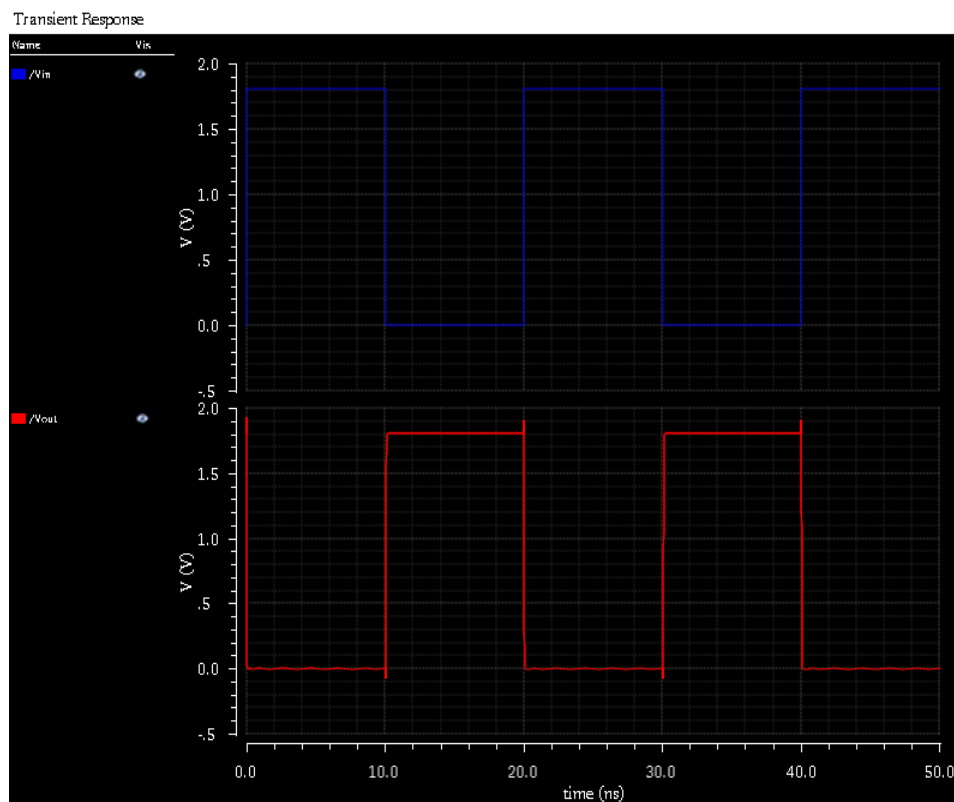
Izveštaj slati na e-mail: elmezeni@el.etf.rs, petrovicv@etf.rs

Staviti u cc i predmetnog profesora: jelena@etf.rs

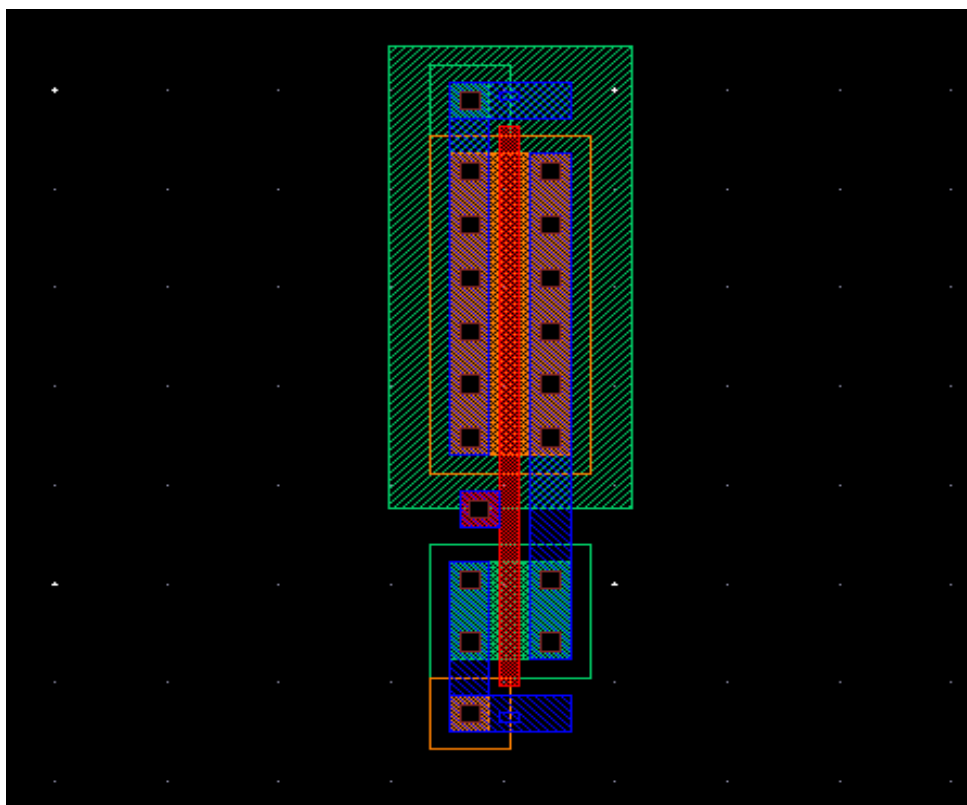
Zadatak 1 – CMOS Invertor



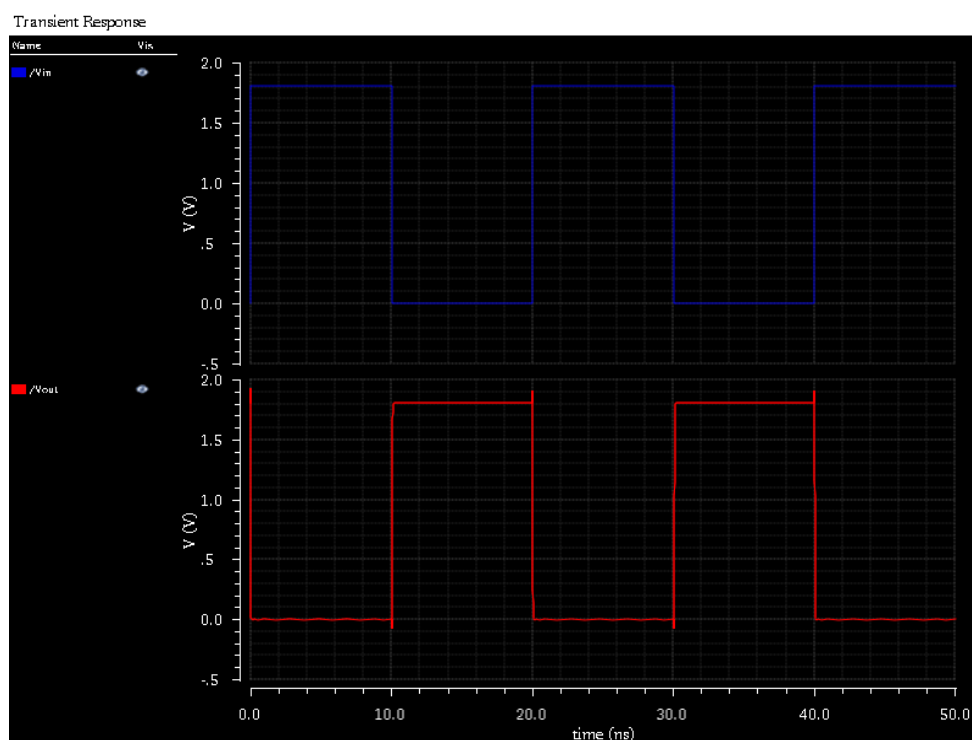
Slika 1: Schematic CMOS invertora nacrtan u Virtuoso Schematic Editor-u



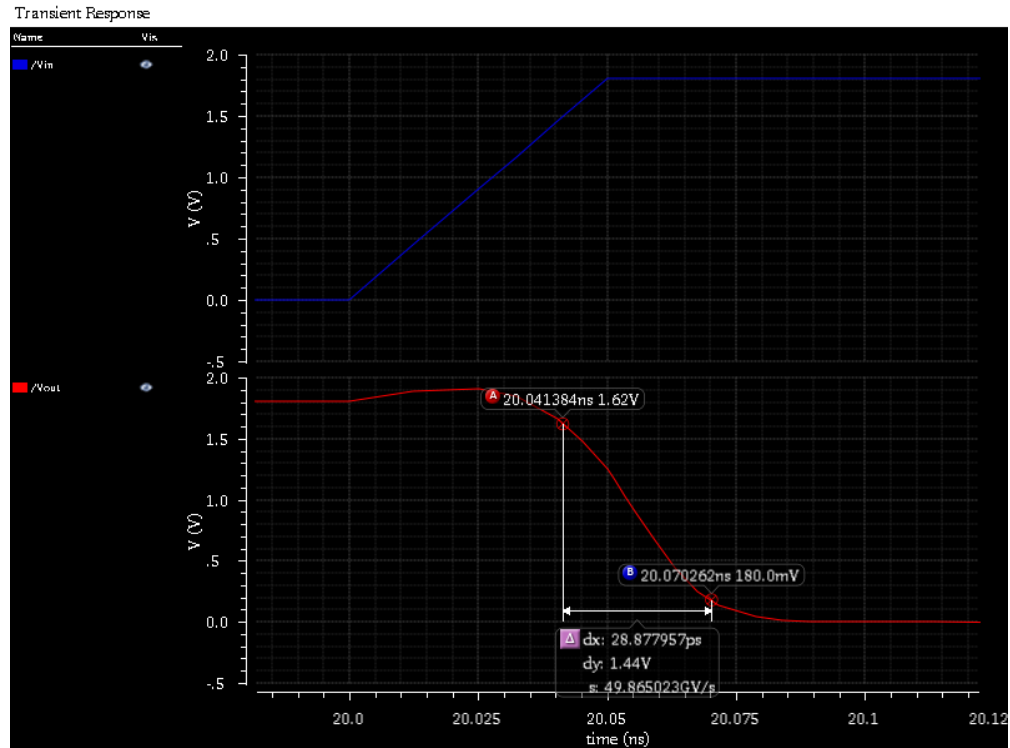
Slika 2: Dijagrami ulaznog i izlaznog signala dobijeni funkcionalnom simulacijom



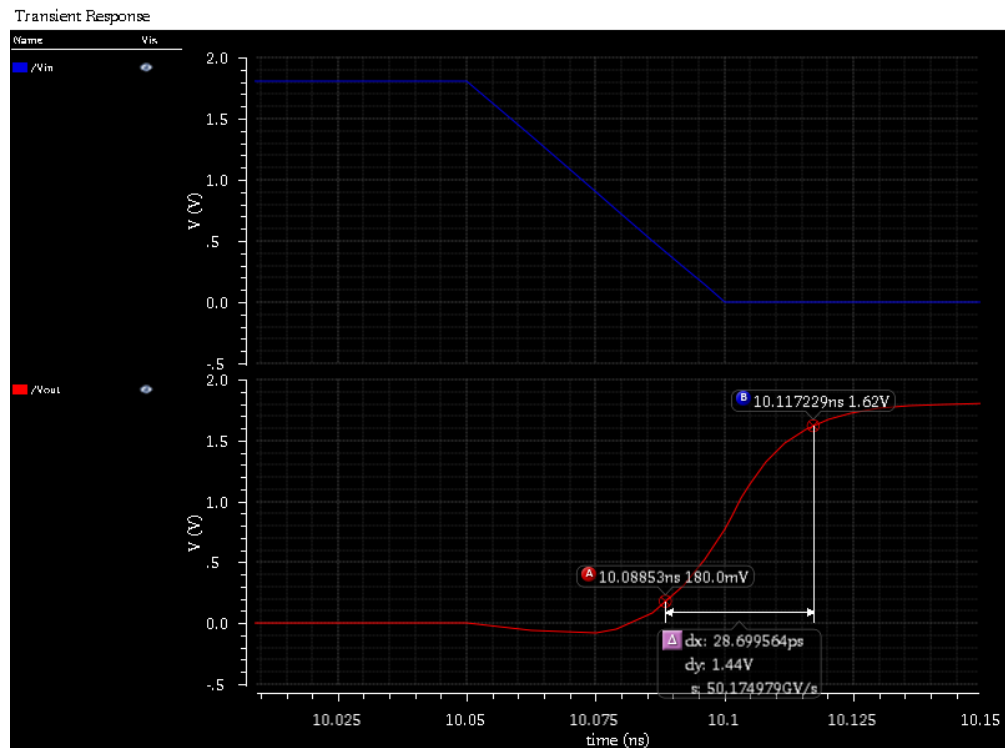
Slika 3: Layout CMOS invertora izrađen u Virtuoso Layout Suite editoru



Slika 4: Dijagrami ulaznog i izlaznog signala dobijeni u post-layout simulaciji



Slika 5: Dijagram odziva CMOS invertora na promenu 0->1 na ulazu (iz post-layout simulacije)



Slika 6: Dijagram odziva CMOS invertora na promenu 1->0 na ulazu (iz post-layout simulacije)

Tabela 1.- Kašnjenja CMOS invertora određena simulacijom

<i>V_{in}</i>	<i>V_{out}</i>	<i>Schematic</i>	<i>Extracted</i>
0->1	1->0	31.659788 ps	30.442934 ps
1->0	0->1	27.414966 ps	26.622464 ps

Tabela 2.- Vremena trajanja silazne i uzlazne ivice

	<i>Schematic</i>	<i>Extracted</i>
<i>Rise time</i>	30.331244 ps	28.699564 ps
<i>Fall time</i>	30.485542 ps	28.877957 ps

Zaključak:

Na osnovu broja grupe izračunali smo širinu kanala NMOS tranzistora, i ona iznosi 990 nm (11 λ). Dužina kanala oba tranzistora određena je tehnologijom, i iznosi 180 nm (2 λ).

Povećavanjem širine kanala PMOS tranzistora on postaje provodniji ("jači") ali istovremeno unosi veće opteretne kapacitivnosti, te se smanjuje vreme uzlazne, a povećava vreme silazne ivice. Važi i obratno.

Najpre je izvršena tražena optimizacija u funkcionalnoj simulaciji. Menjanjem širine kanala PMOS tranzistora CMOS invertora i računanjem i upoređivanjem vremena uzlaznih i silaznih ivica, zaključili smo da optimalna vrednost za W_p iznosi 3060 nm (34 λ). Tada su vremena najpribližnija, tj. strujni kapaciteti pull-up i pull-down mreže su isti. U tabeli 3 u prilogu prikazana su vremena trajanja uzlaznih i silaznih ivica za nekoliko vrednosti širine kanala PMOS tranzistora. Na osnovu ove tabele i gore navedenog argumenta dobijena je navedena optimalna vrednost širine kanala.

Sličan postupak sproveden je i u optimizaciji prilikom post-layout simulacije. U prilogu je data tabela 4 sa rezultatima simulacije. Treba naglasiti da smo pokušali da menjamo širinu kanala PMOS tranzistora u odnosu na prethodnu optimizaciju, smatrajući da bi se optimalna vrednost u ovom slučaju mogla razlikovati zbog dodatno uračunatih parazitnih efekata. Međutim, i ovom prilikom se dobila ista vrednost: 3060 nm (34 λ).

Razmera u layout editoru je tako napravljena da se dužine i širine kanala tranzistora mogu manjati sa korakom λ , te one uvek predstavljaju celobrojan umnožak te vrednosti (stoga se u prvoj koloni tabele 3 i 4 mogu nalaziti samo parne vrednosti).

Na samom kraju popunili smo tabelu 1, dakle to nisu rezultati optimizacije kašnjenja, nego samo očitani rezultati nakon gore opisane optimizacije.

Napomena: Ivice napona na ulazu su trajanja 50 ps što je vrednost iz Uputstva za Cadence Virtuoso.

Tabela 3. - Vremena trajanja uzlazne i silazne ivice pri promeni W_p (funkcionlana simulacija)

$W_p[\lambda/2]$	t_{rise}	t_{fall}
60	31.34814 ps	29.307194 ps
66	30.695237 ps	30.18974 ps
68 (optimalno)	30.331244 ps	30.485542 ps

Tabela 4. - Vremena trajanja uzlazne i silazne ivice pri promeni W_p (post-layout simulacija)

$W_p[\lambda/2]$	t_{rise}	t_{fall}
68 (optimalno)	28.699564 ps	28.877957 ps
66	28.99222 ps	28.594823 ps