

**UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET**

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cyclic redundancy check (CRC)

*Faza 2: Projektovanje osnovnih logičkih i
sekvencijalnih kola*

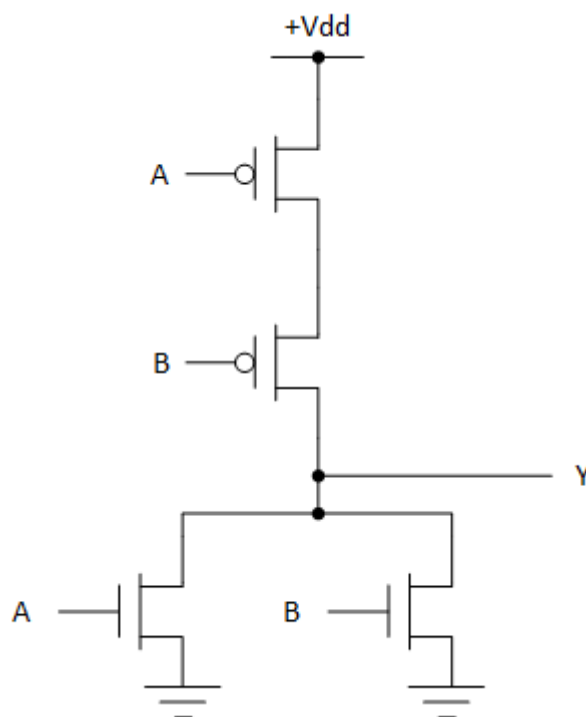
2. Faza projekta

2.1. Uvod

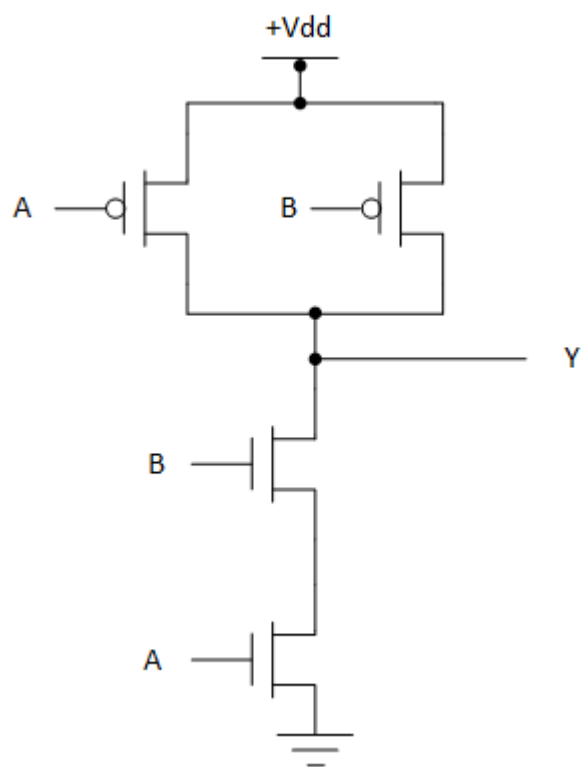
U ovoj fazi je potrebno isprojektovati osnovna logička kola, zatim SR leč i diferencijator ivice, koji će se koristiti u daljoj realizaciji projekta. Potrebno je projektovati dvoulazna NOR, NAND i XOR logička kola i troulazno NAND kolo. Zatim je potrebno isprojektovati SR leč i diferencijator ivice (i uzlazne i silazne).

2.2. Zadatak 1 – Projektovanje osnovnih logičkih kola

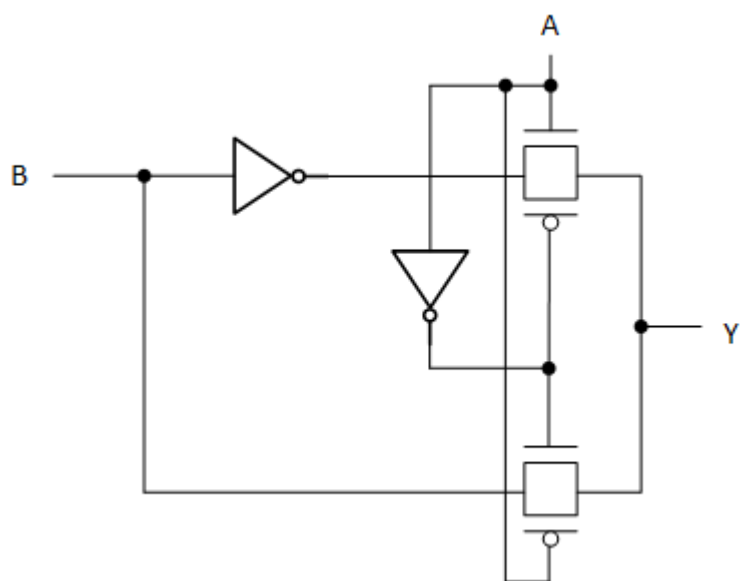
Na slikama 2.2.1. i 2.2.2. prikazane su šeme logičkih NOR i NAND kola u CMOS tehnici. Po potrebi (nije od ključnog značaja) isprojektovati i logička kola OR i AND dodavanjem invertora na NOR i NAND kola. Na slici 2.2.3. prikazana je predložena realizacija XOR kola pomoću transmisijnih gejtova. Takođe, potrebno je isprojektovati troulazno NAND kolo prema šemi sa slike 2.2.4.



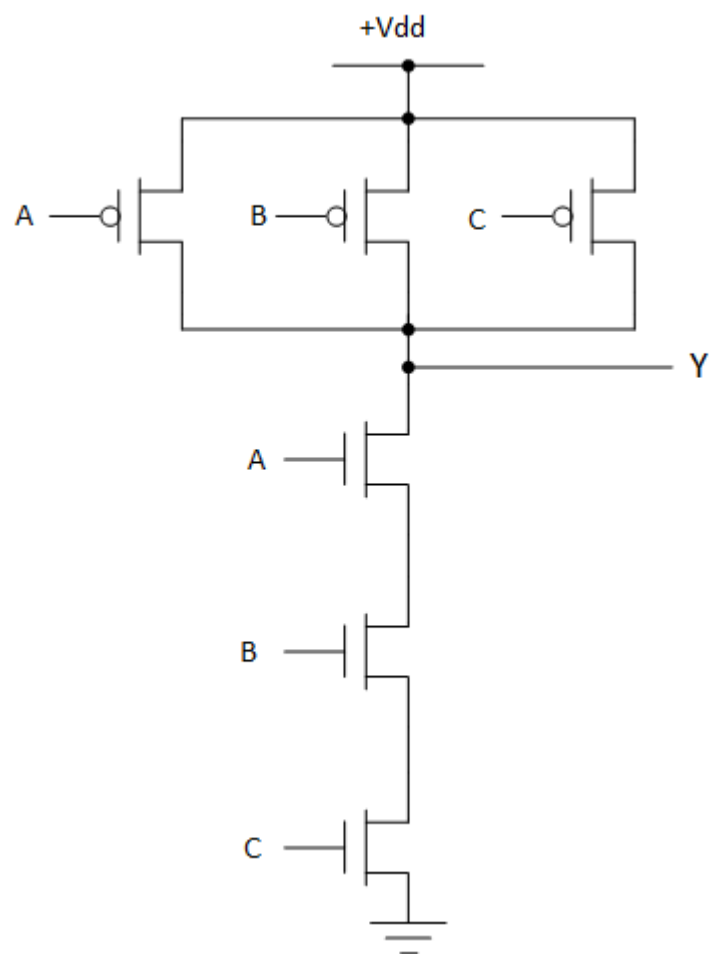
Slika 2.2.1.- NOR kolo.



Slika 2.2.2.- NAND kolo.



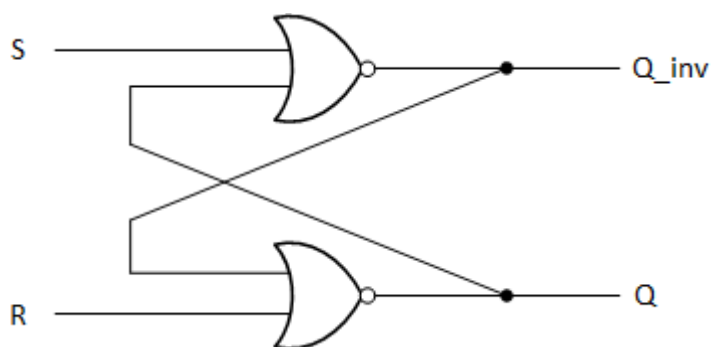
Slika 2.2.3. – XOR kolo, predložena realizacija.



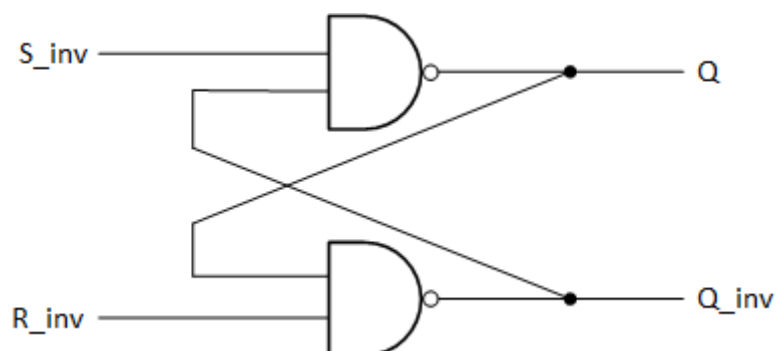
Slika 2.2.4.- troulazno NAND kolo.

2.3. Zadatak 2 – Projektovanje SR leča

Potrebno je isprojektovati standardni SR leč pomoću logičkih kola isprojektovanih u 1. Zadatku ove faze. Na slikama 2.3.1. i 2.3.2. prikazane su 2 standardne realizacije: pomoću NOR kola, odnosno pomoću NAND kola. Potrebno je odlučiti se za jednu od ove 2 realizacije.



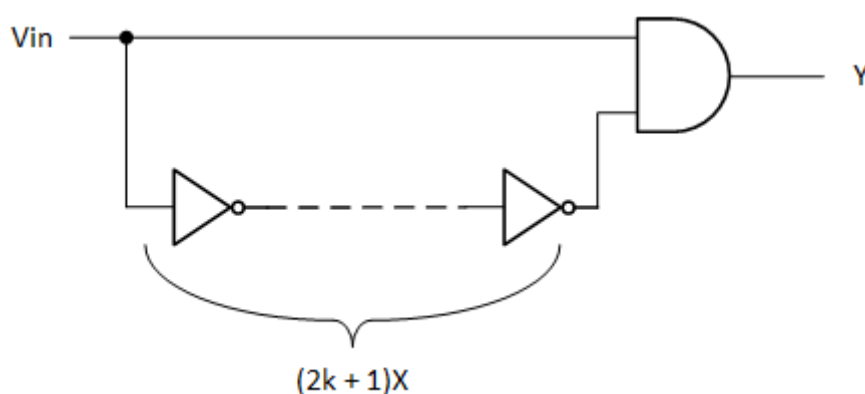
Slika 2.3.1. – SR leč sa NOR kolima.



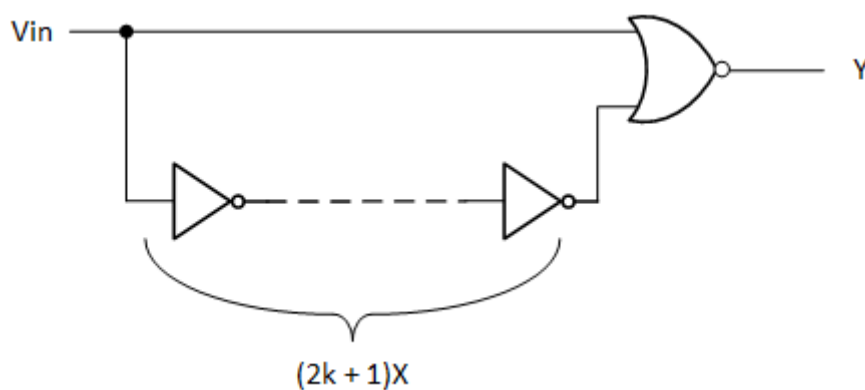
Slika 2.3.2. – SR leč sa NAND kolima.

2.4. Zadatak 3 – Projektovanje diferencijatora ivice

Potrebno je isprojektovati diferencijator uzlazne i silazne ivice. Pošto se diferencijator silazne ivice dobija pomoću diferencijatora uzlazne ivice samo inverzijom ulaznog signala, i obratno, dovoljno je isprojektovati ćeliju za samo jedan tip diferencijatora. U finalnom projektu biće korišćene obe funkcionalnosti, tj. biće potrebno diferencirati i uzlaznu i silaznu ivicu jednog signala. Na slikama 2.4.1. i 2.4.2. prikazane su predložene realizacije diferencijatora uzlazne, odnosno silazne ivice.



Slika 2.4.1. - diferencijator uzlazne ivice.



Slika 2.4.2. - diferencijator silazne ivice.

U softverskom okruženju *Cadence Virtuoso®* je potrebno izvršiti funkcionalnu simulaciju (schematic) koja provereva da li projektovana kola obavljaju željenu operaciju kao i izračunati kašnjenja pri različitim prelazima ulaznih signala. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze. **Voditi računa o dimenzijama tranzistora tako da se dobiju smisljena kašnjenja.** Akcenat je takođe na što boljem iskorišćenju prostora, odnosno što manjoj površini layout-a.

Nakon funkcionalne simulacije potrebno je nacrtati layout, ekstrahovati parametre layout-a i izvršiti post layout simulaciju ekstrahovanog modela.

Diferencijatori ivice će se u projektu koristiti da bi generisali impulse koji će setovati/resetovati odgovarajuće SR lečeve. Zbog toga je potrebno da ti impulsi budu odgovarajućeg trajanja, veći od minimalnih potrebnih vremenima trajanja ulaznih signala SR leča za koja se SR leč ispravno setuje/resetuje. Trajanje generisanih impulsa zavisi od broja iskorišćenih invertora za kašnjenje (slike 2.4.1. i 2.4.2.). Dakle, u zaključku je potrebno obrazložiti kako se došlo do broja iskorišćenih invertora realizaciji.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3fF), podešavanjem simulacionog fajla. Napon napajanja je 1.8V. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na 5ps.

Napisati kratak zaključak u kom se diskutuju prikazani rezultati.

NAPOMENA: Fajlove za rešenje druge faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa_N_druga_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla.

U *subject*-u obavezno navesti: **OE3UPK druga faza Grupa N**

Vrlo je bitno da subject bude kao što je navedeno inače će mail biti isfiltriran!