

# UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

*Katedra za elektroniku*

*Predmet: Uvod u projektovanje integrisanih kola*



**Projekat: Cycle redundancy check (CRC)**

***Faza 4: Projektovanje 8-bitnog pomeračkog registra,  
8-ulaznog NOR kola i 10-ulaznog AND kola***

Rok za predaju:

Izveštaj slati na e-mail: [elmezeni@el.etf.rs](mailto:elmezeni@el.etf.rs), [petrovicv@etf.rs](mailto:petrovicv@etf.rs)

Staviti u cc i predmetnog profesora: [jelena@etf.rs](mailto:jelena@etf.rs)

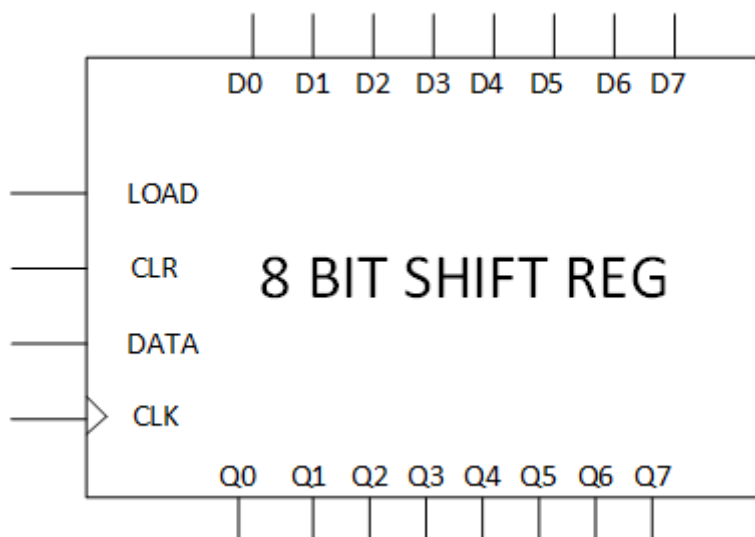
## 4. Faza projekta

### 4.1. Uvod

U ovoj fazi, potrebno je najpre isprojektovati 8-bitni pomerački registar sa mogućnošću asinhronog reseta i asinhronog paralelnog upisa. Zatim, projektuju se višeulazna logička kola: 8-bitno NOR kolo i 10-bitno AND kolo.

### 4.2. Zadatak 1 - Projektovanje pomeračkog registra

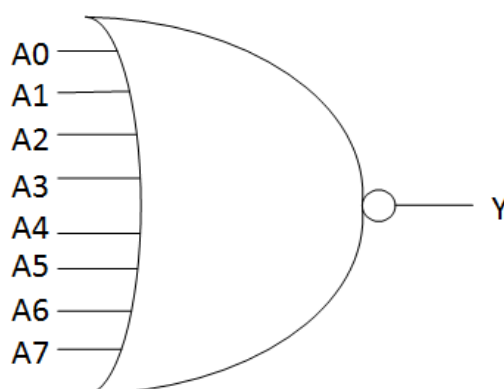
Zahtevani interfejs standardnog 8-bitnog pomeračkog registra sa mogućnošću asinhronog reseta i asinhronog paralelnog upisa prikazan je na slici 4.2.1. Ulazni podaci preko linije DATA ulaze u registar i posle svakog takta se sadržaj registra pomera za jedno mesto (udesno, gledajući sliku 4.2.1.). Aktivna vrednost signala vezanog za ulaz CLR resetuje sadržaj registra, odnosno upisuje sve 0 u registar. Aktivna vrednost signala vezanog za ulaz LOAD upisuje u registar sadržaj sa paralelnih linija Di. U okviru ovog zadatka, potrebno je osmisliti kombinacionu mrežu koja na osnovu signala Di (podatak koji se paralelno upisuje u i-ti flip-flop,  $0 \leq i \leq 7$ ), LOAD i CLR generiše signale koji se vezuju za signale Sdi i Rdi (ulazi za asinhroni set i reset i-tog flip-flopa,  $0 \leq i \leq 7$ ). Upravo zbog jednostavnosti mreže i što manje zauzetosti površine, preporučuje se da signali LOAD i CLR budu aktivni na visokom logičkom nivou.



*Slika 4.2.1.- 8-bitni pomerački registar sa mogućnošću asinhronog reseta i asinhronog paralelnog upisa, simbol.*

### 4.3. Zadatak 2 - Projektovanje 8-ulaznog NOR kola

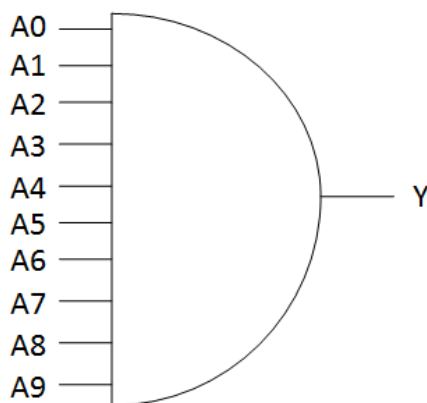
Na slici 4.3.1. prikazan simbol 8-ulaznog NOR kola. Postoji mnogo mogućnosti za izradu ovakvog višoulaznog kola. Ako se ovakvo kolo pravi iz više logičkih kola sa manjim brojem ulaza, mora se napraviti kompromis između broja ulaza tih korišćenih logičkih kola i broja nivoa iz kojeg je kolo sastavljeno. Sa porastom broja nivoa, povećava se kašnjenje celokupnog višoulaznog logičkog kola. Ostavlja se mogućnost izbora realizacije ovog kola. Voditi računa o tome da nije preporučljivo praviti osnovna logička kola (u jednom nivou) sa više od 4 ulaza. Preporuka je da se koriste logička kola projektovana u 1. fazi projekta, bez projektovanja novih osnovnih logičkih kola.



*Slika 4.3.1.- 8-ulazno NOR kolo, simbol.*

### 4.4. Zadatak 3 - Projektovanje 10-ulaznog AND kola

Na slici 4.4.1. prikazan simbol 10-ulaznog AND kola. Ponovo se ostavlja mogućnost izbora realizacije. Važe sve preporuke date i u prošlom zadatku, kod projektovanja 8-ulaznog NOR kola.



*Slika 4.4.1.- 10-ulazno AND kolo, simbol.*

U softverskom okruženju *Cadence Virtuoso®* je potrebno izvršiti funkcionalnu simulaciju (schematic) koja proverava da li projektovana kola obavljaju željenu operaciju. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze. Voditi računa o dimenzijama tranzistora tako da se dobiju smisljena kašnjenja. **Akcenat je takođe na što boljem iskorišćenju prostora, odnosno što manjoj površini layout-a.**

Nakon funkcionalne simulacije potrebno nacrtati layout, ekstrahovati parametre layout-a i izvršiti post layout simulaciju ekstrahovanog modela.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3fF), podešavanjem simulacionog fajla. Napon napajanja je 1.8V. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na 5ps.

Za prikaz višebitnih signala koristiti opcije *Analog to Digital* i *Make Bus* kao što je opisano u uputstvu za Cadence Virtuoso.

**NAPOMENA:** Fajlove za rešenje četvrte faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa\_N\_cetvrta\_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla.

U *subject*-u obavezno navesti: **OE3UPK cetvrta faza Grupa N**

**Vrlo je bitno da *subject* bude kao što je navedeno inače će *mail* biti isfiltriran!**