

# UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

*Katedra za elektroniku*

*Predmet: Uvod u projektovanje integrisanih kola*



**Projekat: Cycle redundancy check (CRC)**

***Faza 2: Projektovanje osnovnih logičkih i  
sekvencijalnih kola***

Rok za predaju:

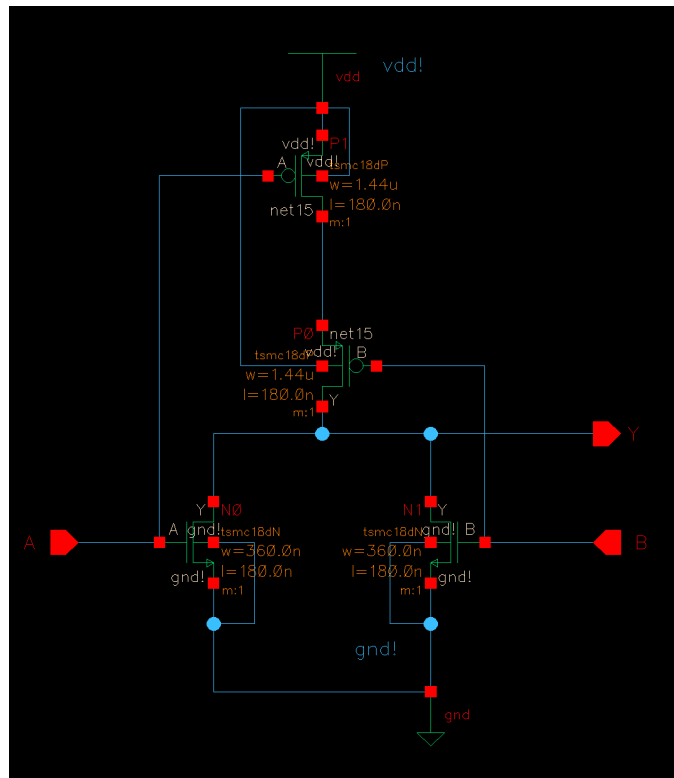
Projekat radili:

Ime	Prezime	broj indeksa
Dejan	Petković	77/2012
Predrag	Kuzmanović	49/2012

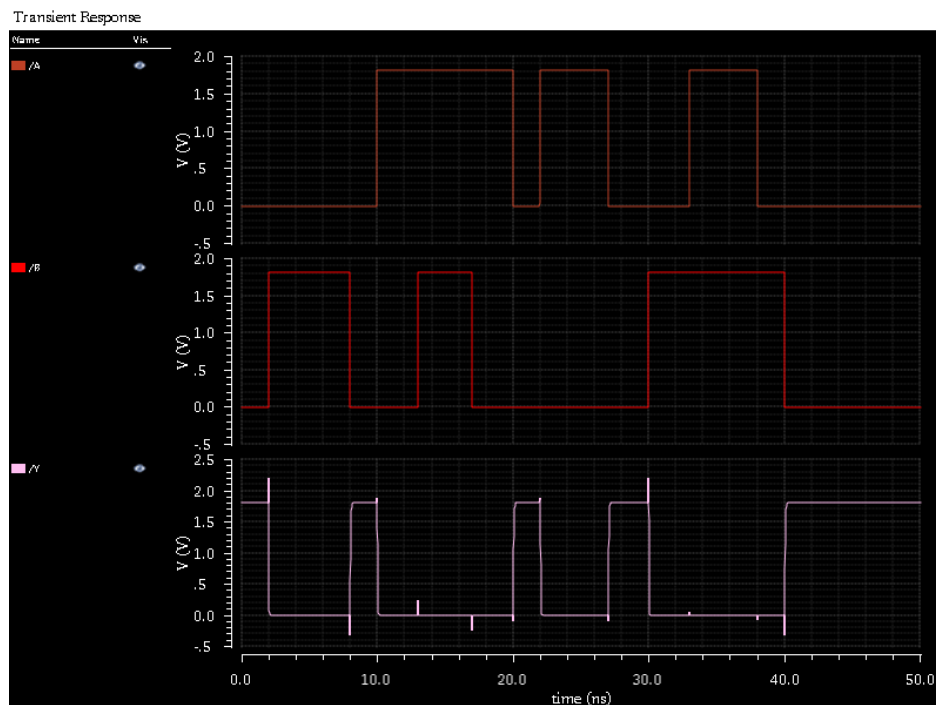
Izveštaj slati na e-mail: [elmezeni@el.etf.rs](mailto:elmezeni@el.etf.rs), [petrovicv@etf.rs](mailto:petrovicv@etf.rs)

Staviti u cc i predmetnog profesora: [jelena@etf.rs](mailto:jelena@etf.rs)

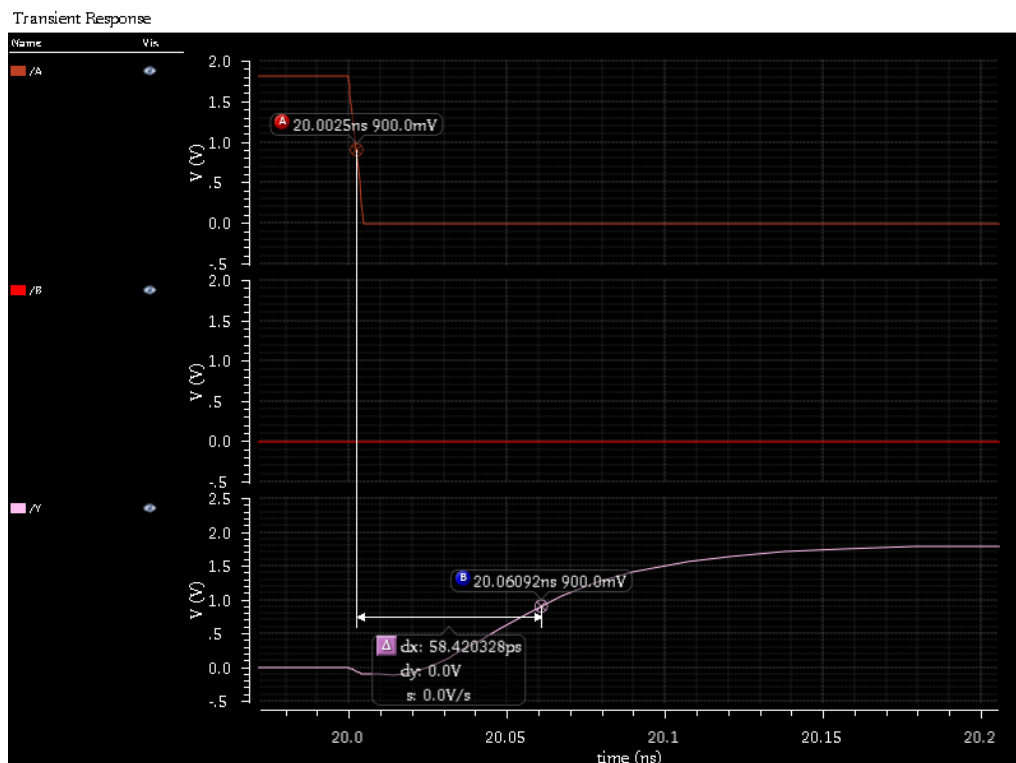
## Zadatak 1 – Projektovanje osnovnih logičkih kola



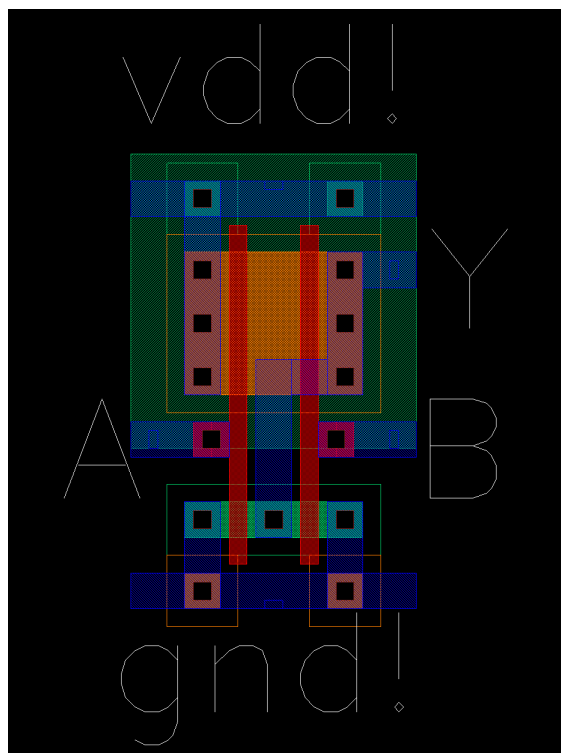
Slika 1.1. Schematic NOR kola nacrtan u Virtuoso Schematic Editor-u



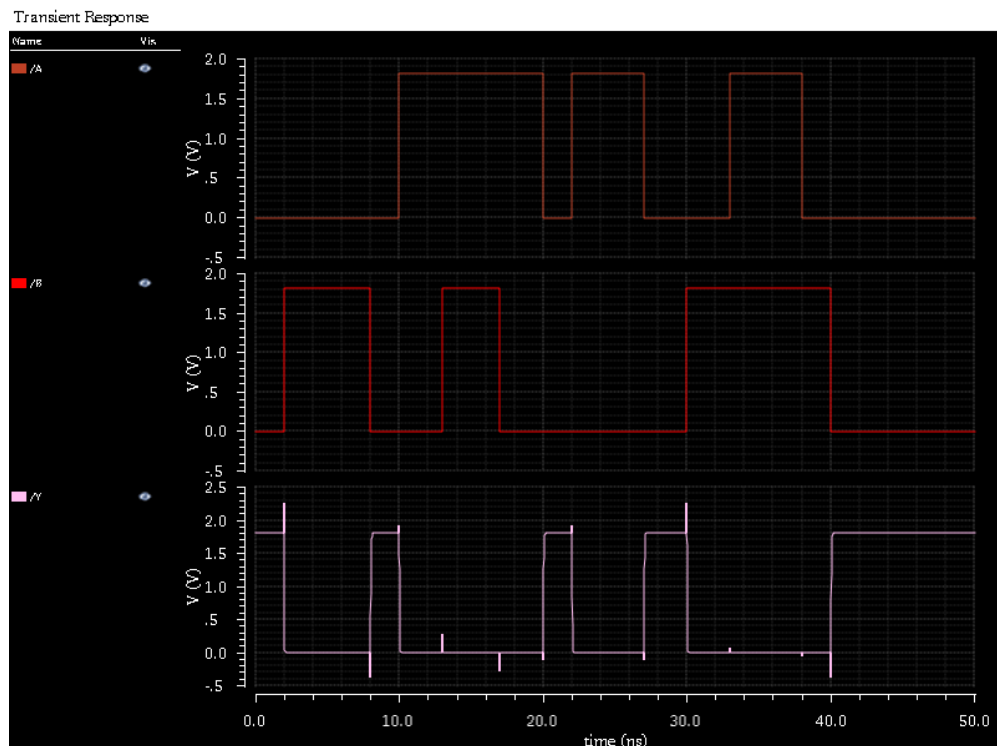
Slika 1.2. Dijagrami ulaznih i izlaznog signala NOR kola dobijeni funkcionalnom simulacijom



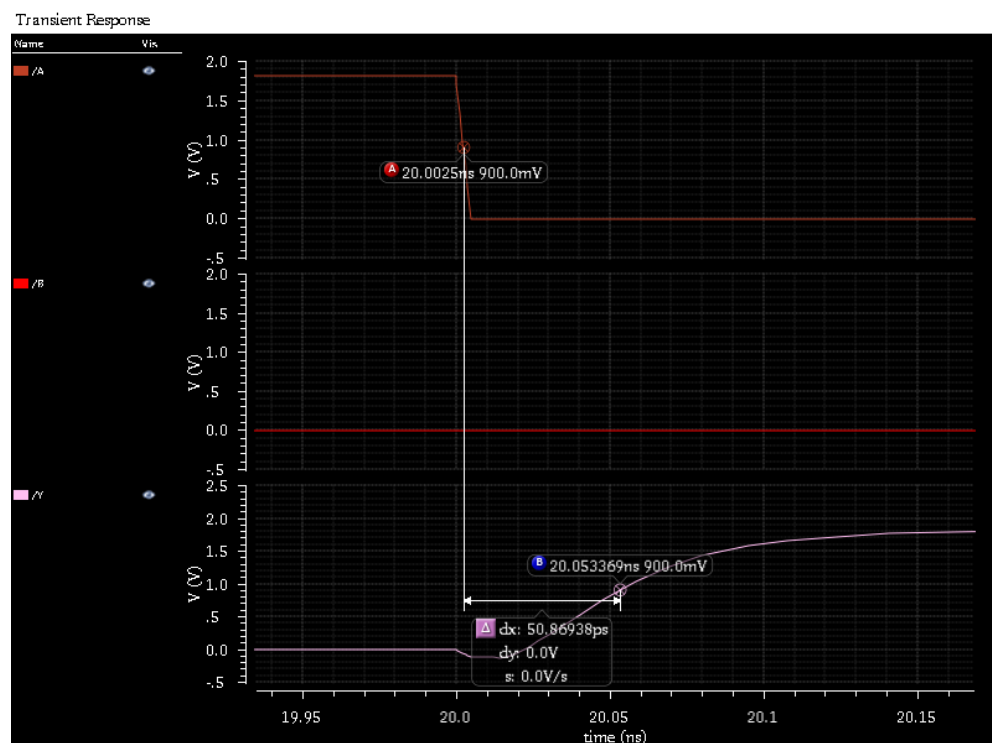
Slika 1.3. Zumiran kritični prelaz izlaza NOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen funkcionalnom simulacijom



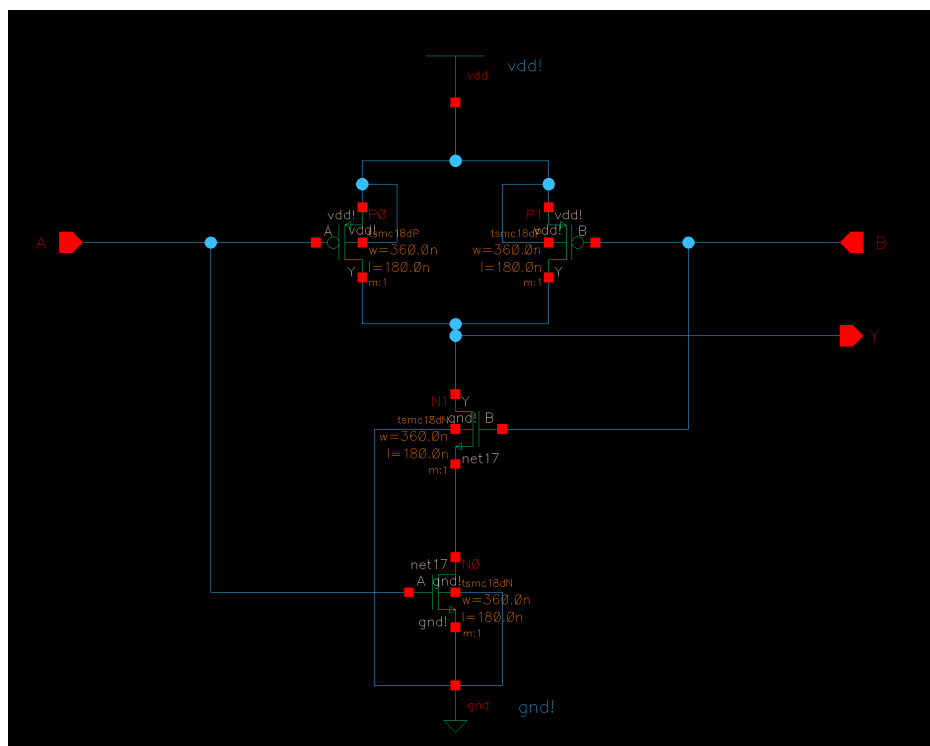
Slika 1.4. Layout NOR kola izrađen u Virtuoso Layout Suite editoru



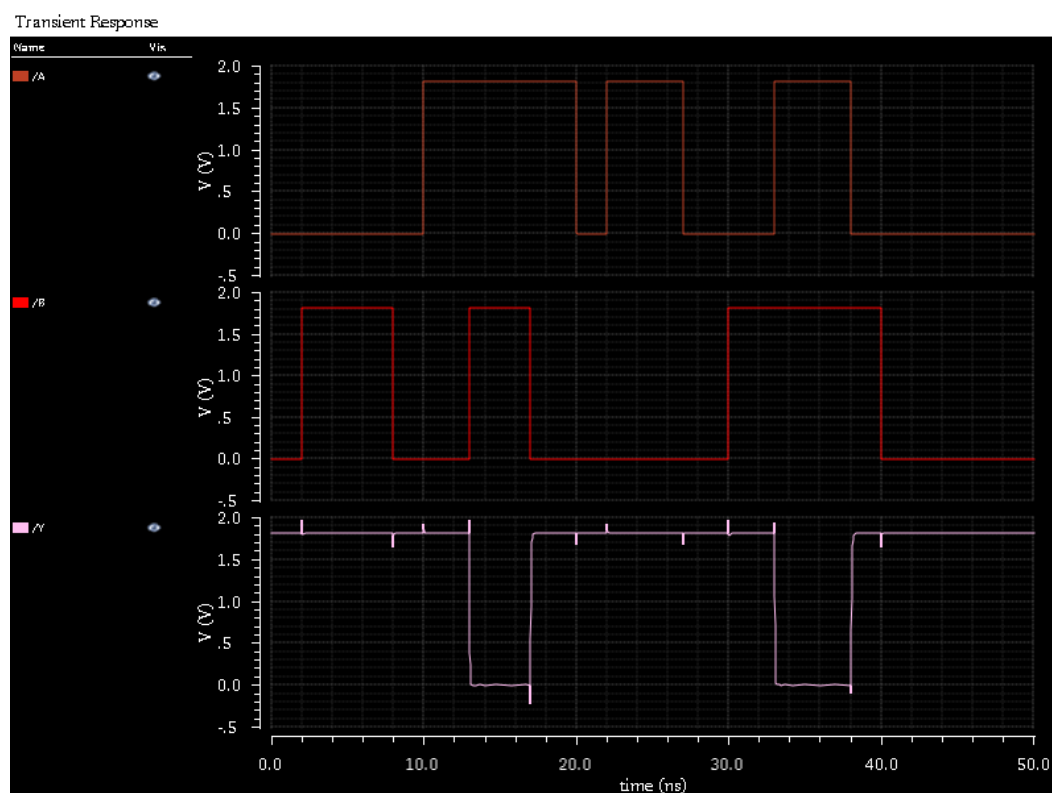
Slika 1.5. Dijagrami ulaznog i izlaznog signala NOR kola dobijeni u post-layout simulaciji



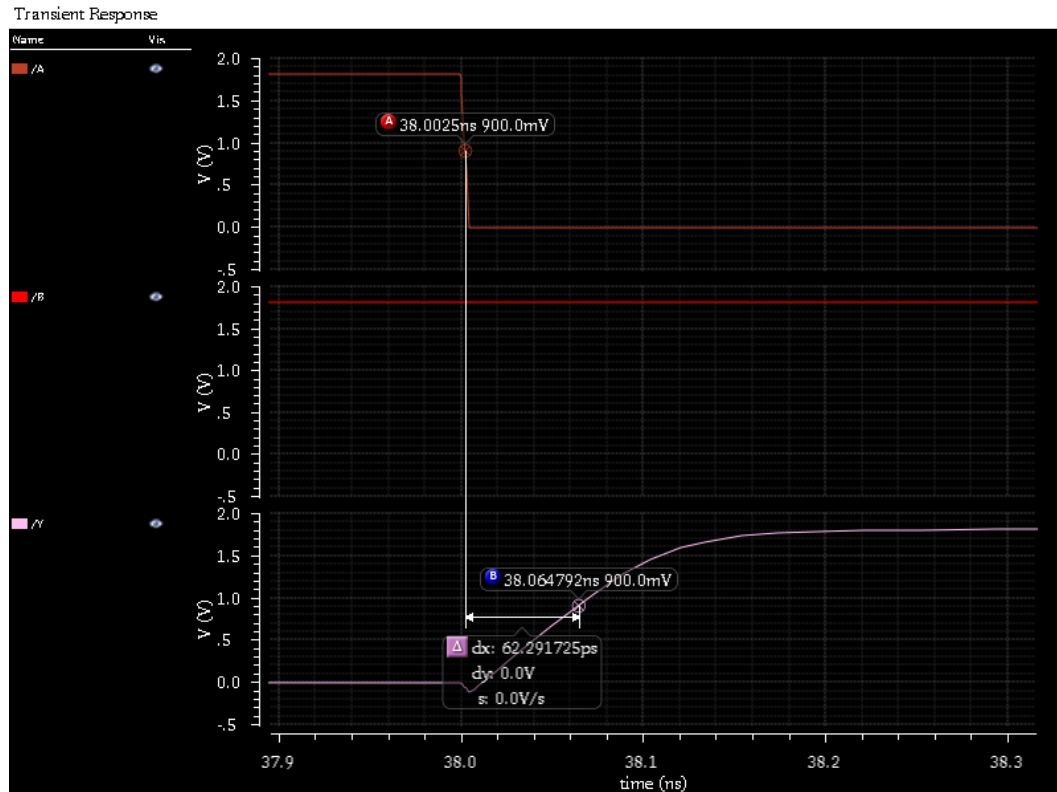
Slika 1.6. Zumiran kritični prelaz izlaza NOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen post-layout simulacijom



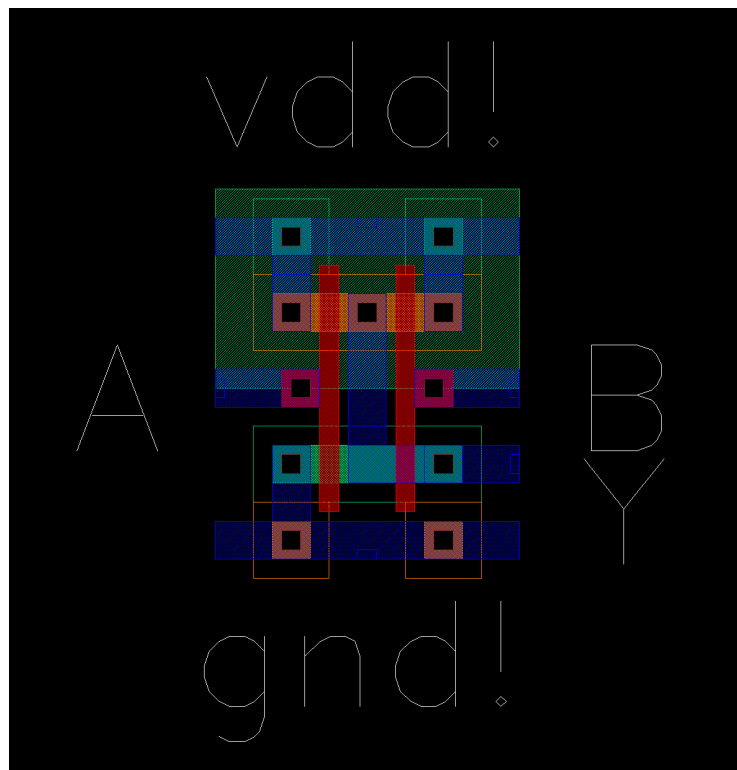
Slika 1.7. Schematic NAND kola nacrtan u Virtuoso Schematic Editor-u



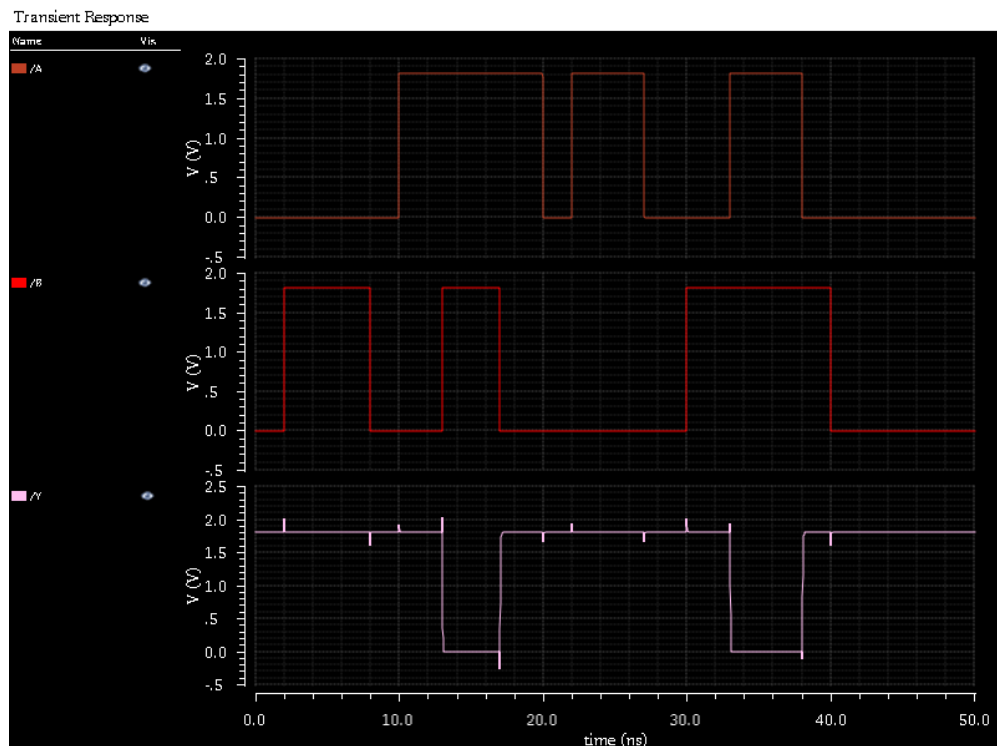
Slika 1.8. Dijagrami ulaznih i izlaznog signala NAND kola dobijeni funkcionalnom simulacijom



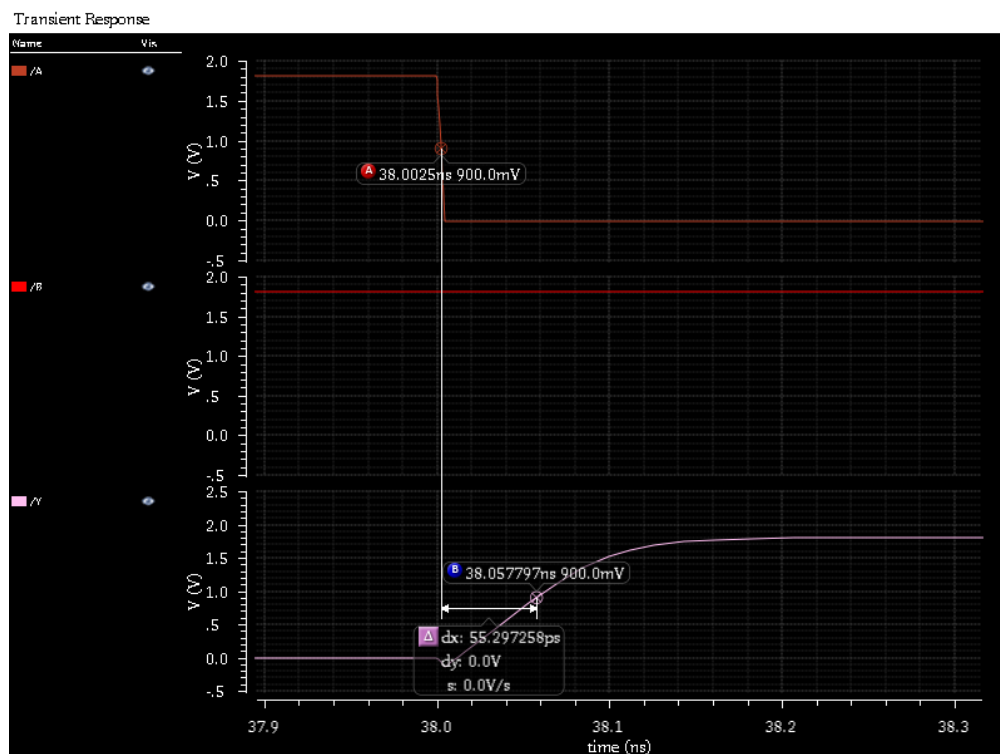
Slika 1.9. Zumiran kritični prelaz izlaza NAND kola (pri kojim se dobija maksimalno kašnjenje)



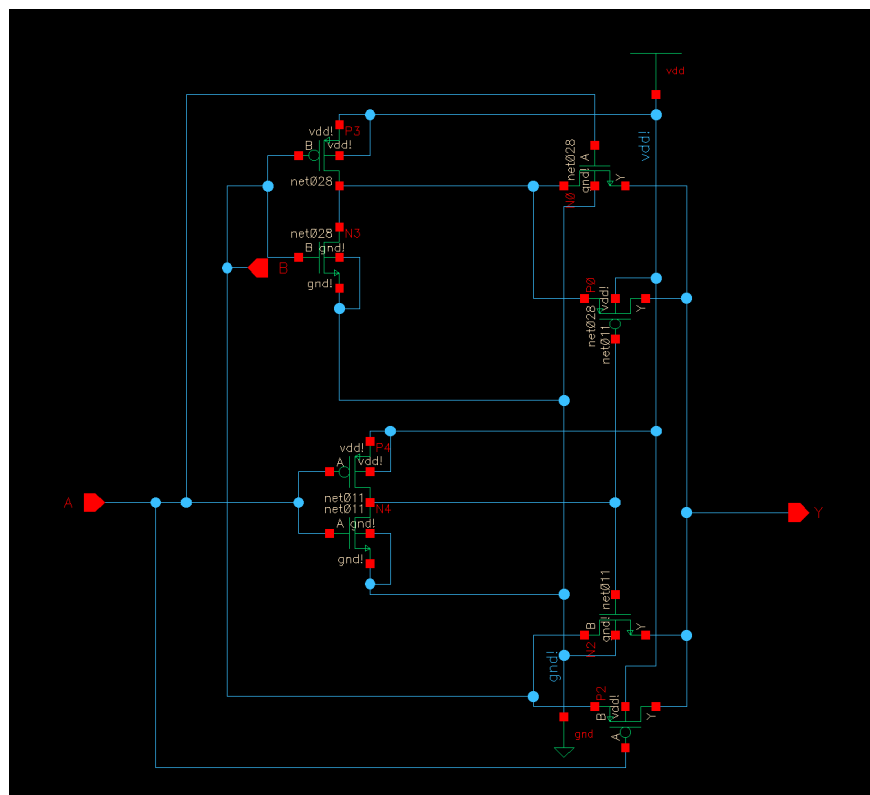
Slika 1.10. Layout NAND kola izrađen u Virtuoso Layout Suite editoru



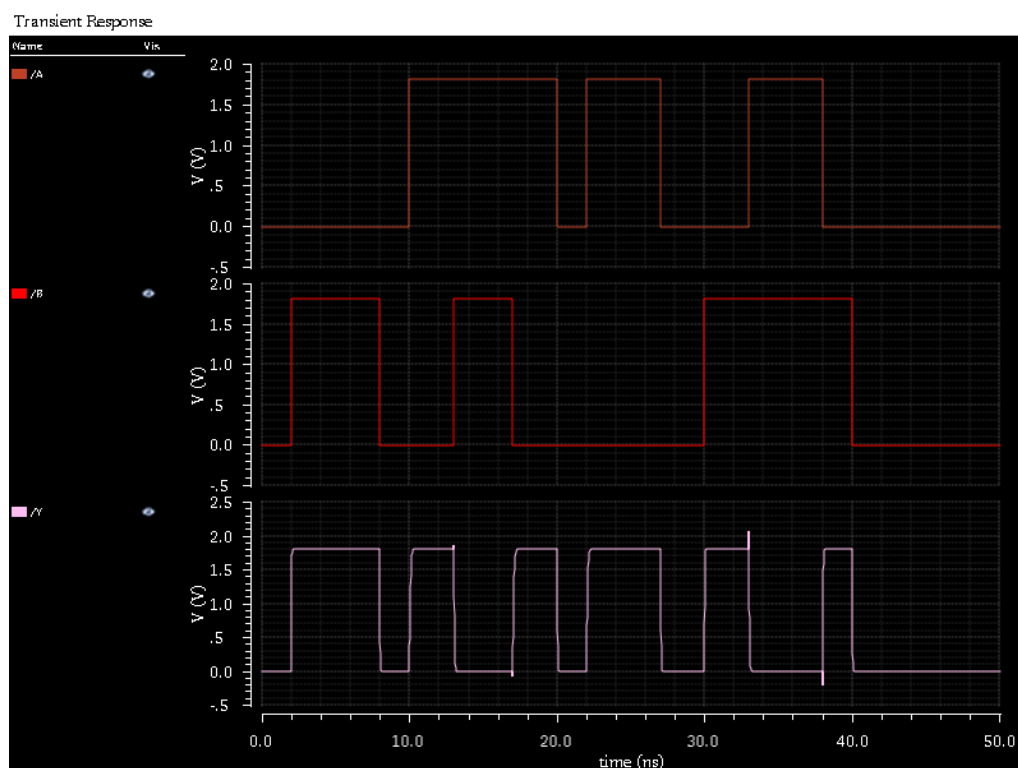
Slika 1.11. Dijagrami ulaznog i izlaznog signala NAND kola dobijeni u post-layout simulaciji



Slika 1.12. Zumiran kritični prelaz izlaza NAND kola (pri kojim se dobija maksimalno kašnjenje) dobijen post-layout simulacijom

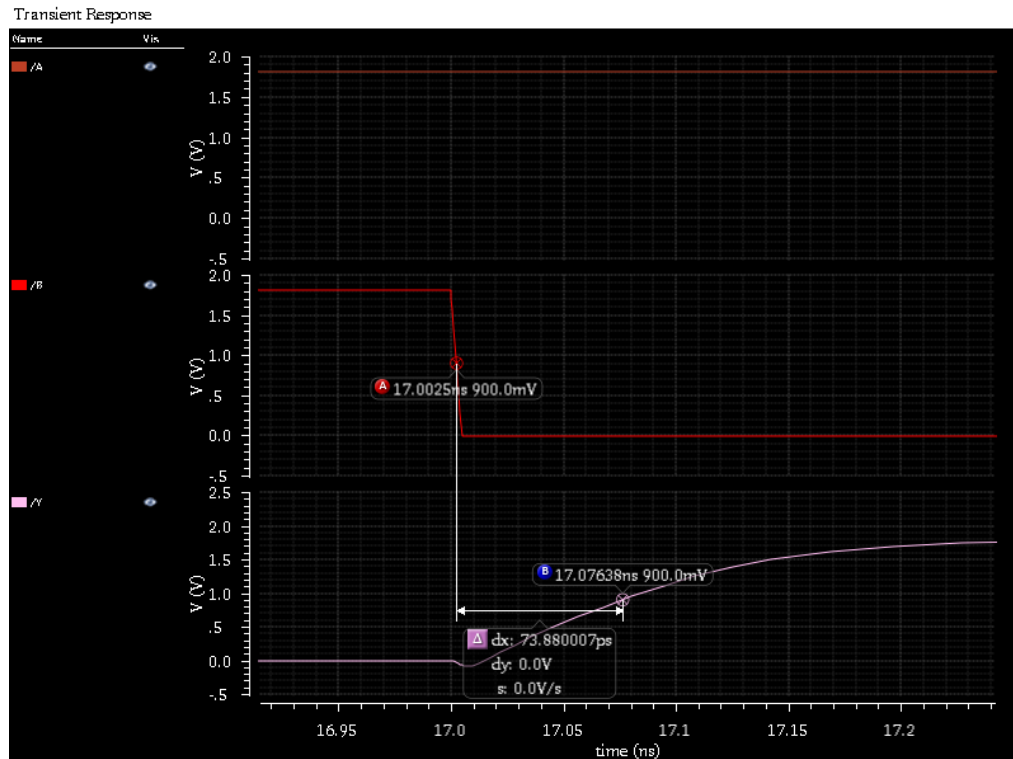


Slika 1.13. Schematic XOR kola nacrtan u Virtuoso Schematic Editor-u

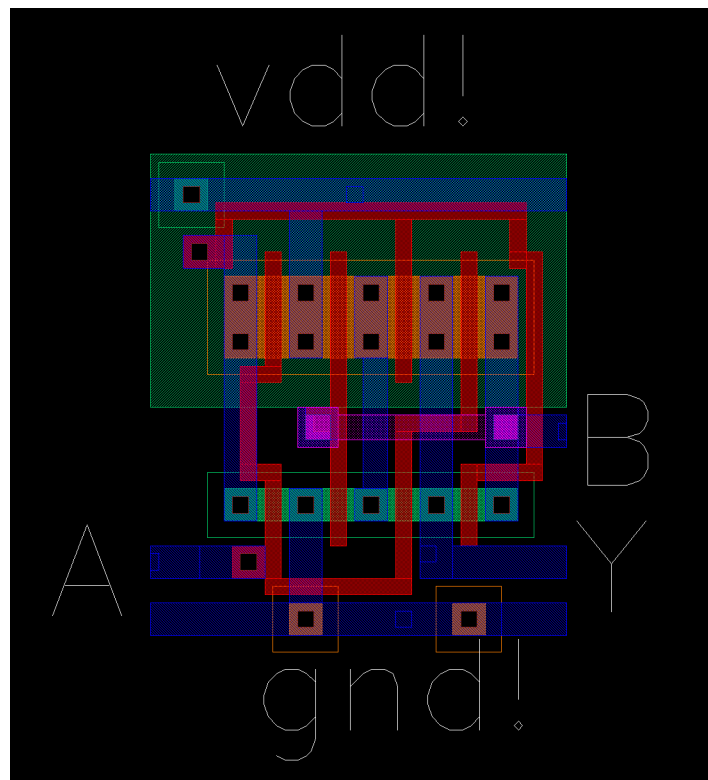


Slika 1.14. Dijagrami ulaznih i izlaznog signala XOR kola dobijeni funkcionalnom simulacijom

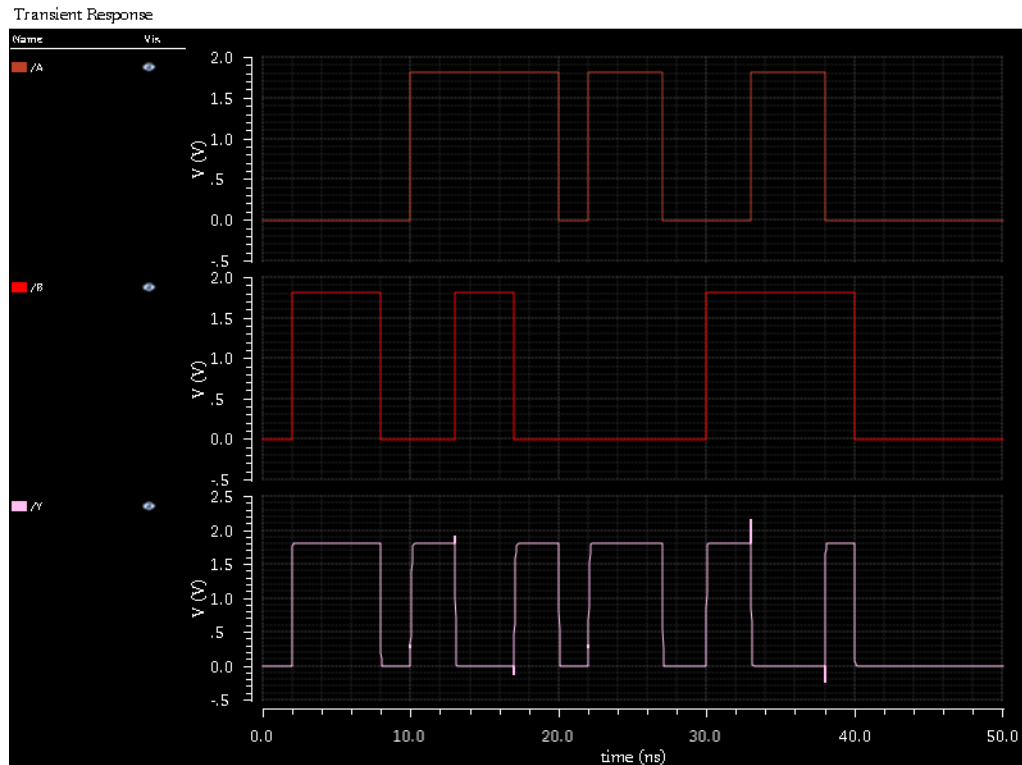




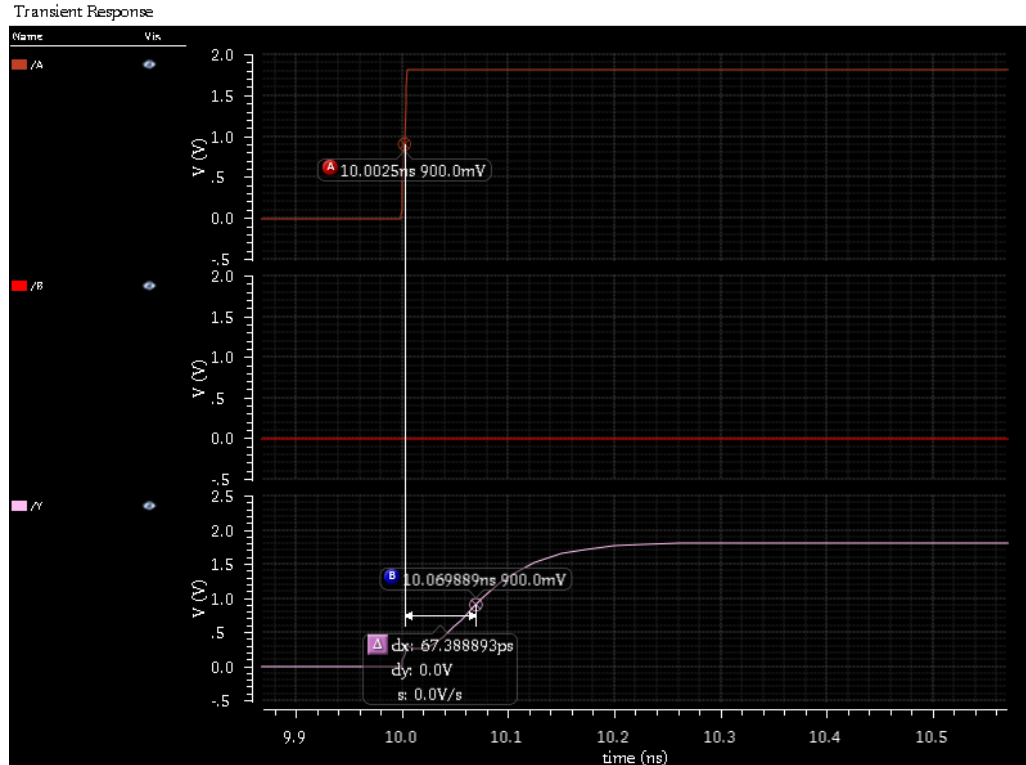
Slika 1.15. Zumiran kritični prelaz izlaza XOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen funkcionalnom simulacijom



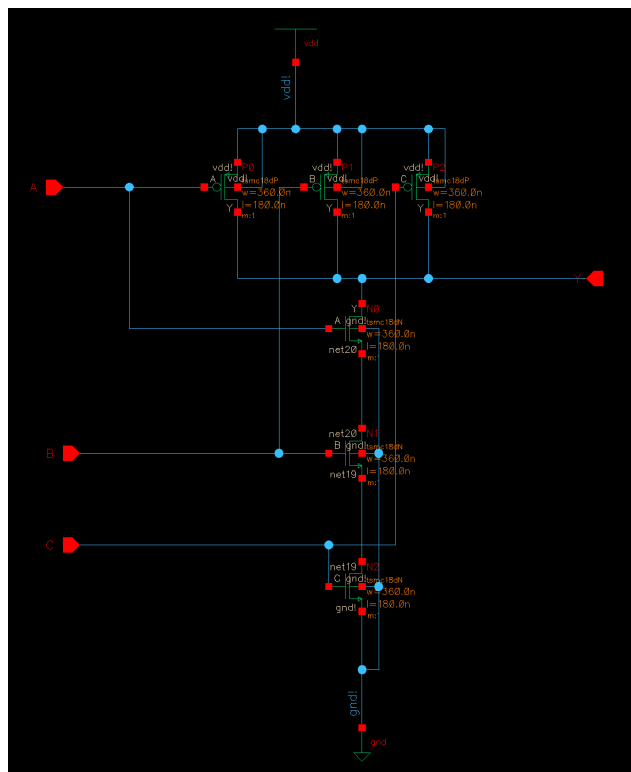
Slika 1.16. Layout XOR kola izrađen u Virtuoso Layout Suite editoru



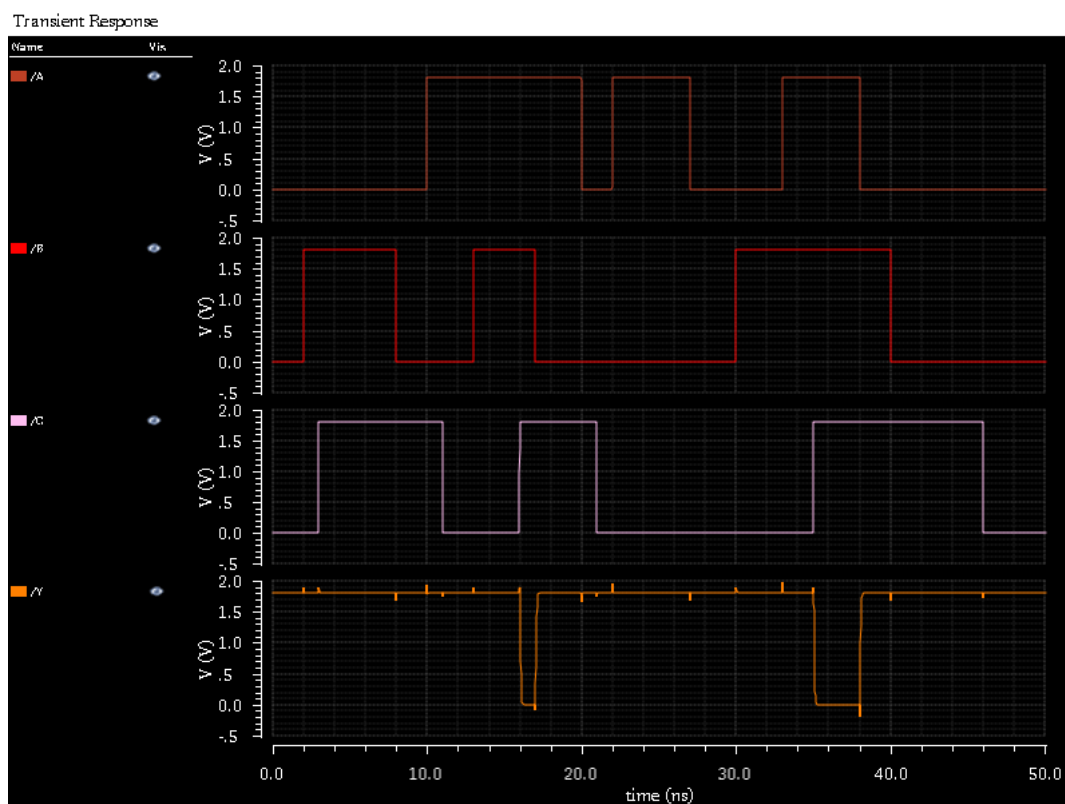
Slika 1.17. Dijagrami ulaznog i izlaznog signala XOR kola dobijeni u post-layout simulaciji



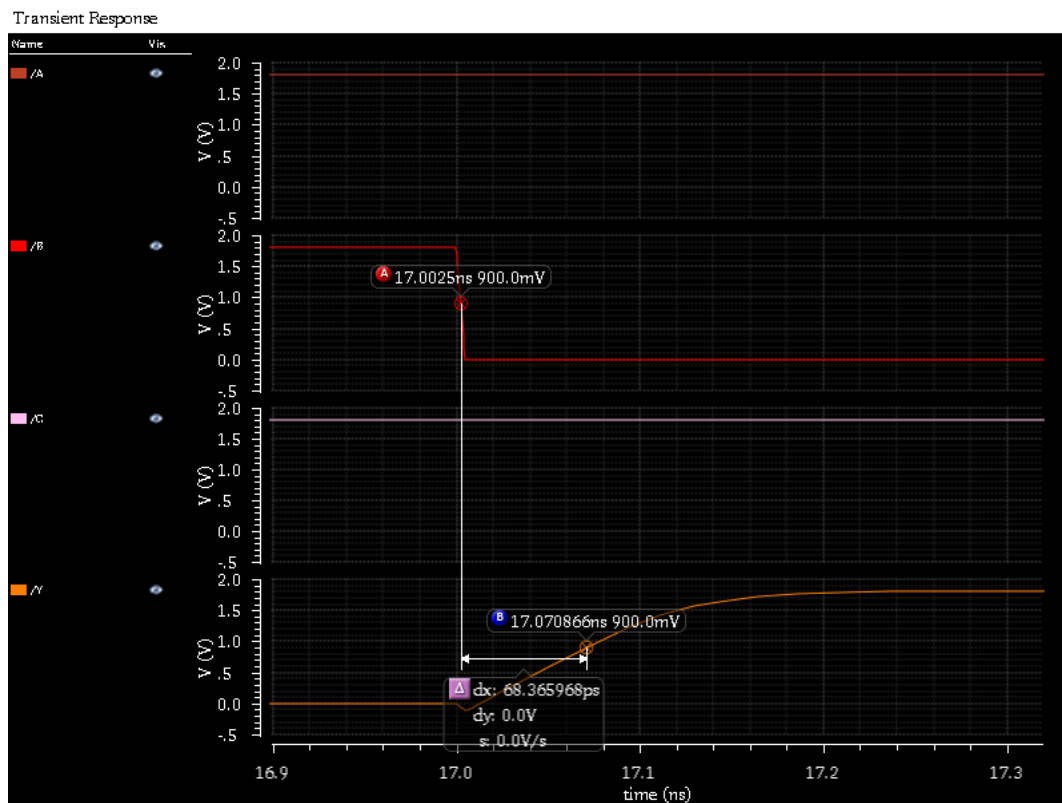
Slika 1.18. Zumiran kritični prelaz izlaza XOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen post-layout simulacijom



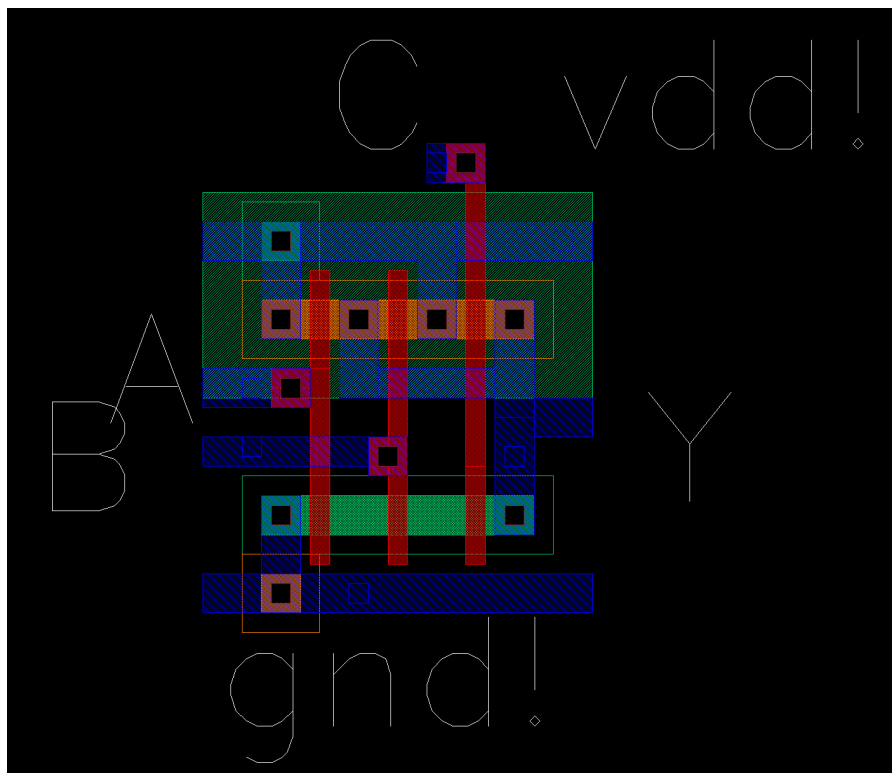
Slika 1.19. Schematic troulaznog NAND kola nacrtan u Virtuoso Schematic Editor-u



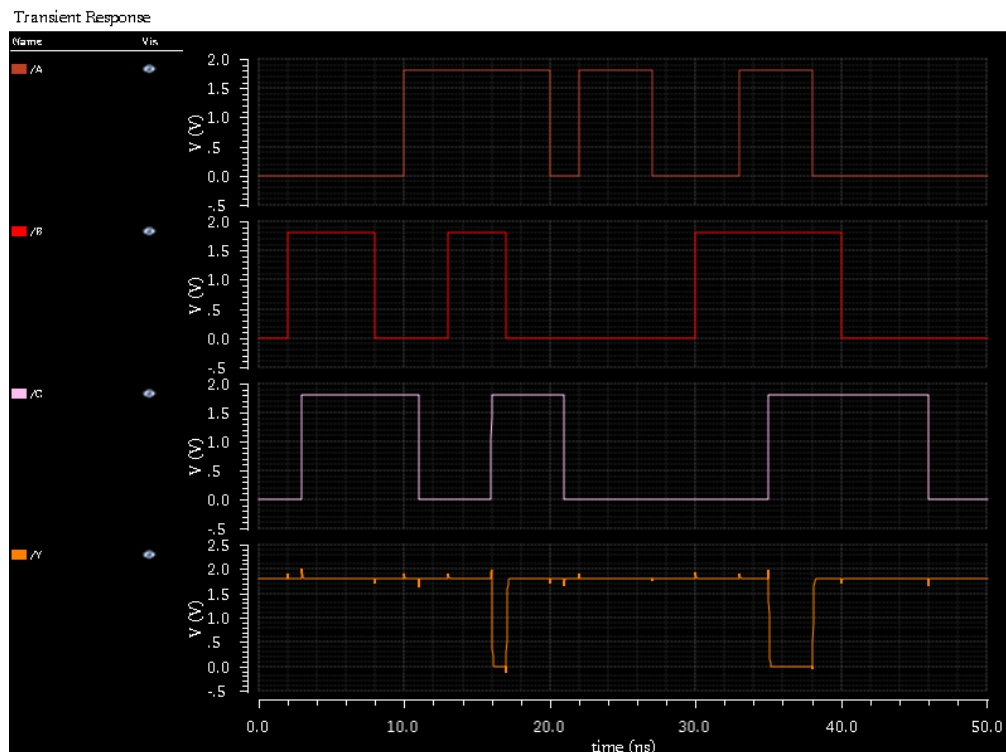
Slika 1.20. Dijagrami ulaznih i izlaznog signala troulaznog NAND kola dobijeni funkcionalnom simulacijom



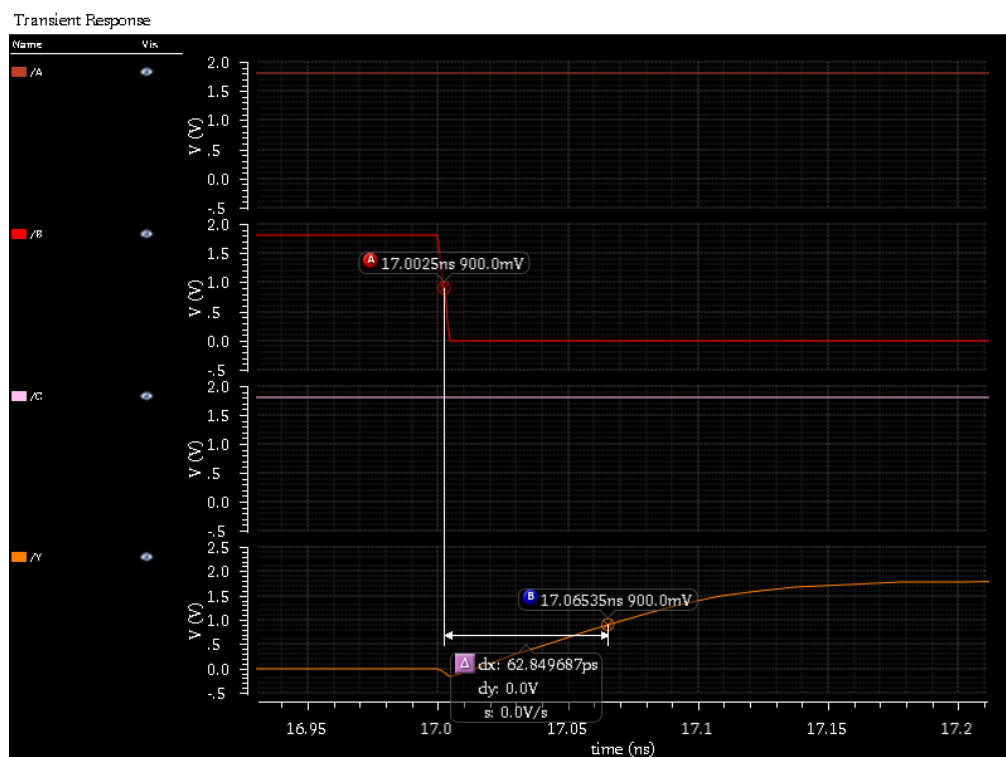
Slika 1.21. Zumiran kritični prelaz izlaza trouglaznog NAND kola (pri kojim se dobija maksimalno kašnjenje)



Slika 1.22. Layout trouglaznog NAND kola izrađen u Virtuoso Layout Suite editoru



Slika 1.23. Dijagrami ulaznih i izlaznog signala trouglačkog NAND kola dobijeni u post-layout simulaciji



Slika 1.24. Zumiran kritični prelaz izlaza trouglačkog NAND kola (pri kojim se dobija maksimalno kašnjenje) dobijen post-layout simulacijom

*Tabela 1.- Kašnjenja logičkih kola u [ps] određena funkcionalnom simulacijom*

	NAND	NOR	XOR
$A = 0, B = 0 \rightarrow 1$	*	37.5097	18.4239
$A = 0, B = 1 \rightarrow 0$	*	46.7541	20.9220
$A = 1, B = 0 \rightarrow 1$	36.0261	*	69.9803
$A = 1, B = 1 \rightarrow 0$	49.3753	*	73.8800
$A = 0 \rightarrow 1, B = 0$	*	53.3946	68.1468
$A = 1 \rightarrow 0, B = 0$	*	58.4203	53.0278
$A = 0 \rightarrow 1, B = 1$	41.3960	*	41.5020
$A = 1 \rightarrow 0, B = 1$	62.2917	*	30.5973

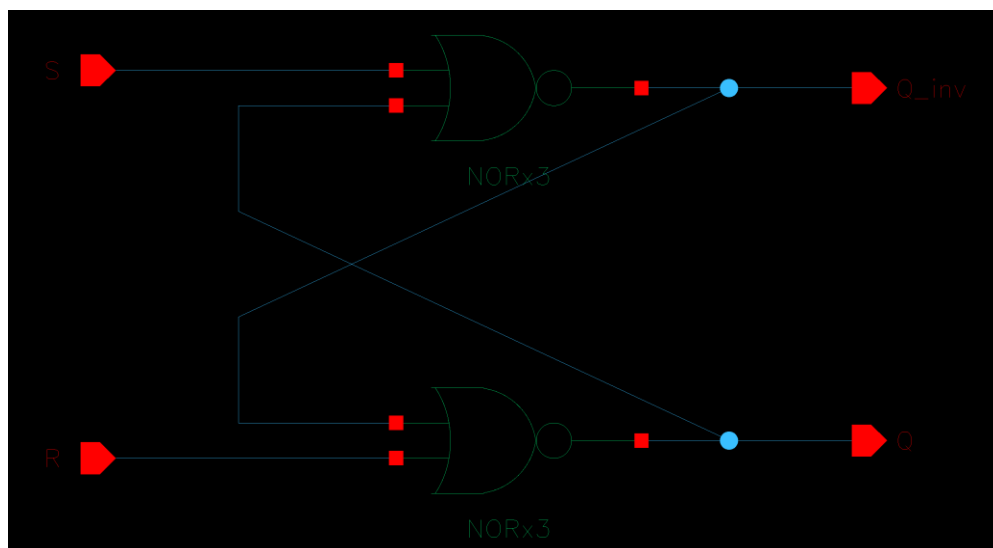
*\*nije potrebno meriti kašnjenja trouglaznog NAND kola*

*Tabela 2.- Kašnjenja logičkih kola u [ps] određena post layout simulacijom*

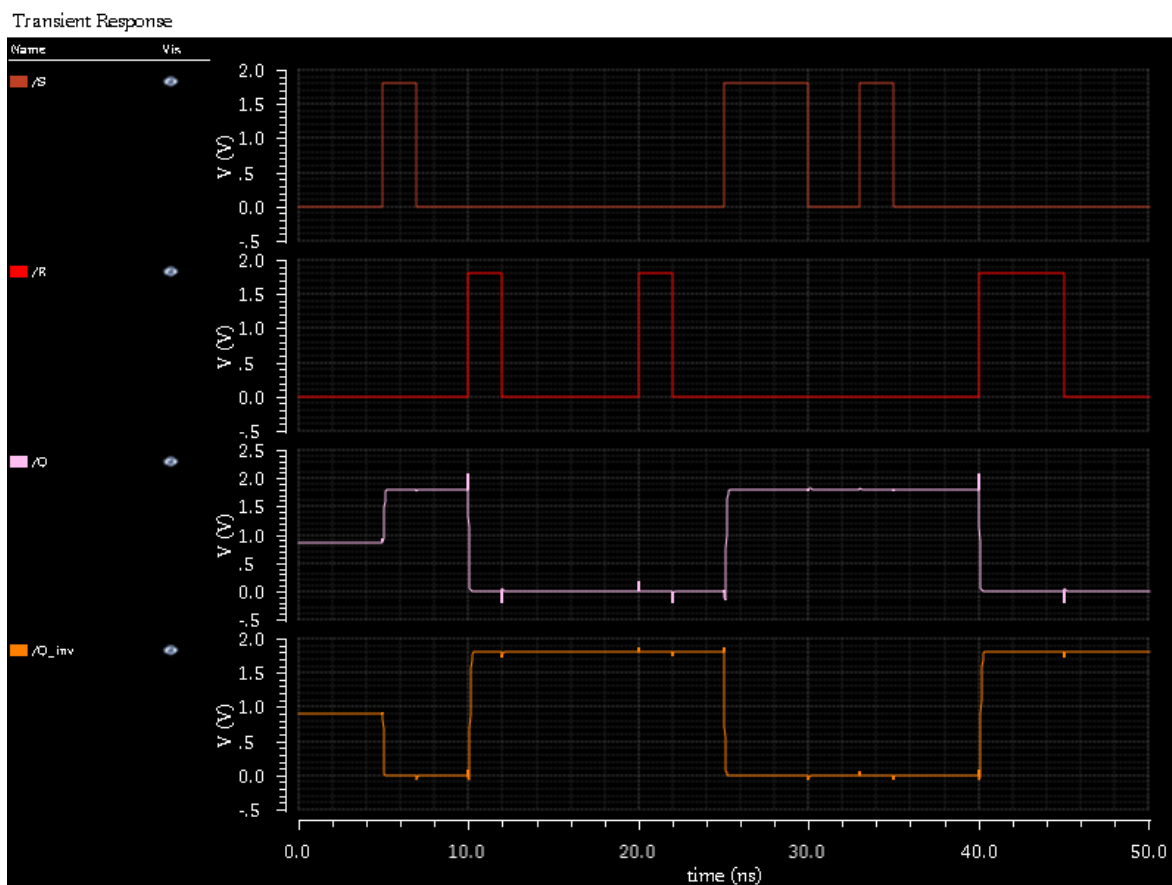
	NAND	NOR	XOR
$A = 0, B = 0 \rightarrow 1$	*	35.9665	14.8314
$A = 0, B = 1 \rightarrow 0$	*	45.1702	16.4289
$A = 1, B = 0 \rightarrow 1$	34.9830	*	55.8462
$A = 1, B = 1 \rightarrow 0$	48.2161	*	59.6574
$A = 0 \rightarrow 1, B = 0$	*	46.6987	67.3889
$A = 1 \rightarrow 0, B = 0$	*	50.8694	53.9938
$A = 0 \rightarrow 1, B = 1$	37.2864	*	37.3903
$A = 1 \rightarrow 0, B = 1$	55.2973	*	26.2249

*\*nije potrebno meriti kašnjenja trouglaznog NAND kola*

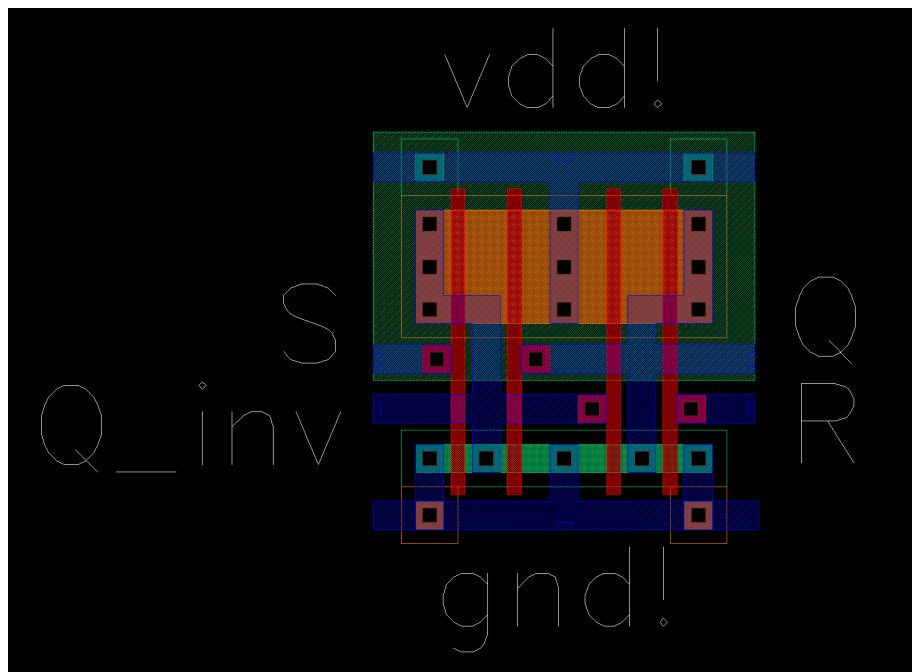
## Zadatak 2 – Projektovanje SR leča



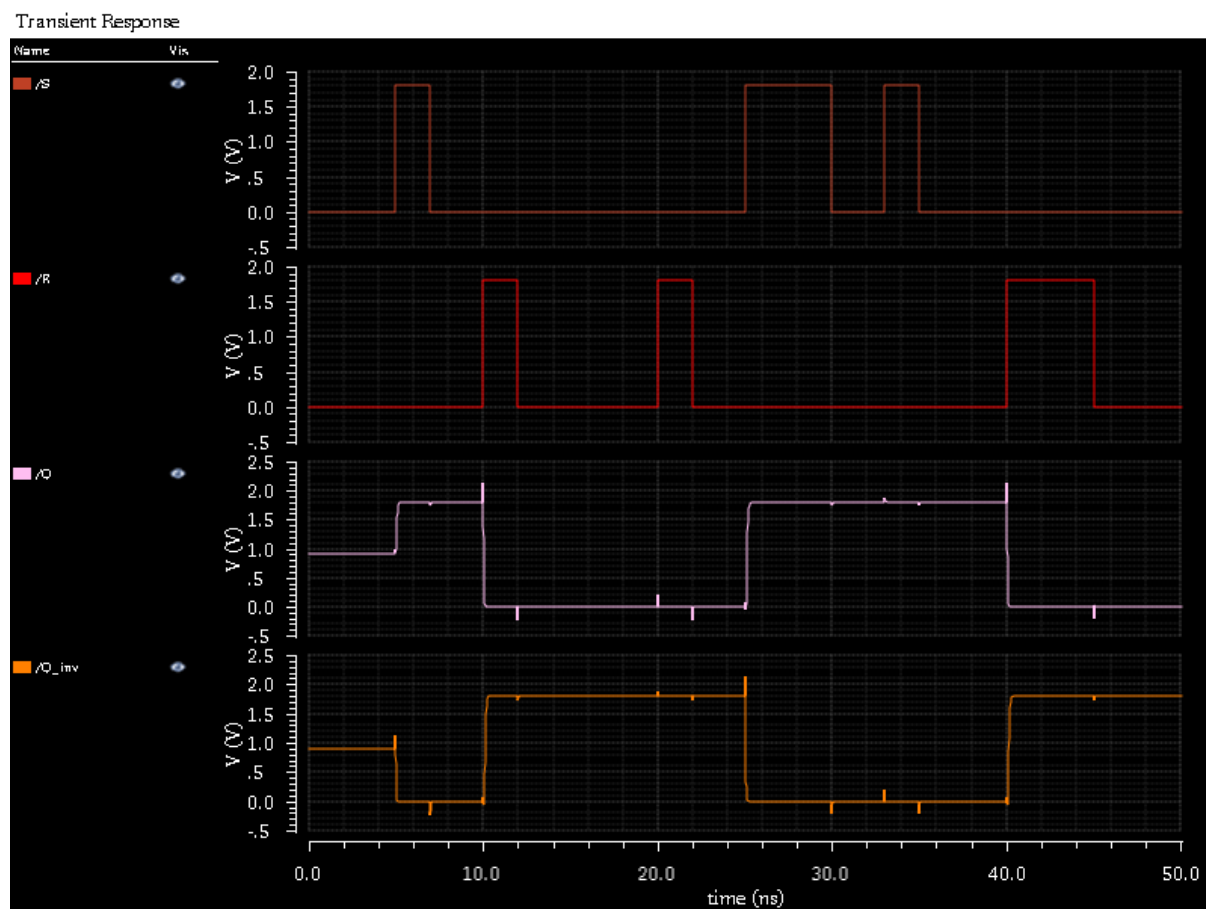
Slika 2.1. Schematic SR leča nacrtan u Virtuoso Schematic Editor-u



Slika 2.2. Dijagrami ulaznih i izlaznih signala SR leča dobijeni funkcionalnom simulacijom



Slika 2.3. Layout SR leća izrađen u Virtuoso Layout Suite editoru



Slika 2.4. Dijagrami ulaznih i izlaznih signala SR leća dobijeni u post-layout simulaciji



*Tabela 3.- Kašnjenja SR leča u [ps] određena funkcionalnom simulacijom*

	Q	Q_inv
tp_hlS	*	66.6420
tp_lhS	168.2663	*
tp_hlR	49.4856	*
tp_lhR	*	131.1802

*Tabela 4.- Kašnjenja SR leča u [ps] određena post layout simulacijom*

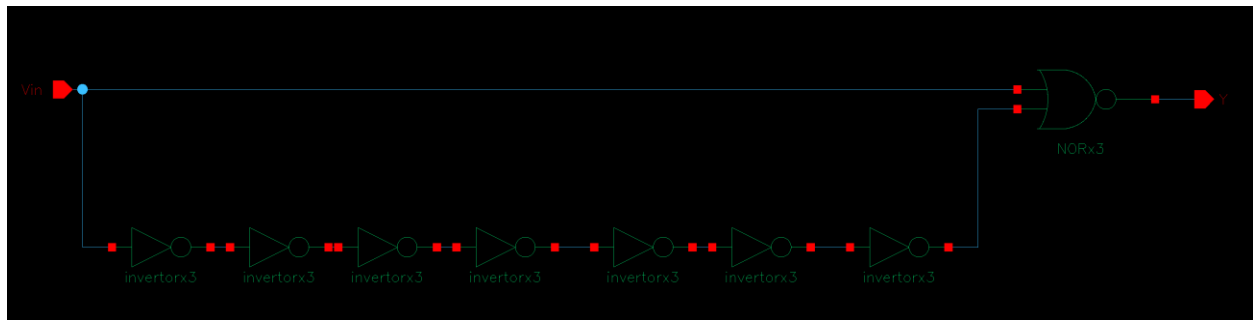
	Q	Q_inv
tp_hlS	*	49.9415
tp_lhS	139.2961	*
tp_hlR	49.8951	*
tp_lhR	*	138.6996

*Tabela 5.- Minimalna trajanja pozitivnog impulsa S/R trougaonog oblika u [ps] da bi se SR leč setovao/resetovao (post layout simulacija)*

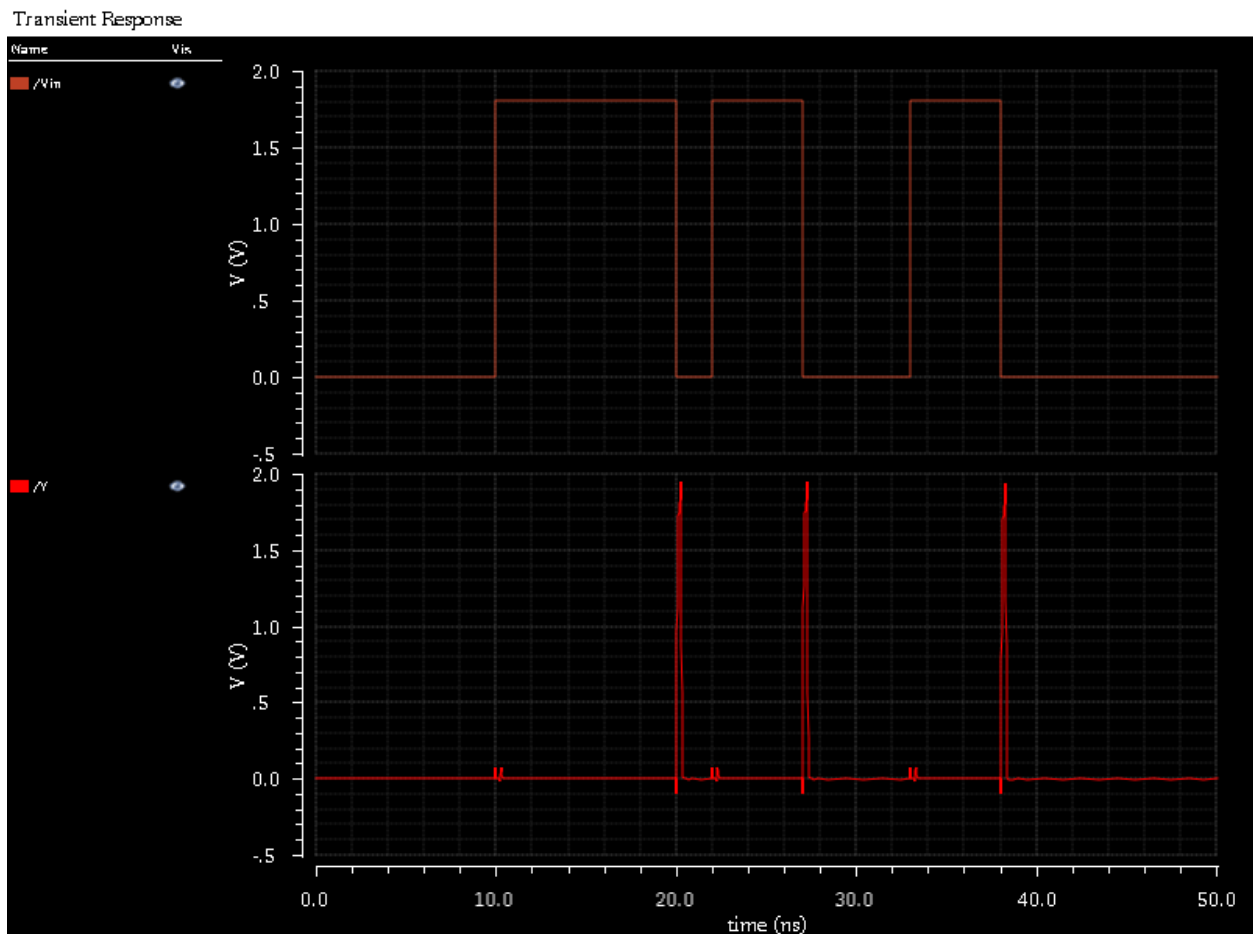
t_pwS_min	300
t_pwR_min	300

*\*trajanja impulsa odrediti sa korakom 100ps*

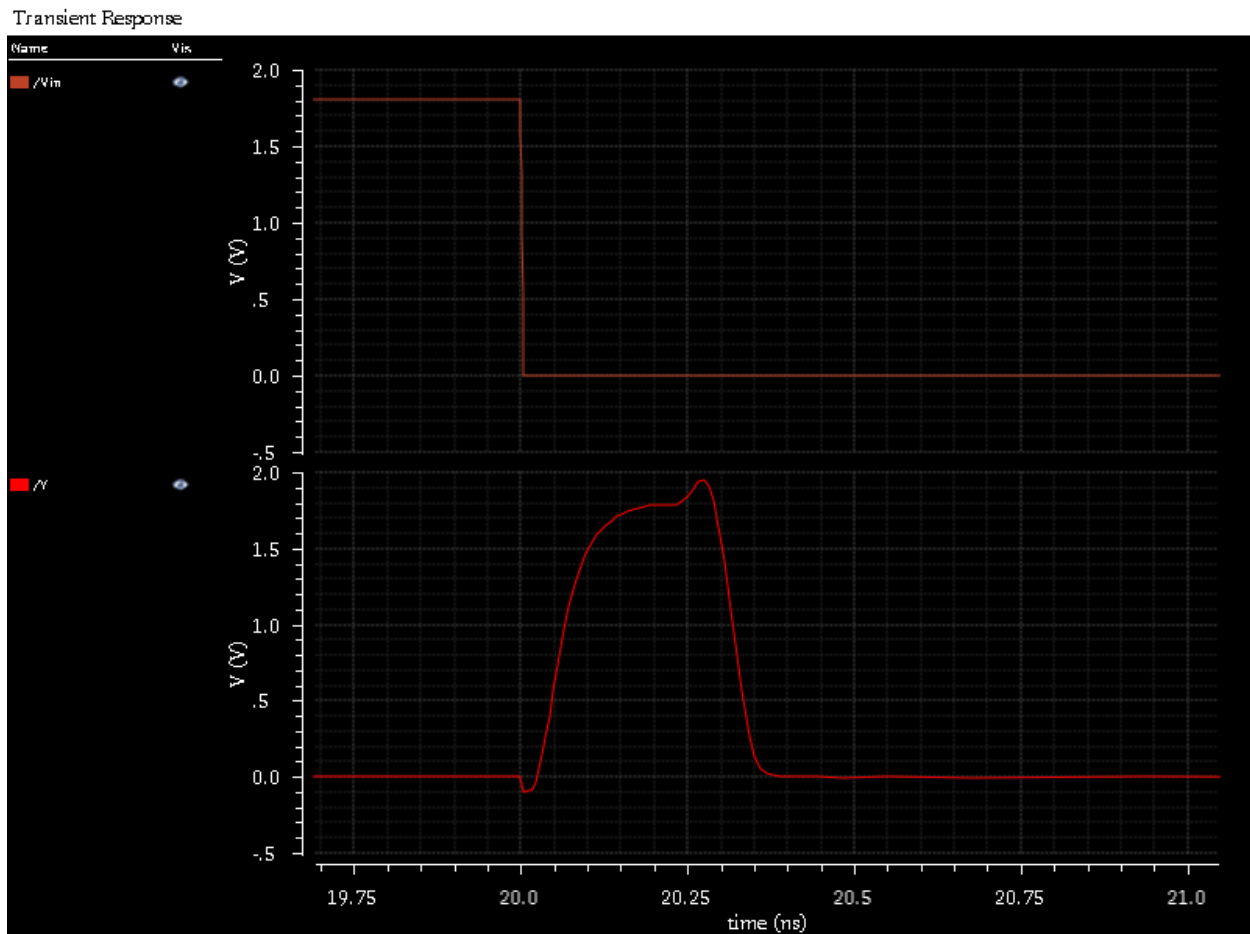
### Zadatak 3 – Projektovanje diferencijatora ivice



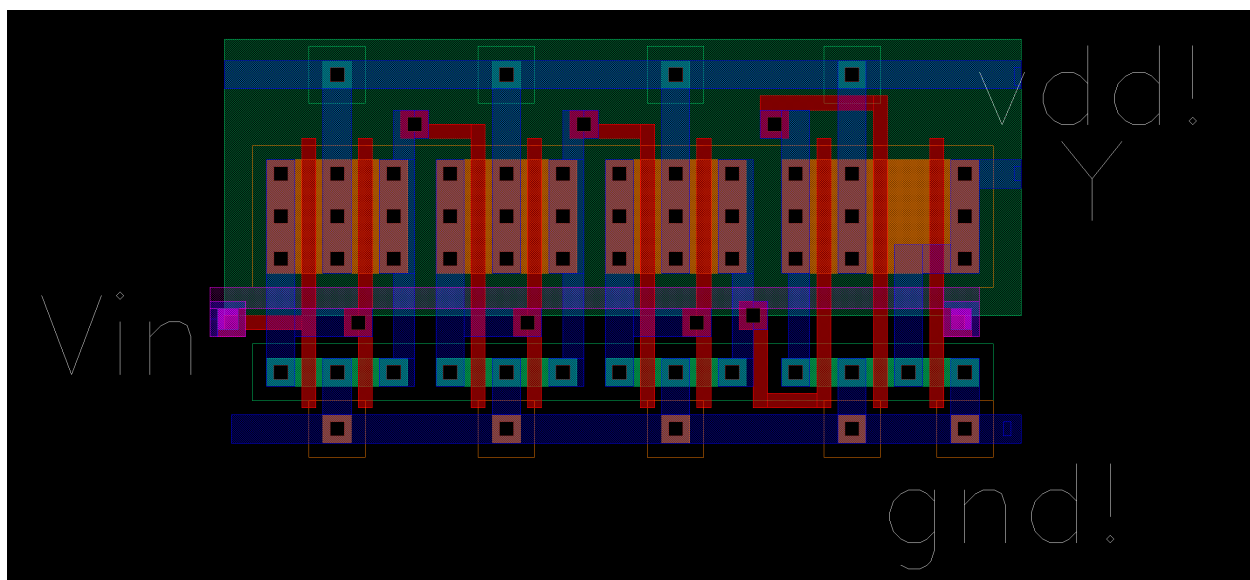
Slika 3.1. Schematic isprojektovanog diferencijatora ivice nacrtan u Virtuoso Schematic Editor-u



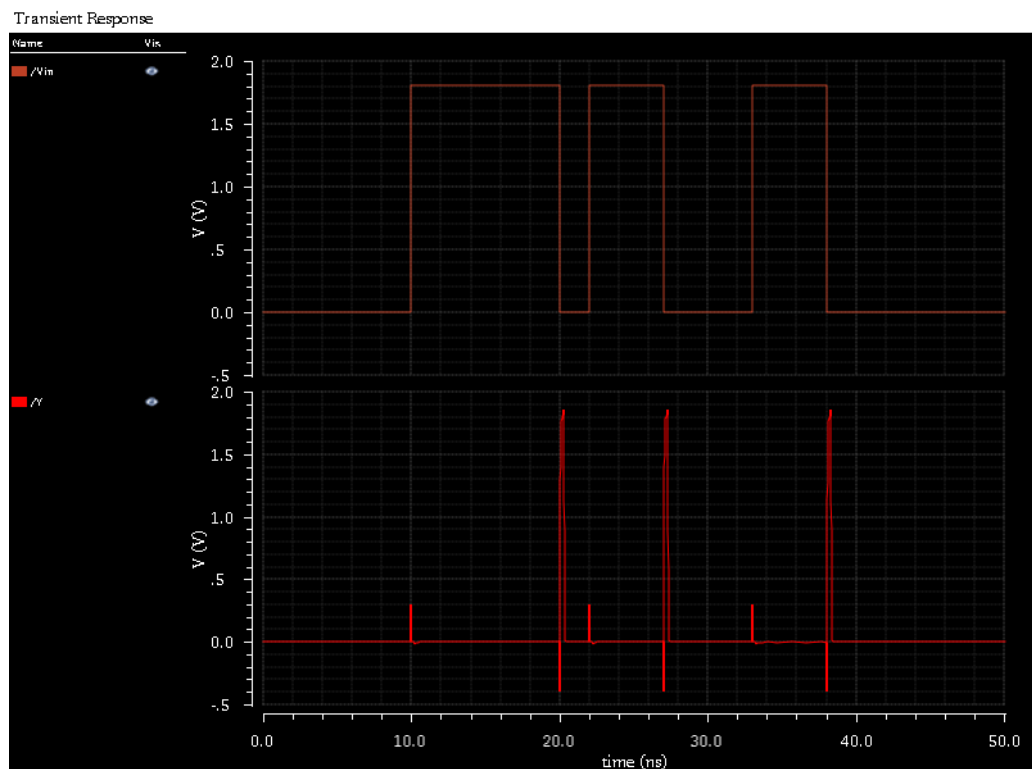
Slika 3.2. Dijagrami ulaznog i izlaznog signala isprojektovanog diferencijatora ivice dobijeni funkcionalnom simulacijom



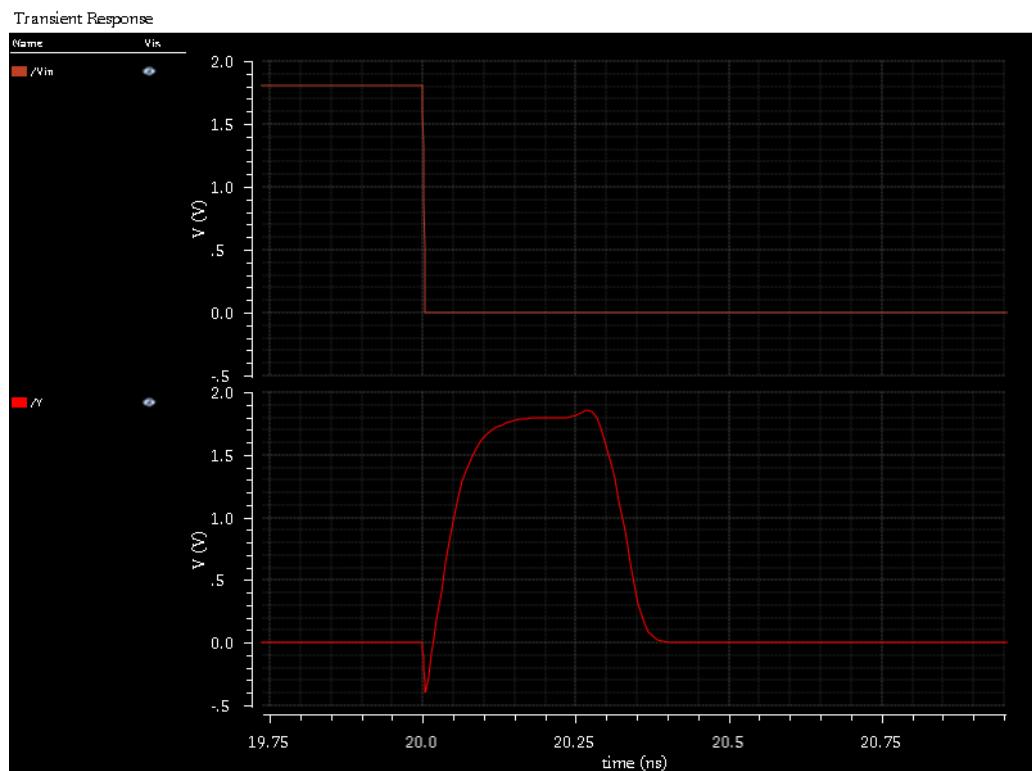
Slika 3.3. Zumiran impuls izlaznog signala dobijen funkcionalnom simulacijom



Slika 3.5. Layout isprojektovanog diferencijatora ivice izrađen u Virtuoso Layout Suite editoru



*Slika 3.5. Dijagrami ulaznog i izlaznog signala isprojektovanog diferencijatora ivice dobijeni u post-layout simulaciji*



*Slika 3.6. Zumiran impuls izlaznog signala dobijen post-layout simulacijom*

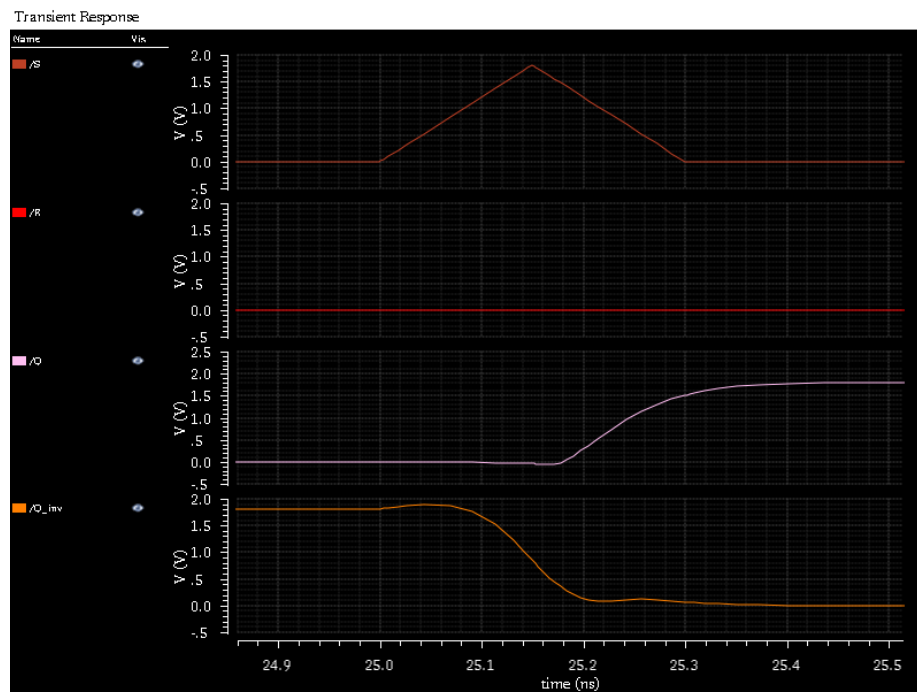
## Zaključak:

U projektovanju dvoulaznih NOR i NAND kola vodilo se računa o tome da dimenzije tranzistora obezbede kašnjenje slično kašnjenju jediničnog invertora. Takođe, vodilo se računa o tome da se što je moguće više usklade dimenzije komponenata koje se u finalnom layout-u zajedno uklapaju u celinu. Na primer, visina NOR kola odgovara visini SR leča jer se izlaz diferencijatora ivice (koji u sebi sadrži NOR kolo) u finalnom layout-u često direktno vezuje na SR leč.

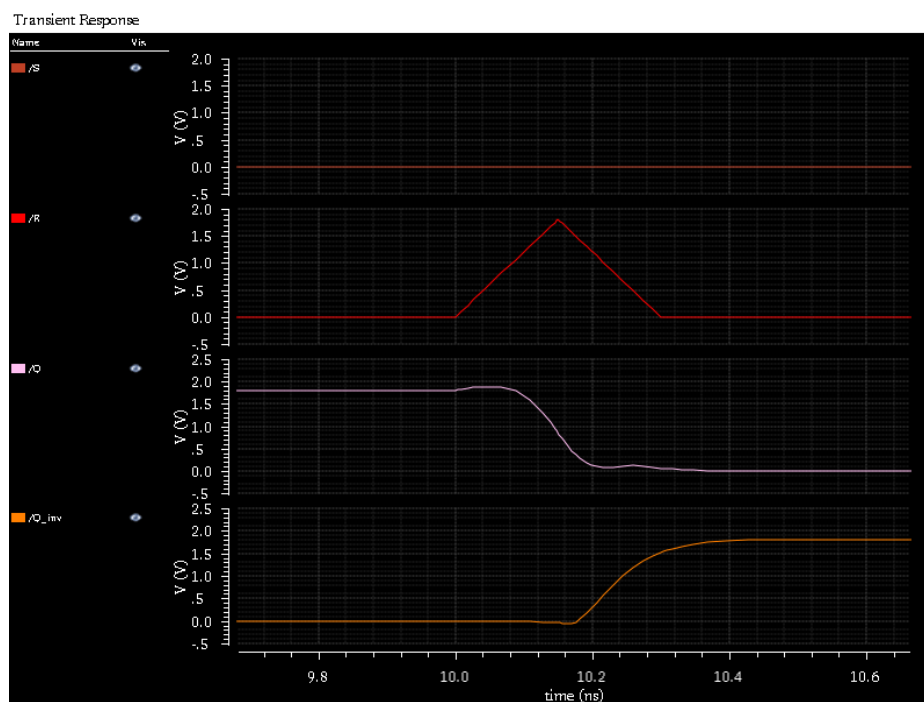
Što se tiče projektovanja SR leča, odabrana je predložena realizacija pomoću NOR kola, zbog jednostavnijeg interfejsa prema ostalim delovima sistema (S i R aktivni na viskom logičkom nivou).

Kao što je već napomenuto, realizacija diferencijatora ivice sadrži u sebi NOR kolo, odnosno odabrana je realizacija diferencijatora negativne ivice. Impulsi generisani od strane diferencijatora se vrlo dobro aproksimiraju impulsom trougaonog oblika. Na osnovu te činjenice i rezultata iz tabele 5. došlo se do zaključka da je dovoljan broj invertora za kašnjenje u diferencijatoru jednak 7. Pogledati slike 3.3. i 3.6. i uporediti ih sa slikama 1. i 2. iz dodatka.

Dodatak:



Slika 1. Minimalno trajanje pozitivnog impulsa  $S$  trougaonog oblika u da bi se SR leč setovao (post layout simulacija)



Slika 2. Minimalno trajanje pozitivnog impulsa  $R$  trougaonog oblika u da bi se SR leč resetovao (post layout simulacija)