

**UNIVERZITET U BEOGRADU  
ELEKTROTEHNIČKI FAKULTET**

*Katedra za elektroniku*

*Predmet: Uvod u projektovanje integrisanih kola*



**Projekat: Cyclic redundancy check (CRC)**

*Faza 1: Uvod*

Izveštaj slati na e-mail: [elmezeni@el.etf.rs](mailto:elmezeni@el.etf.rs), [petrovicv@etf.rs](mailto:petrovicv@etf.rs)  
Staviti u cc i predmetnog profesora: [jelena@etf.rs](mailto:jelena@etf.rs)

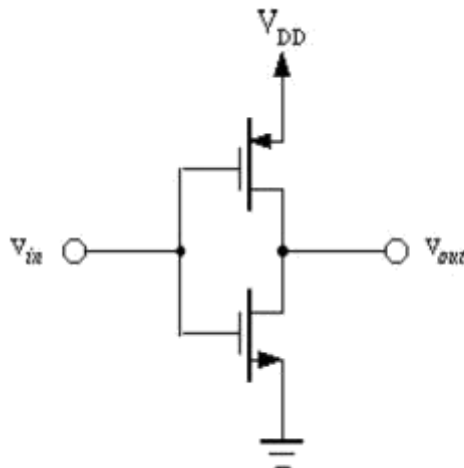
# 1. Faza projekta

## 1.1. Upoznavanje sa softverom kroz projektovanje CMOS invertora i njegovu simulaciju

Prvi zadatak obuhvata prolazak kroz uputstvo koje se nalazi na sajtu predmeta i izradu i simulaciju layout-a CMOS invertora u programskom okruženju *Cadence Virtuoso* koristeći 180nm tehnologiju.

Na početku je potrebno da kreirate biblioteku sa nazivom **upk15\_gX** gde je X broj vaše grupe.

Šema invertora u CMOS tehnologiji data je na slici 1. Dužina kanala oba tranzistora je minimalna i u ovoj tehnologiji iznosi 180nm. Širina kanala NMOS tranzistora iznosi 360nm ( $G \div 4$ ) 90nm gde div predstavlja operaciju celobrojnog deljenja i gde je  $G$  broj vaše grupe. **Širinu kanala PMOS tranzistora odrediti tako da: parne grupe obezbede minimalno kašnjenje a neparne grupe obezbede jednako trajanje uzlazne i silazne ivice.**



Slika 1 CMOS invertor

U softverskom okruženju *Cadence Virtuoso* je potrebno izvršiti funkcionalnu simulaciju (schematic) koja proverava da li invertor obavlja željenu operaciju kao i odrediti kašnjenja i dužine trajanja uzlazne i silazne ivice invertora. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze. Obezbediti da odgovarajući uslov optimizacije bude ispunjen.

Nakon funkcionalne simulacije potrebno je nacrtati layout, ekstrahovati parametre layout-a i izvršiti post layout simulaciju ekstrahovanog modela. Ukoliko optimizacioni kriterijumi nisu ispunjeni modifikovati layout dok god se ne postigne željeni cilj u post layout simulaciji.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3fF), podešavanjem simulacionog fajla. Napon napajanja je 1.8V.

Napisati kratak zaključak u kome je potrebno dati komentar na rezultate simulacija i postupak optimizacije.

**NAPOMENA:** Fajlove za rešenje prve faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa\_N\_prva\_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla.

U *subject*-u obavezno navesti: **OE3UPK prva faza Grupa N**

**Vrlo je bitno da *subject* bude kao što je navedeno inače će *mail* biti isfiltriran!**