

**UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET**

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cycle redundancy check (CRC)

***Faza 3: Projektovanje D flip-flopa, CRC-8 automata
i brojača***

Rok za predaju:

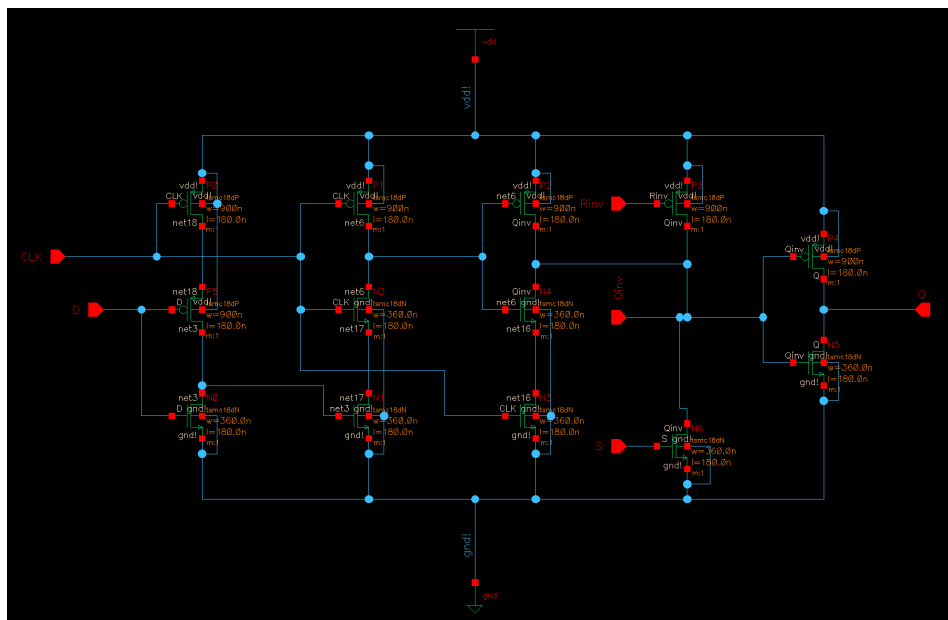
Projekat radili:

Ime	Prezime	broj indeksa
Dejan	Petković	77/2012
Predrag	Kuzmanović	49/2012

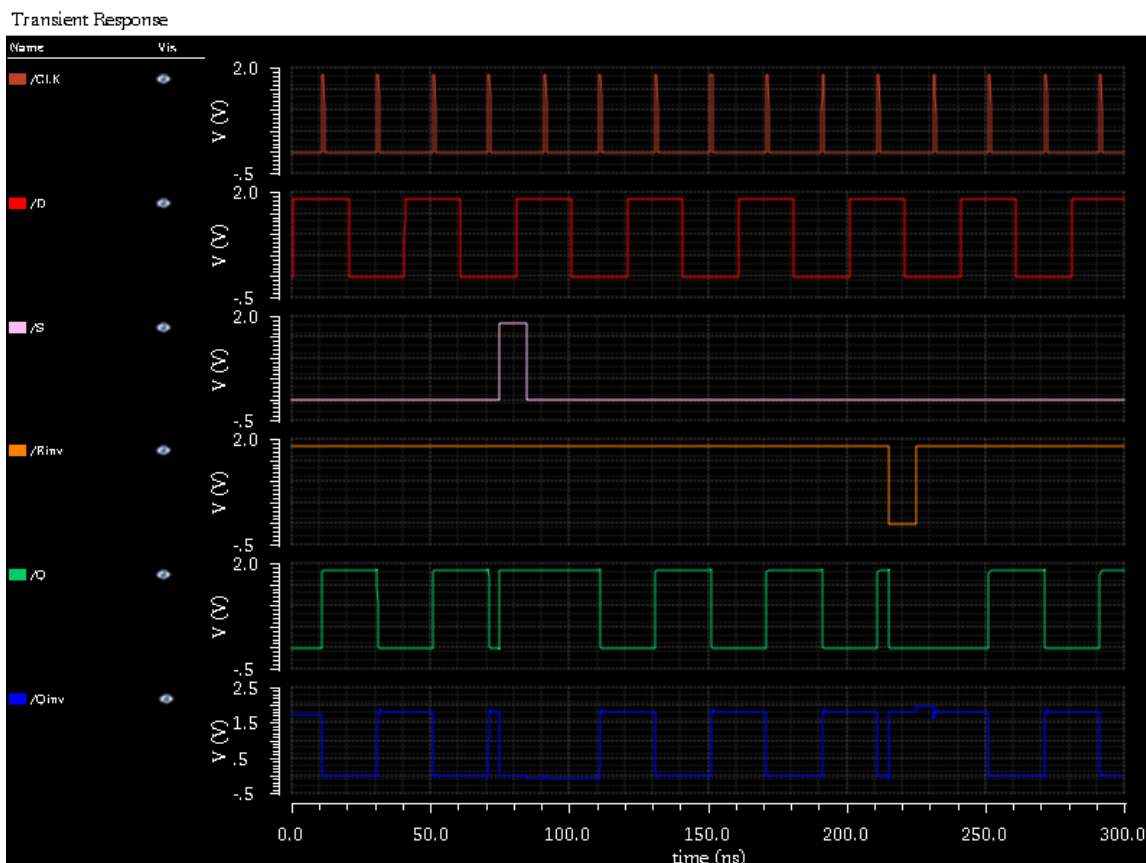
Izveštaj slati na e-mail: elmezeni@el.etf.rs, petrovicv@etf.rs

Staviti u cc i predmetnog profesora: jelena@etf.rs

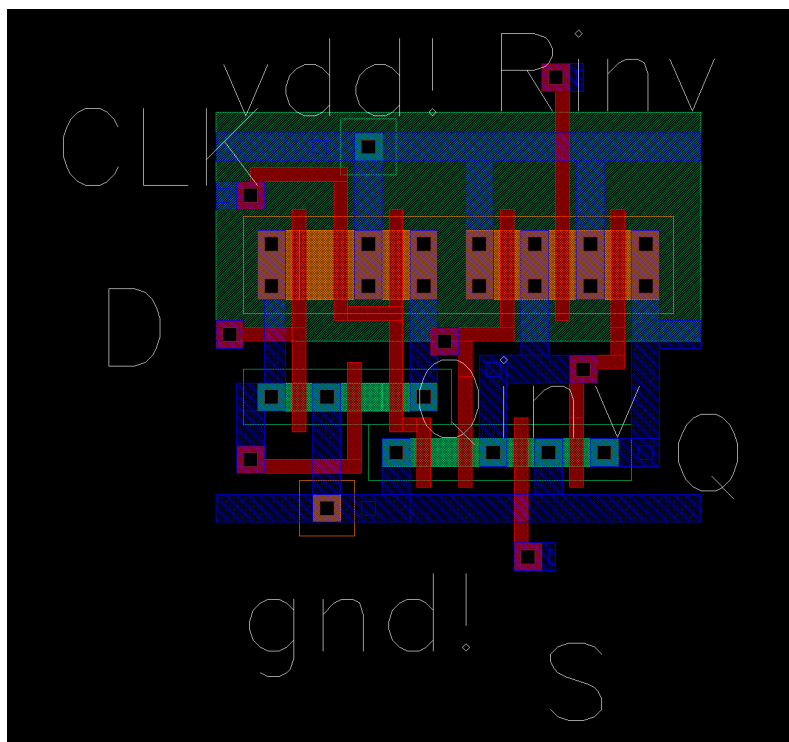
Zadatak 1 – Projektovanje D flip-flopa



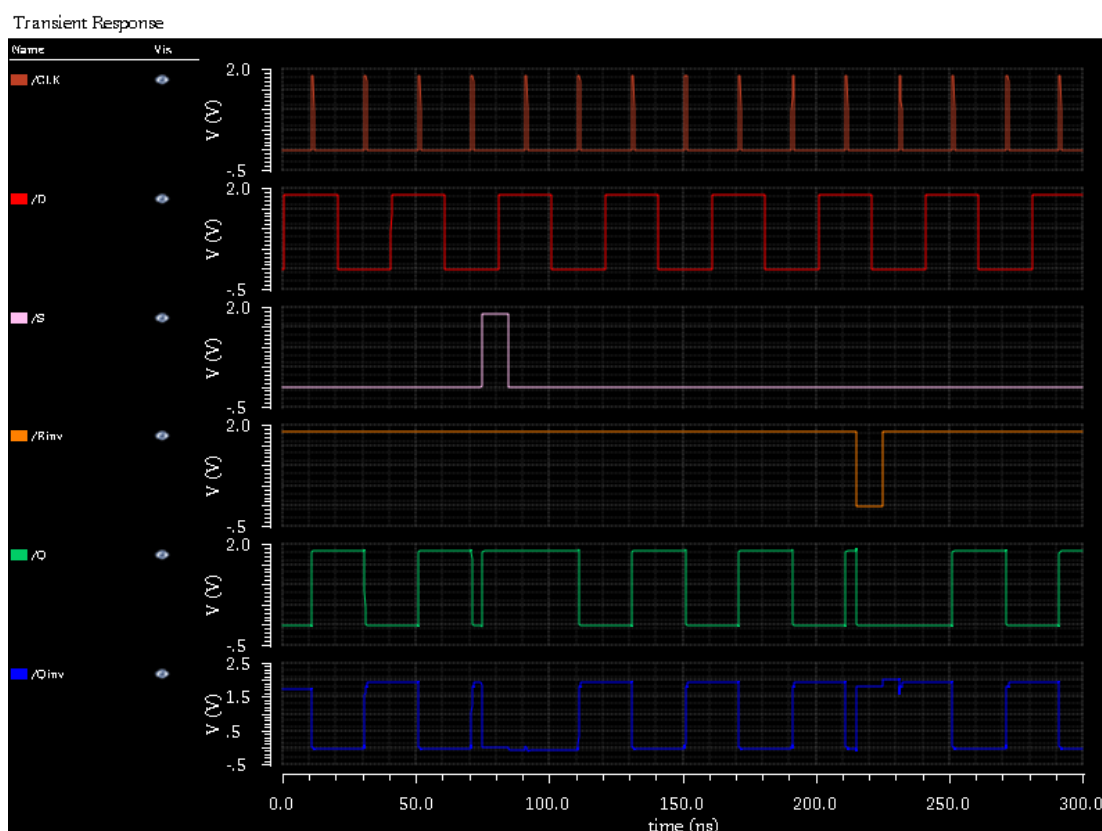
Slika 1.1. Schematic D flip-flopa nacrtan u Virtuoso Schematic Editor-u



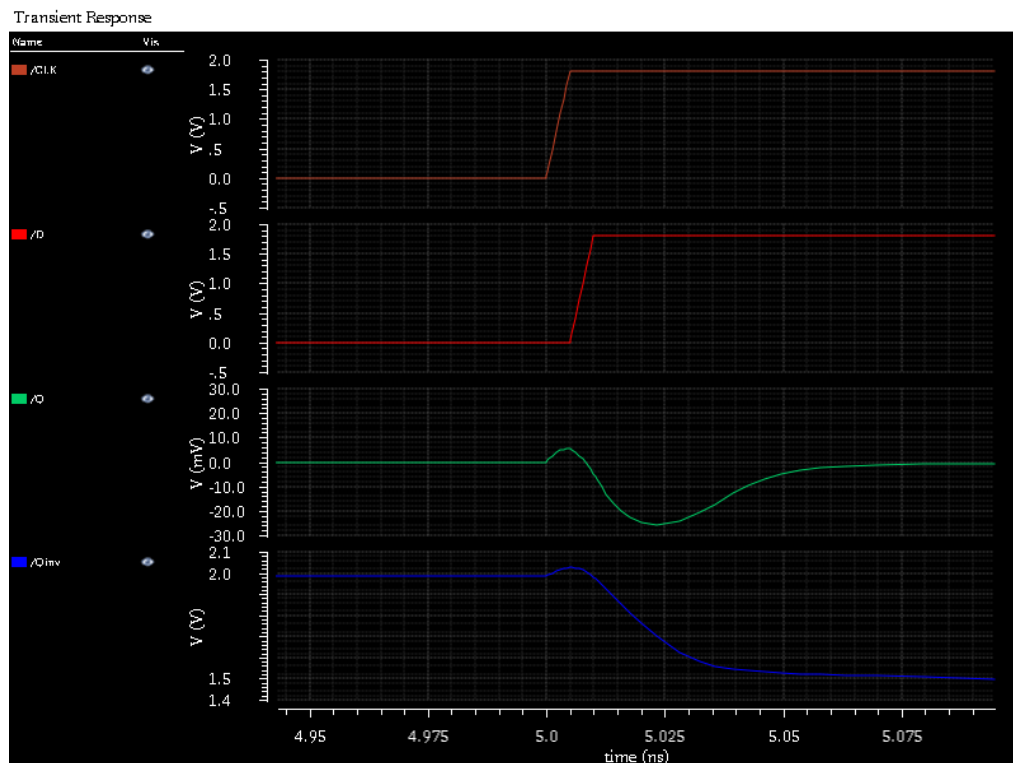
Slika 1.2. Dijagrami ulaznih i izlaznih signala D flip-flopa dobijeni funkcionalnom simulacijom



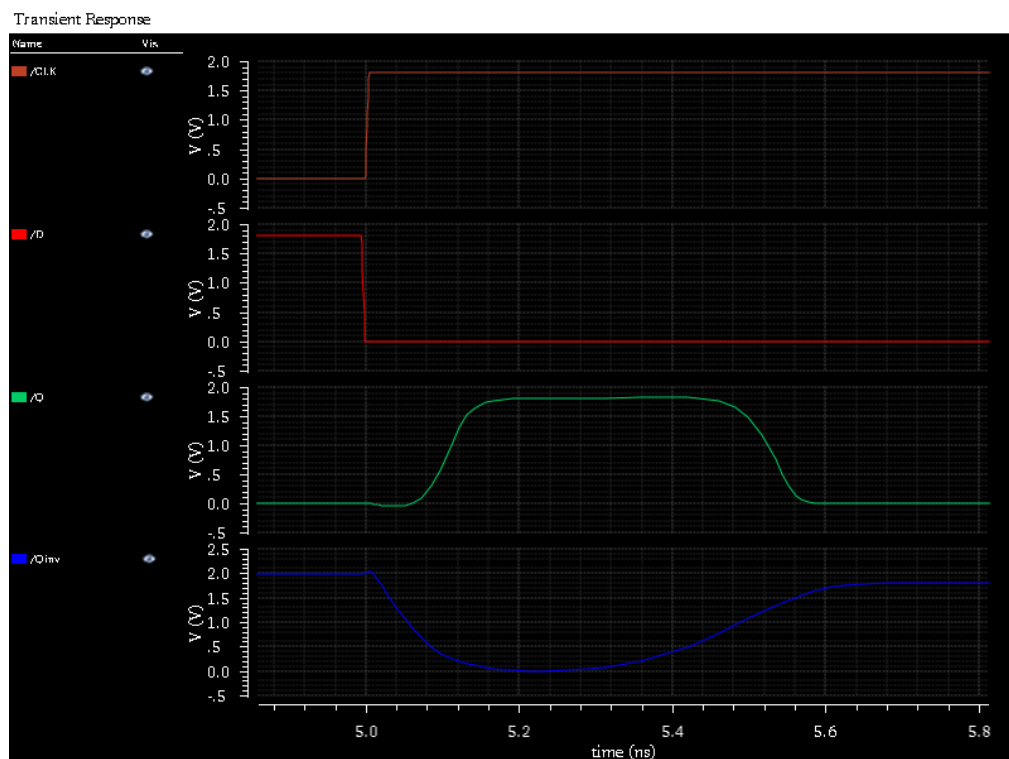
Slika 1.3. Layout D flip-flopa izrađen u Virtuoso Layout Suite editoru



Slika 1.4. Dijagrami ulaznih i izlaznih signala D flip-flopa dobijeni u post-layout simulaciji



Slika 1.5. Demonstracija slučaja kada nije zadovoljeno vreme postavljanja, post-layout



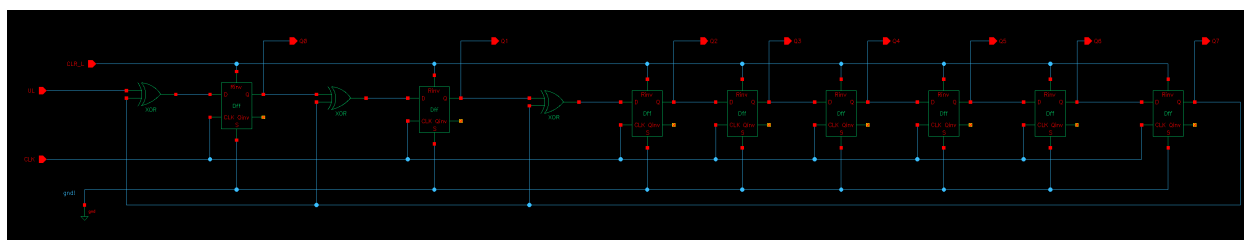
Slika 1.6. Demonstracija slučaja kada nije zadovoljeno vreme držanja, post-layout

Tabela 1.- Vremena postavljanja (setup time) i držanja (hold time) u [ps] D flip-flopa (post layout simulacija)

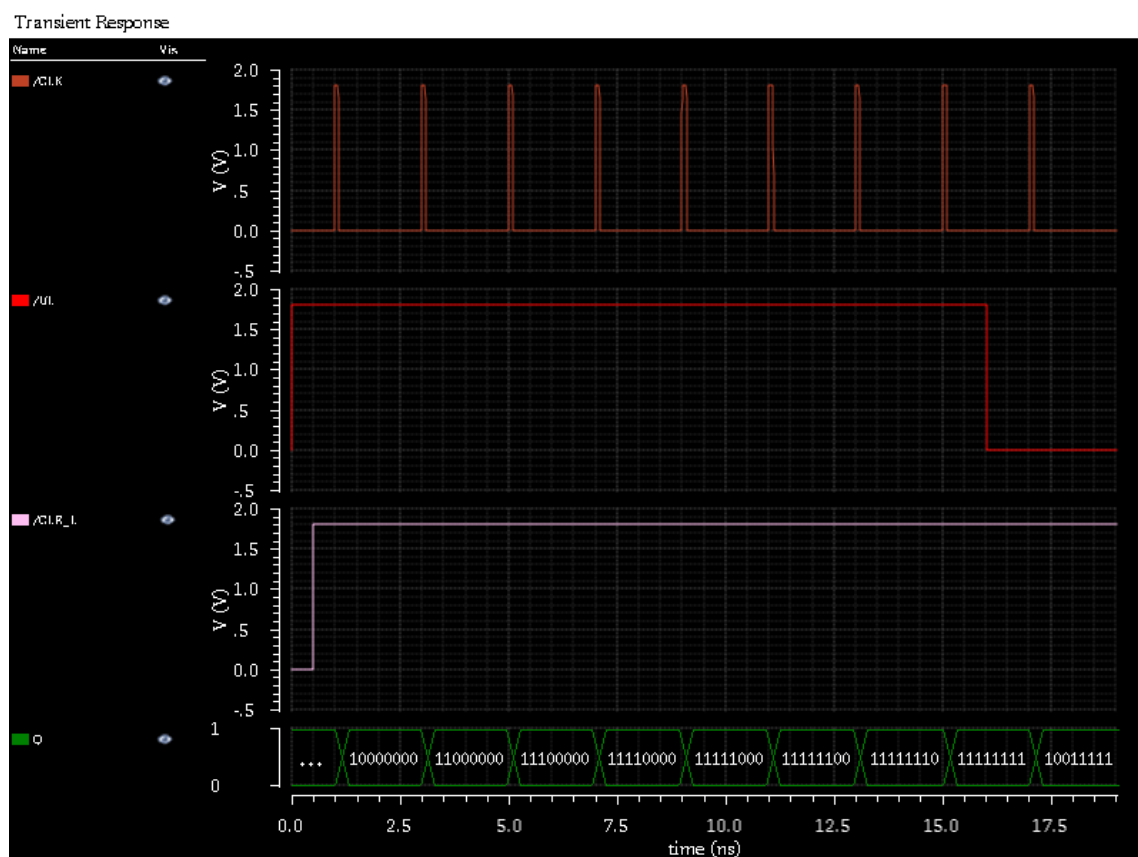
t _{su}	0
t _h	-2

**vremena odrediti sa korakom 1ps*

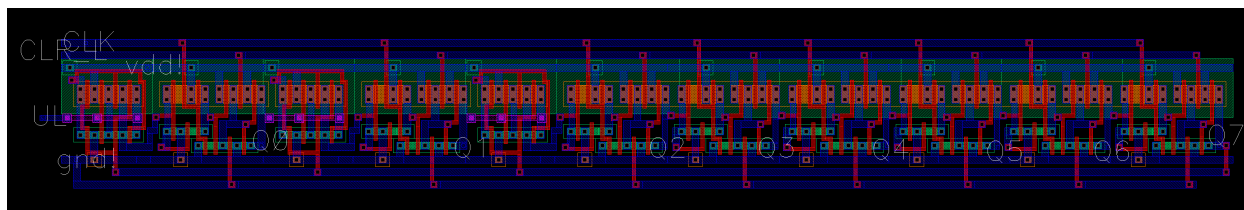
Zadatak 2 – Projektovanje CRC-8 automata



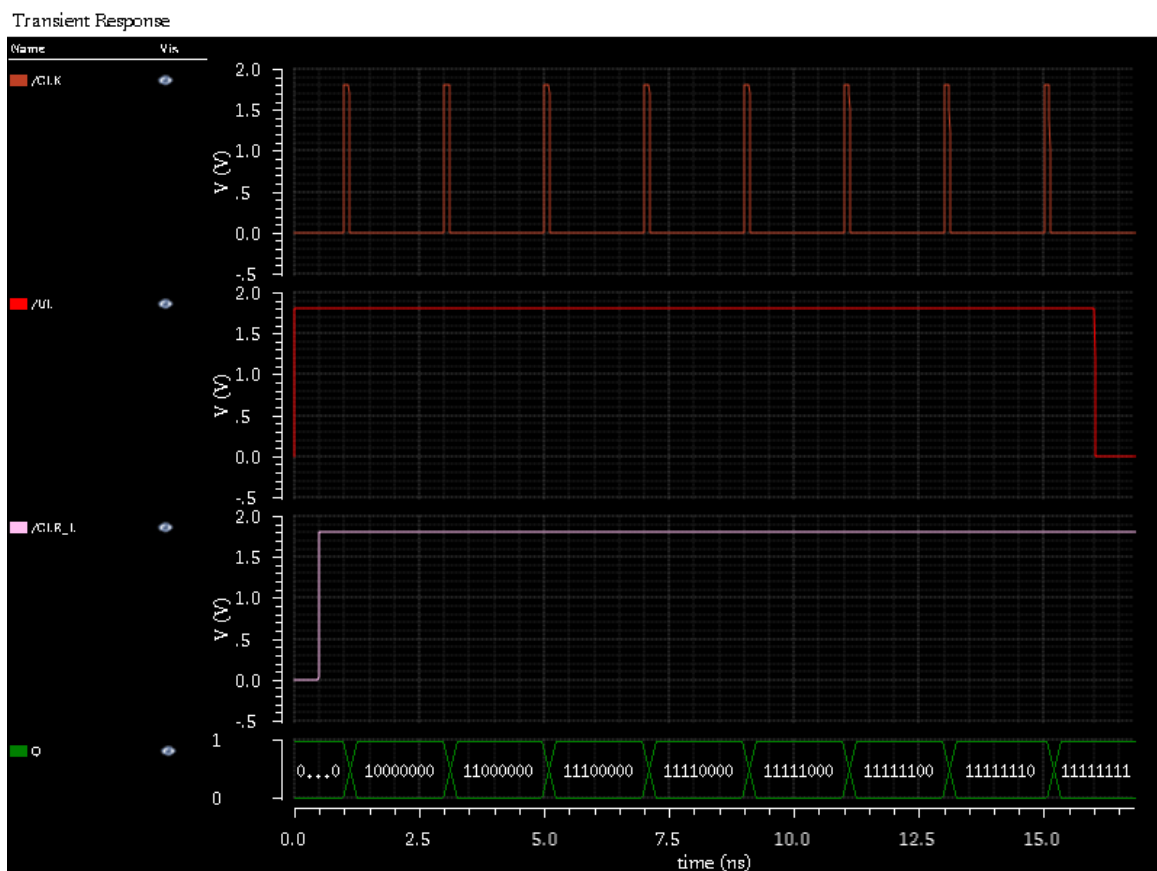
Slika 2.1. Schematic CRC-8 automata nacrtan u Virtuoso Schematic Editor-u



Slika 2.2. Dijagrami ulaznih i izlaznih signala (u digitalnom obliku) CRC-8 automata u trajanju od nekoliko perioda takta dobijeni funkcionalnom simulacijom

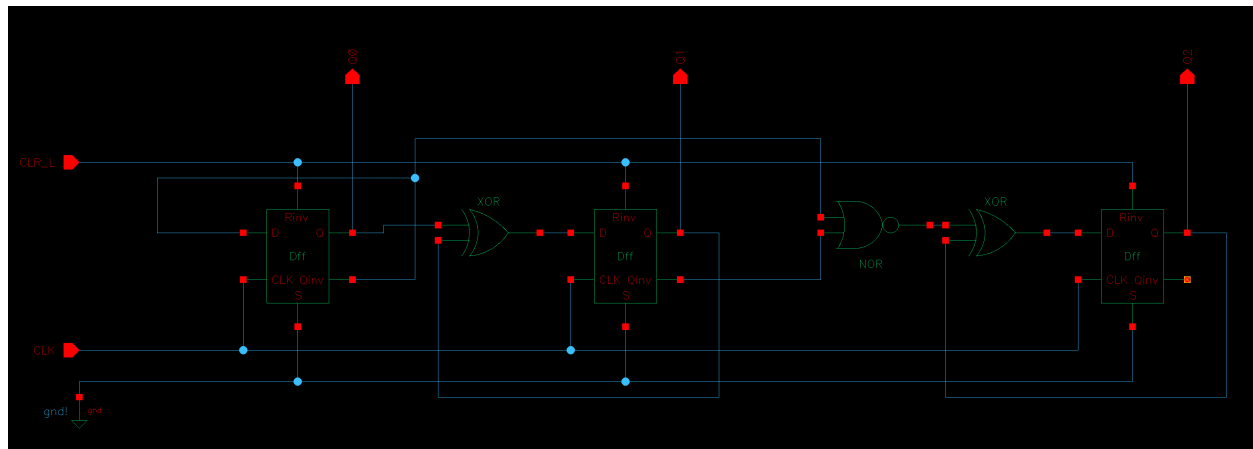


Slika 2.3. Layout CRC-8 automata izrađen u Virtuoso Layout Suite editoru

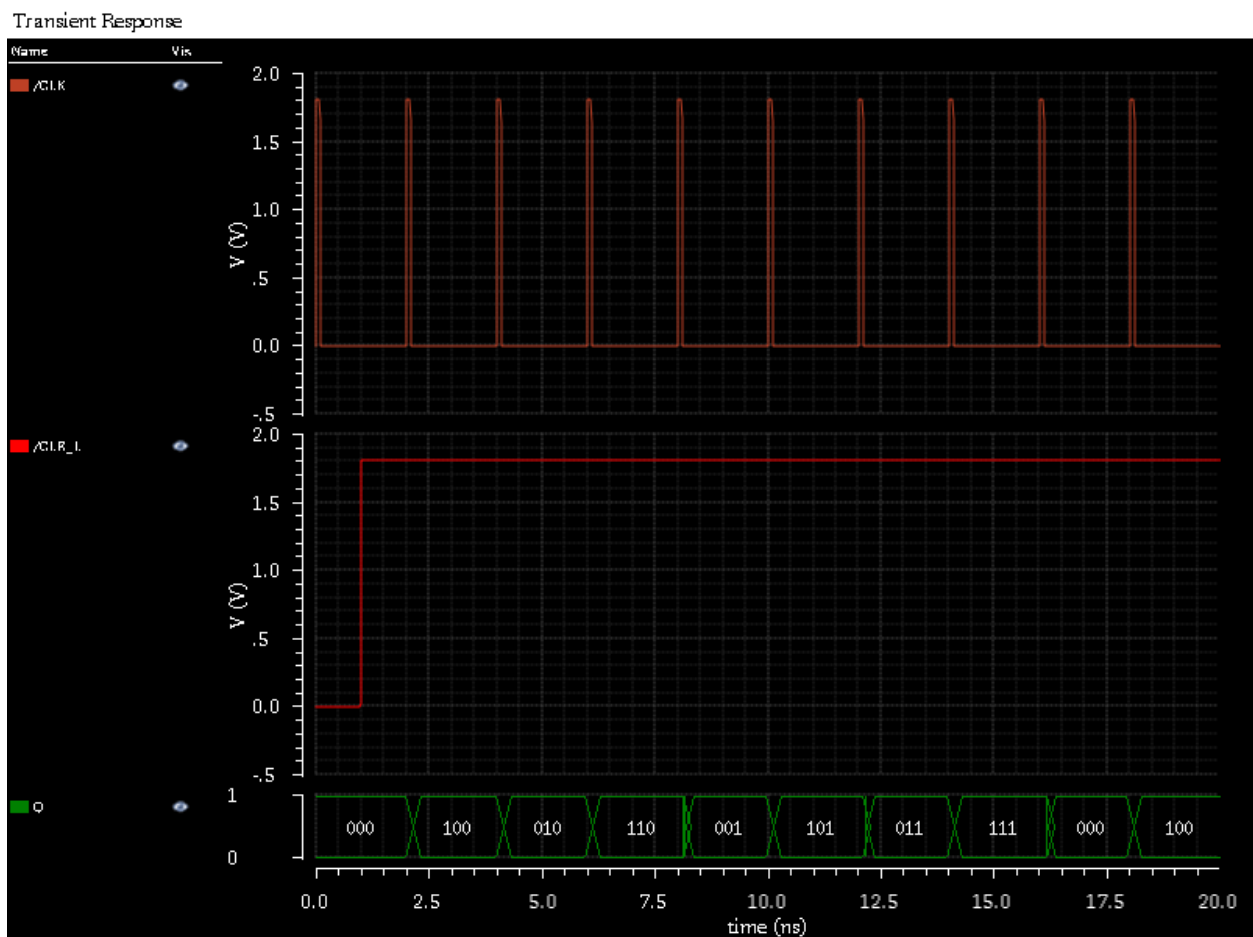


Slika 2.4. Dijagrami ulaznih i izlaznih signala (u digitalnom obliku) CRC-8 automata u trajanju od nekoliko perioda takta dobijeni post-layout simulacijom

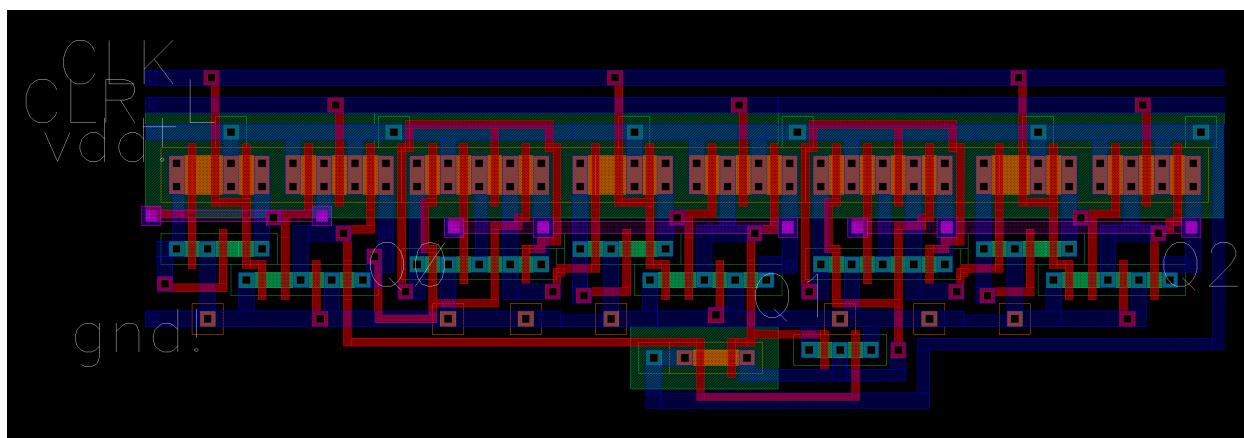
Zadatak 3 – Projektovanje brojača



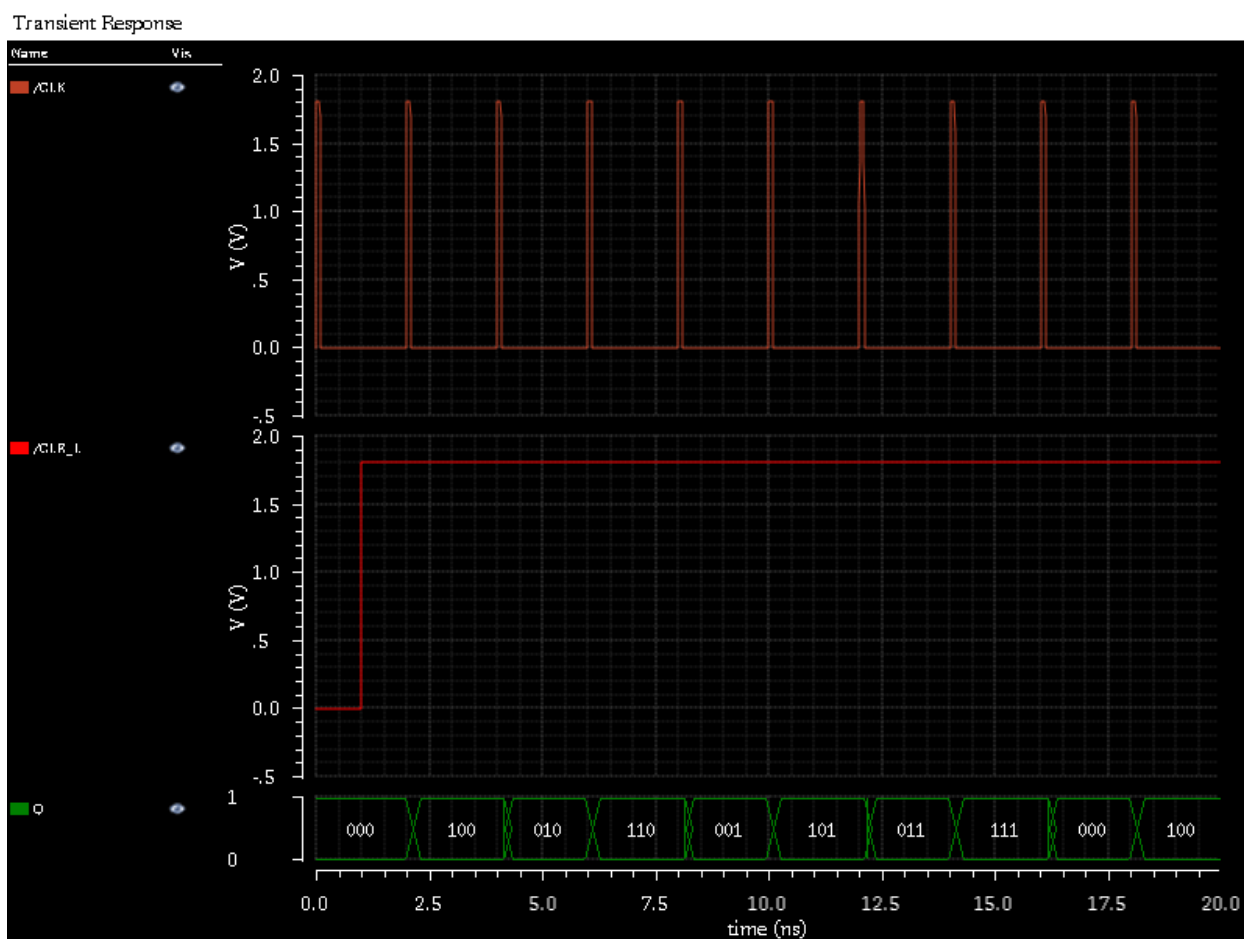
Slika 3.1. Schematic 3-bitnog brojača nacrtan u Virtuooso Schematic Editor-u



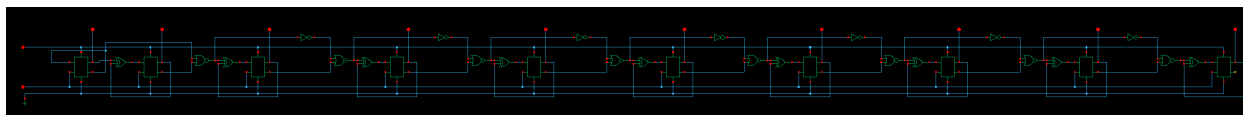
Slika 3.2. Dijagrami ulaznih i izlaznih signala 3-bitnog brojača (u digitalnom obliku) u trajanju od nekoliko perioda takta dobijeni funkcionalnom simulacijom



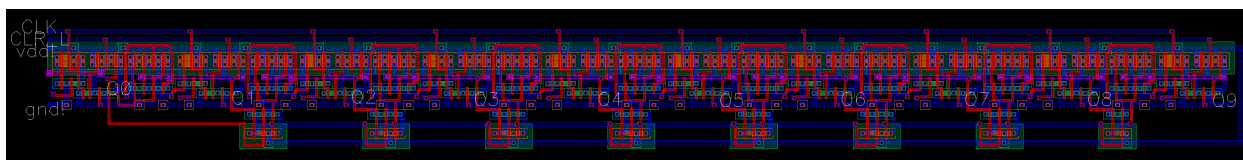
Slika 3.3. Layout 3-bitnog brojača izrađen u Virtuoso Layout Suite editoru



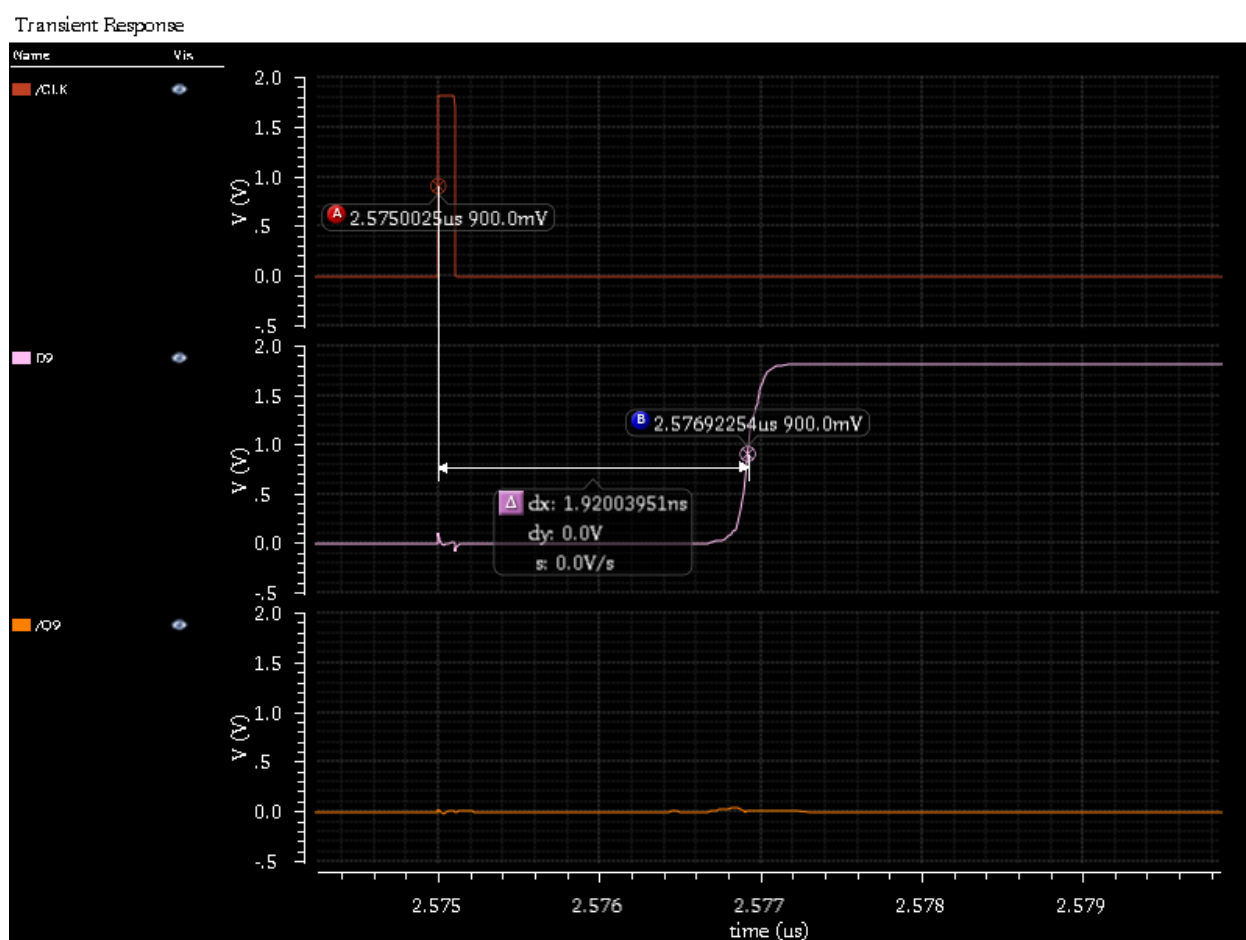
Slika 3.4 Dijagrami ulaznih i izlaznih signala 3-bitnog brojača (u digitalnom obliku) u trajanju od nekoliko perioda takta dobijeni post-layout simulacijom



Slika 3.5. Schematic 10-bitnog brojača nacrtan u Virtuoso Schematic Editor-u



Slika 3.6. Layout 10-bitnog brojača izrađen u Virtuoso Layout Suite editoru



Slika 3.7. Zumirano maksimalno kašnjenje po kritičnoj putanji 10-bitnog brojača (ulaz D flip-flopa najveće težine), post-layout

Zaključak:

Pri merenjima u zadatku projektovanja D flip-flopa, došlo se do zaključka da isprojektovani flip-flop ima nulto vreme postavljanja (setup time) i negativno vreme držanja (hold time). Negativno vreme držanja znači da ulazni signal može da se promeni neko vreme pre okidne ivice signala takta, a da stari logički nivo ulaznog signala bude zalečovan u flip flopu. Da smo izmerili negativno vreme postavljanja, to bi značilo da ulazni signal može da se promeni neko vreme posle okidne ivice signala takta, a da novi logički nivo ulaznog signala bude zalečovan u flip-flopu.

Što se tiče pravljenja lejauta za CRC-8 automat i brojače, pored toga što je vođeno računa o relativnoj kompatibilnosti sa ostalim komponentama, u ovoj i sledećoj fazi se prvi put javlja potreba za razmišljanjem o ukupnom zauzeću površine i dostupnosti svih ulaznih i izlaznih signala na globalnom nivou. Za globalne signale kao što su CLK, reset, gnd i vdd izvađene su linije u metalu 1 odozgo ili odozdo, što će kasnije omogućiti i preslikavanje jednih komponenti preko drugih (npr. preko CLK-a). U ovoj fazi se takođe i vidi i osnovna prednost dinamičkog D flip-flopa, osnovne gradivne jedinice viših komponenti, a to je mala površina. Međutim, najveći problem predstavlja 10-bitni brojač koji je najduža komponenta u projektu. Stoga se izgled finalnog lejauta svodi na pravougaonik, umesto na kvadrat u idealnom slučaju. Jedini način da se ovo izbegne bio bi da se razbije kontinuitet velikog brojača i podeli na dva posebna, povezana dela.

Kako kritična putanja za kašnjenje u celokupnom sistemu gotovo sigurno obuhvata kašnjenje ulaza D flip-flopa najveće težine u 10-bitnom brojaču, upravo ovaj 10-bitni brojač predstavlja najveće ograničenje po pitanju maksimalne frekvencije signala takta u sistemu (tzv. „klokovanje“).