

UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cyclic redundancy check (CRC)

***Faza 4: Projektovanje 8-bitnog pomeračkog registra,
8-ulaznog NOR kola i 10-ulaznog AND kola***

Rok za predaju:

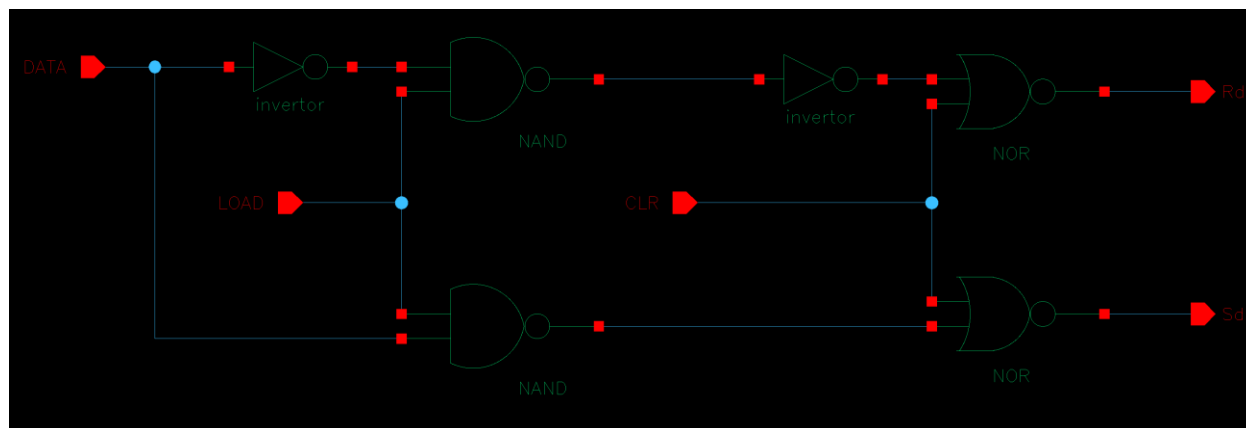
Projekat radili:

Ime	Prezime	broj indeksa
Dejan	Petković	77/2012
Predrag	Kuzmanović	49/2012

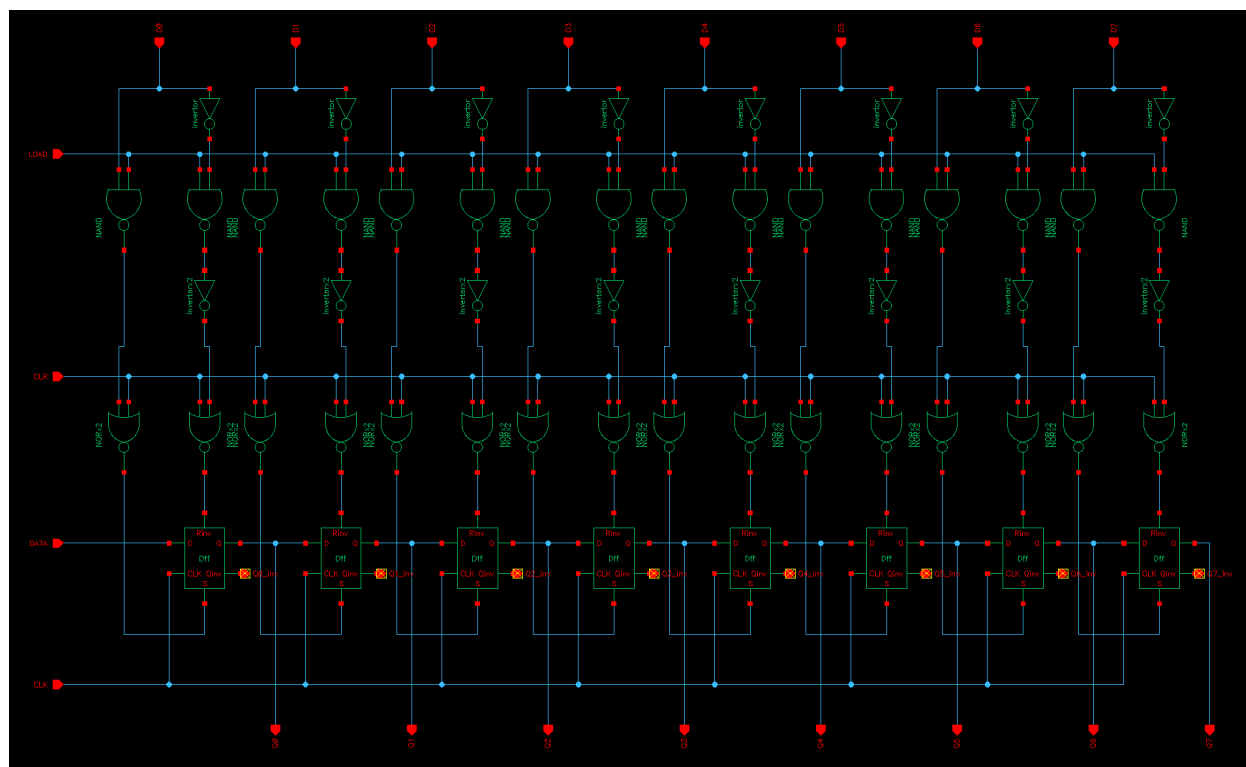
Izveštaj slati na e-mail: elmezeni@el.etf.rs, petrovicv@etf.rs

Staviti u cc i predmetnog profesora: jelena@etf.rs

Zadatak 1 - Projektovanje pomeračkog registra

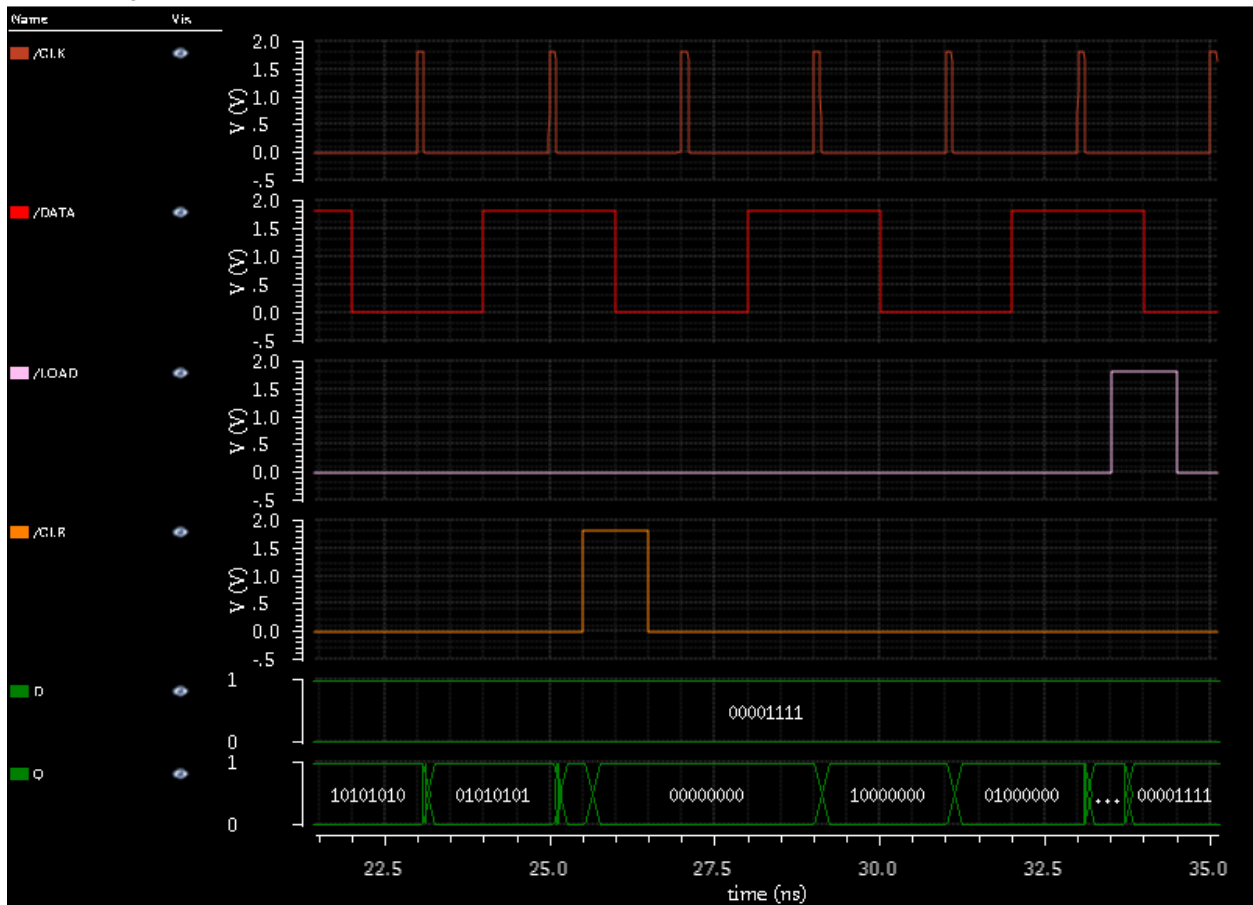


Slika 1.1. Schematic kombinacione mreže za set i reset i-tog bita u Virtuosio Schematic Editor-u

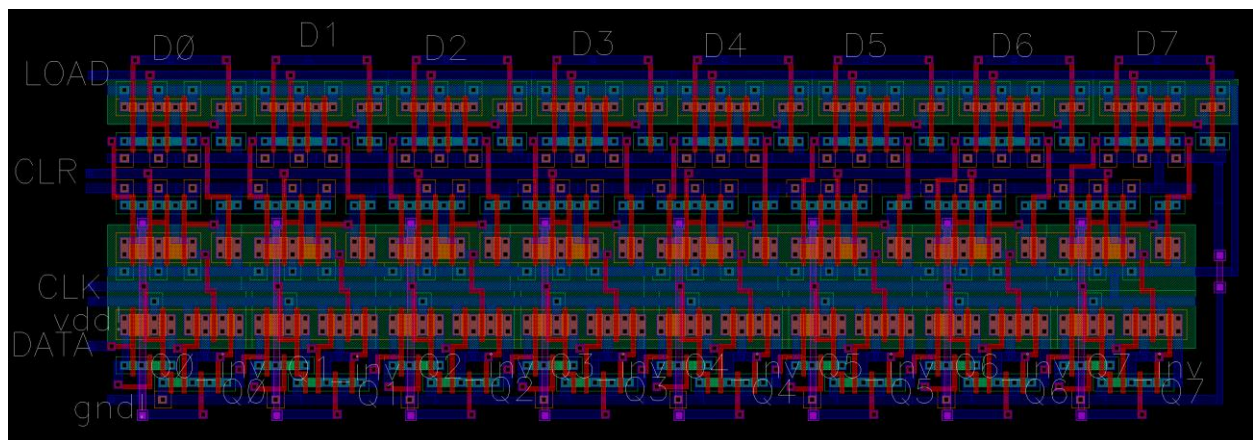


Slika 1.2. Schematic 8-bitnog pomeračkog registra nacrtan u Virtuosio Schematic Editor-u

Transient Response

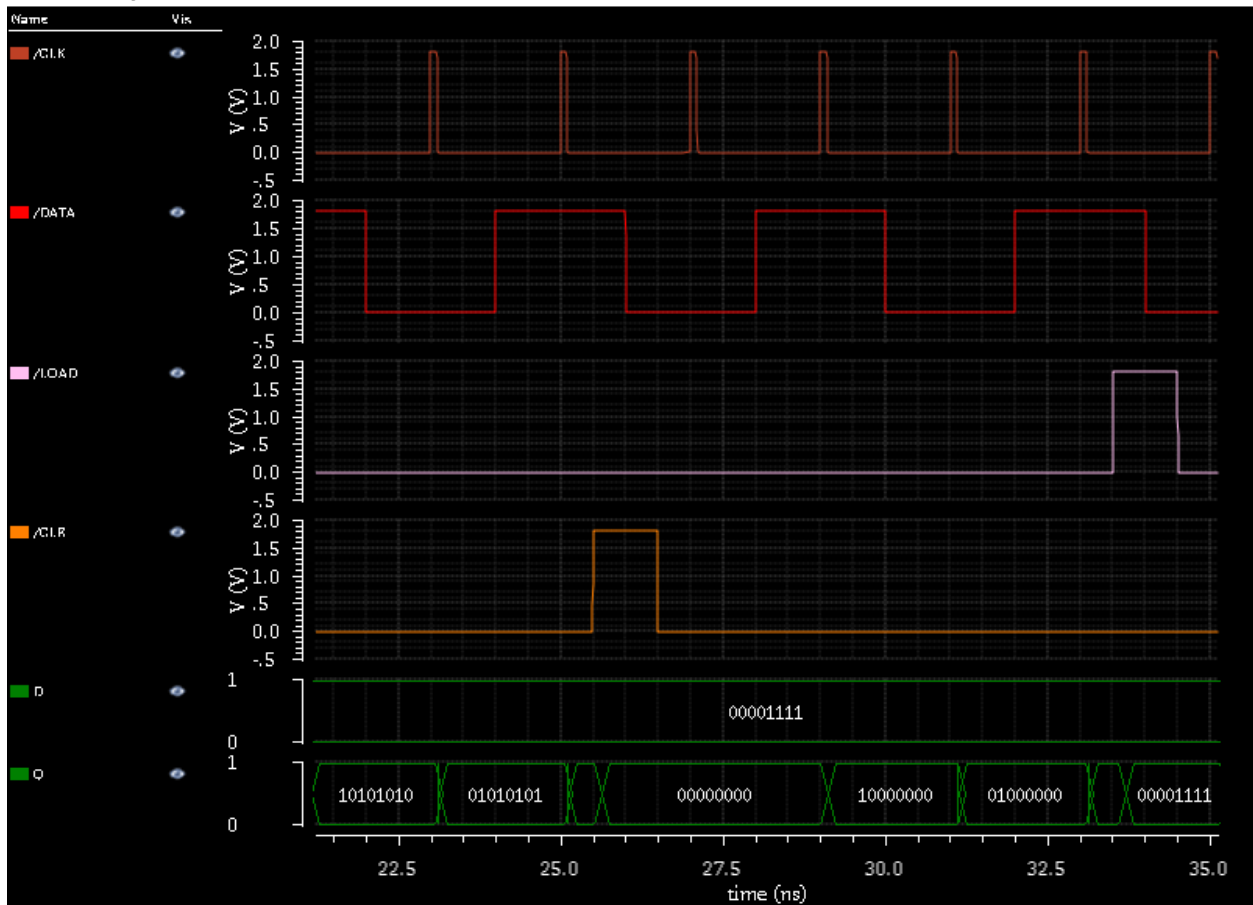


Slika 1.3. Dijagrami ulaznih i izlaznih signala 8-bitnog pomeračkog registra (u digitalnom obliku) u trajanju od nekoliko perioda takta dobijeni funkcionalnom simulacijom



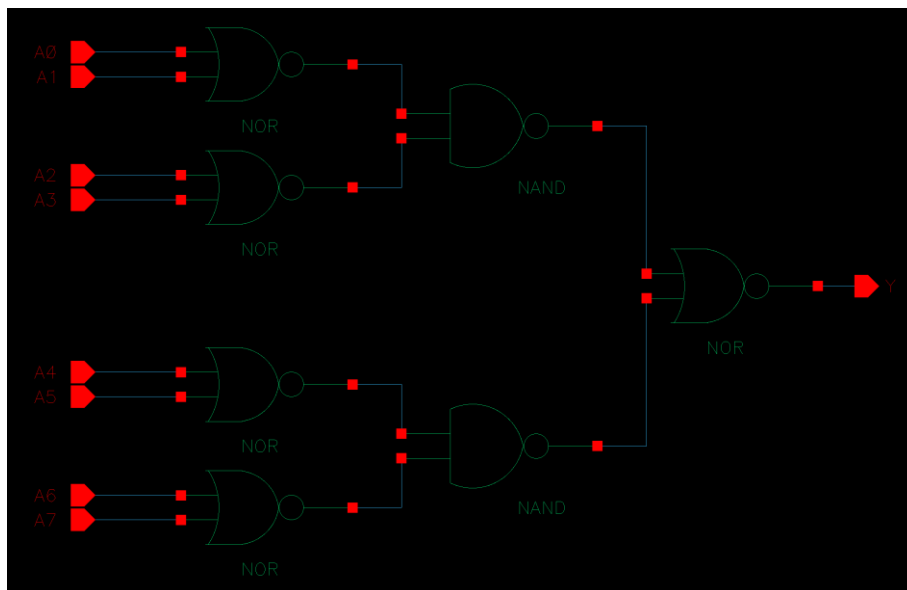
Slika 1.4. Layout 8-bitnog pomeračkog registra izrađen u Virtuoso Layout Suite editoru

Transient Response

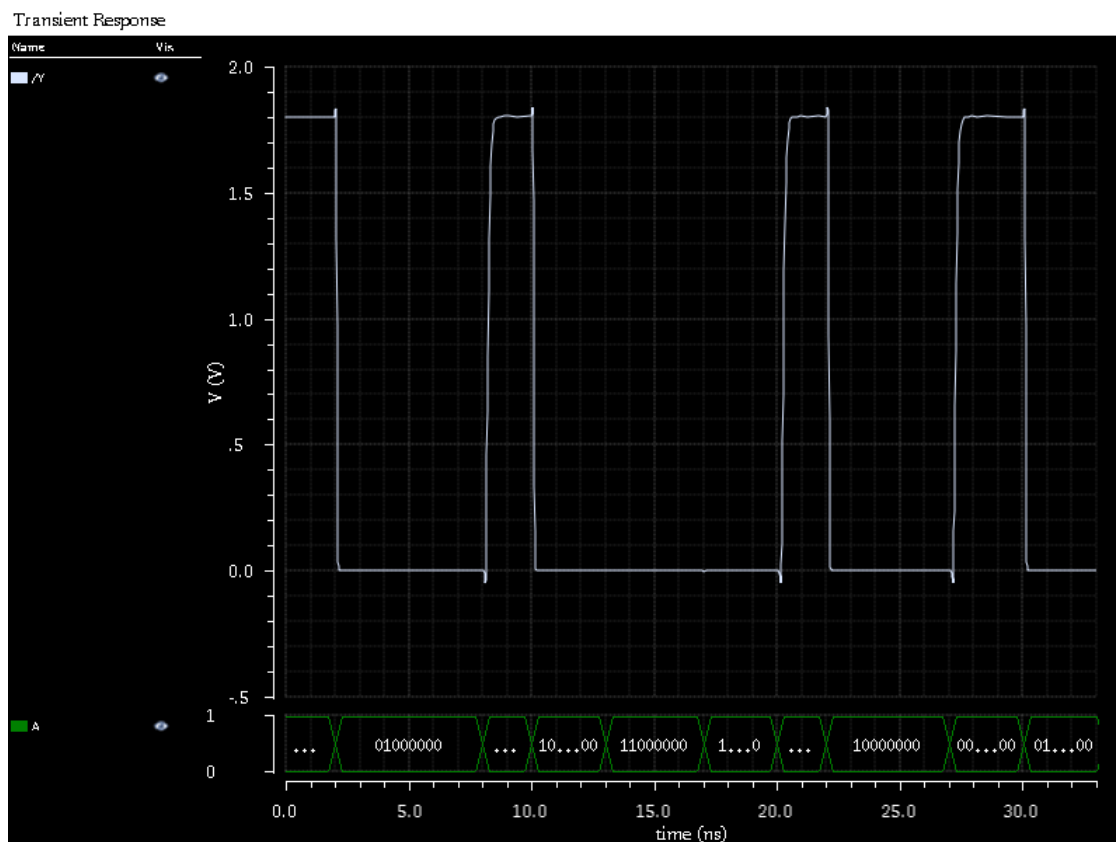


Slika 1.5. Dijagrami ulaznih i izlaznih signala 8-bitnog pomeračkog registra (u digitalnom obliku) u trajanju od nekoliko perioda takta dobijeni post-layout simulacijom

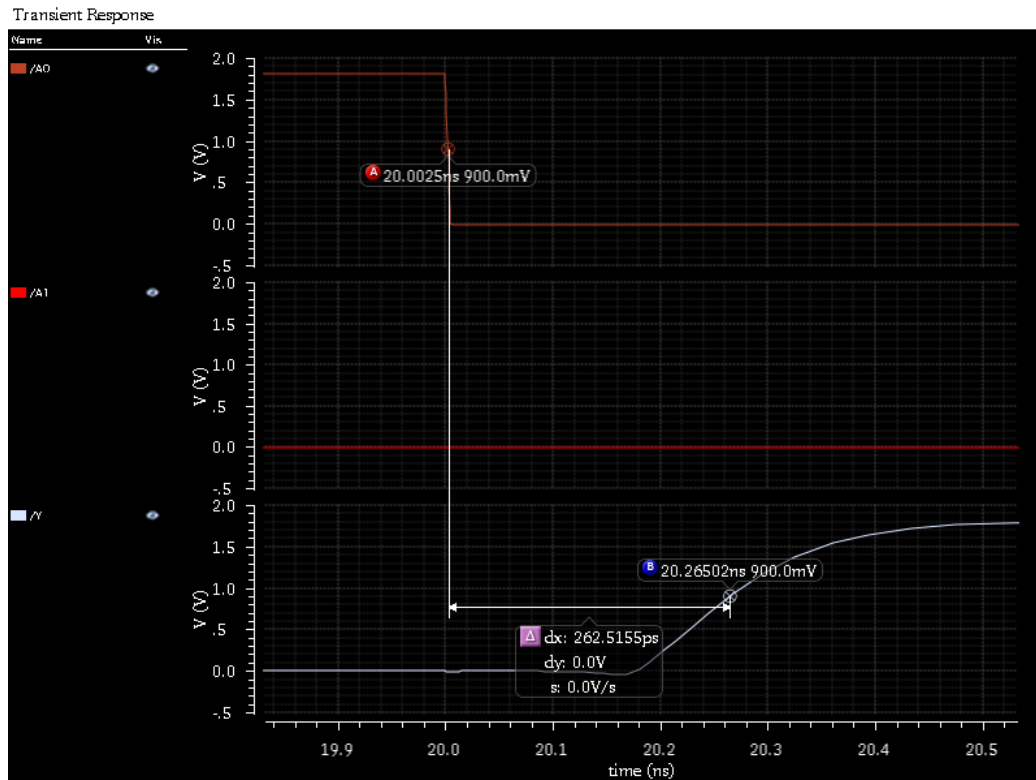
Zadatak 2 - Projektovanje 8-ulaznog NOR kola



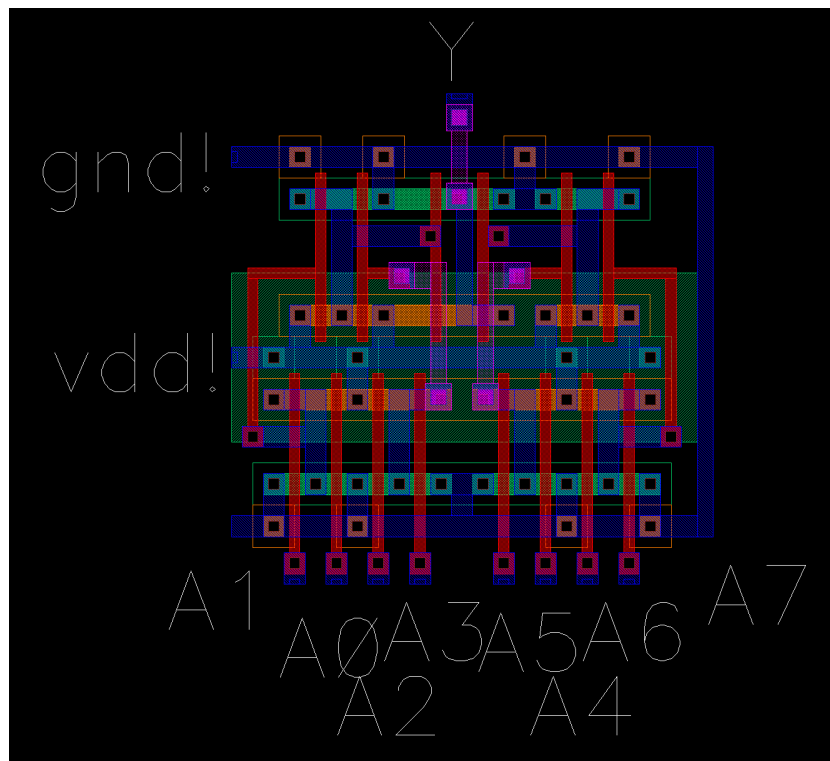
Slika 2.1. Schematic 8-ulaznog NOR kola u Virtuoso Schematic Editor-u



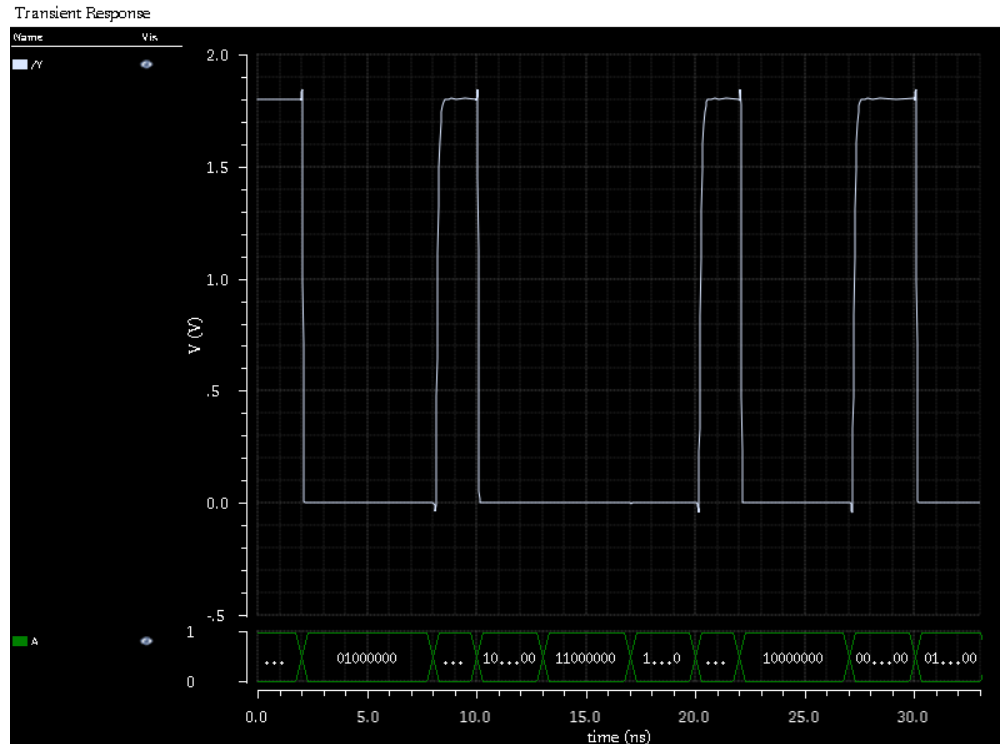
Slika 2.2. Dijagrami ulaznih i izlaznog signala 8-ulaznog NOR kola (u digitalnom obliku) dobijeni funkcionalnom simulacijom



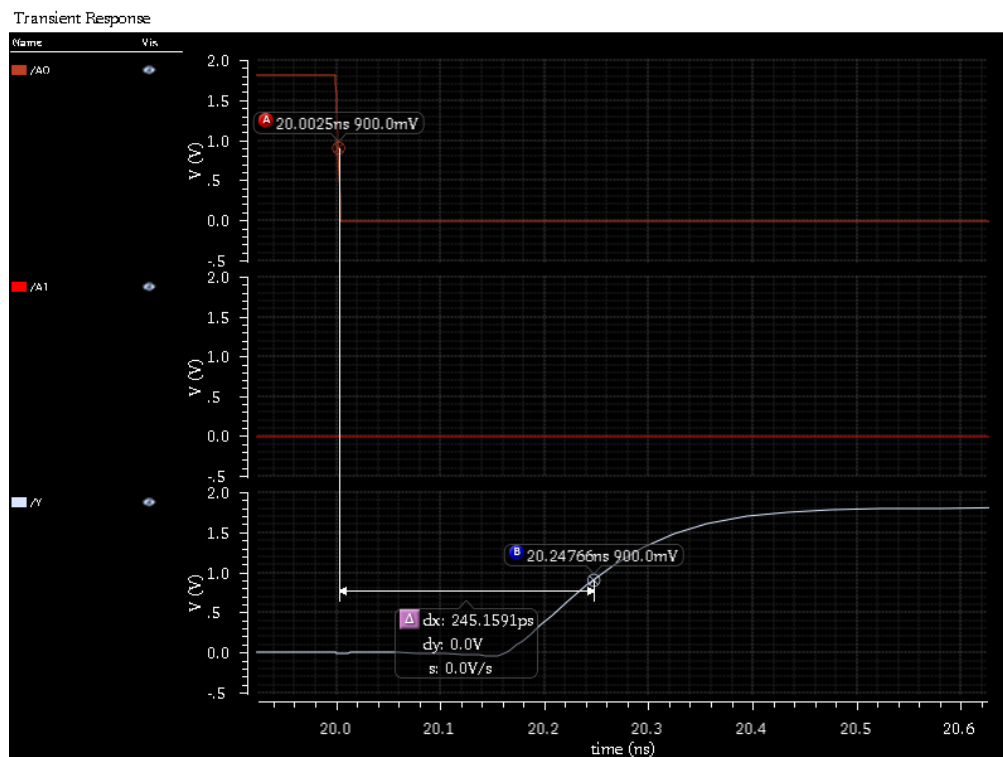
Slika 2.3. Zumiran kritični prelaz izlaza 8-ulaznog NOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen funkcionalnom simulacijom



Slika 2.4. Layout 8-ulaznog NOR kola izrađen u Virtuoso Layout Suite editoru

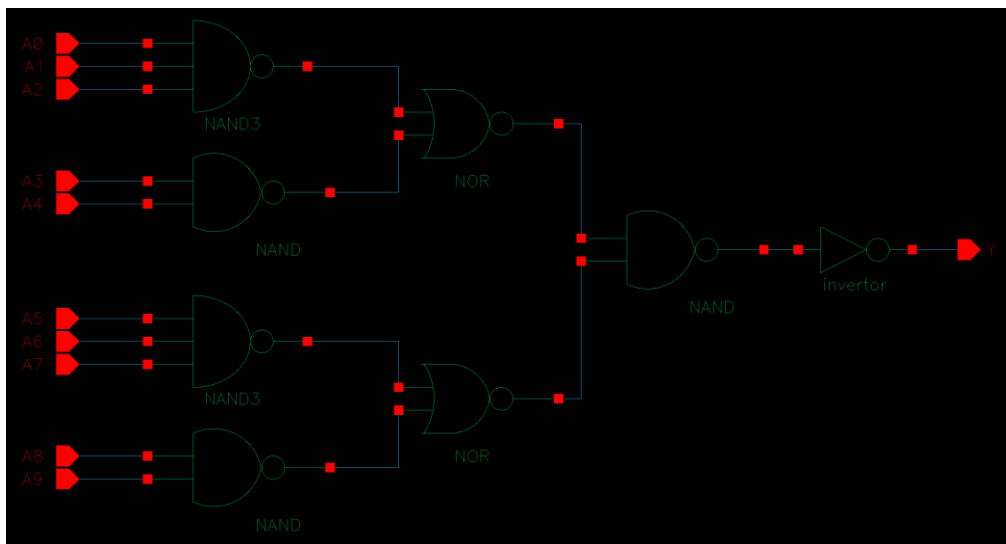


Slika 2.5. Dijagrami ulaznih i izlaznog signala 8-ulaznog NOR kola (u digitalnom obliku) dobijeni post-layout simulacijom

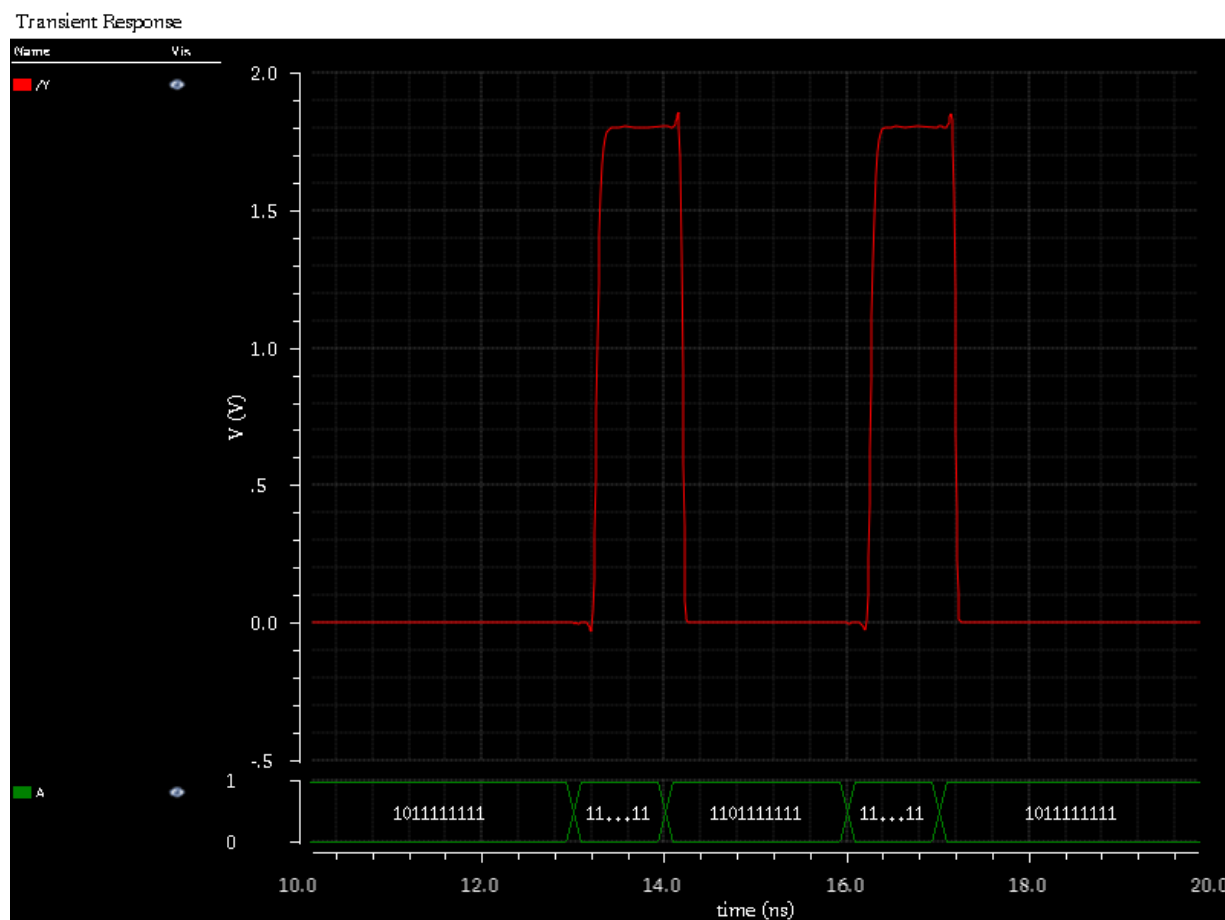


Slika 2.6. Zumiran kritični prelaz izlaza 8-ulaznog NOR kola (pri kojim se dobija maksimalno kašnjenje) dobijen post-layout simulacijom

Zadatak 3 - Projektovanje 10-ulaznog AND kola



Slika 3.1. Schematic 10-ulaznog AND kola u Virtuoso Schematic Editor-u



Slika 3.2. Dijagrami ulaznih i izlaznog signala 10-ulaznog AND kola (u digitalnom obliku) dobijeni funkcionalnom simulacijom

Zaključak:

Do kombinacione mreže za asinhroni set i reset i-tog bita u pomeračkom registru došlo se uz pretpostavku da su signali LOAD i CLR aktivni na visokom logičkom nivou, kao što je i preporučeno u zadatku. Kod realizacije pomeračkog registra su najbolje iskorišćene sve prednosti i lepote projektovanja lejauta u odnosu na šematik. To su: ogledanje ćelija oko mase i napajanja, spajanje delova kola od istog materijala na istom potencijalu, korišćenje polisilicijuma za prenos signala preko nekoliko linija metala 1, i korišćenje simetričnosti komponenti za uklapanje u pravougaoni oblik lejauta, i sve to na visokom nivou, dobro isplanirano. Naravno, ostavljen je prostor za izvlačenje izlaznih signala metalom 2.

Realizacija 8-ulaznog NOR kola dobijena je dekompozicijom problema na realizaciju NOR funkcije izlaza 2 4-ulazna OR kola. Daljim sprovođenjem dekompozicije i primenom De Morganovih zakona došlo se do realizacije sa slike 2.1. koja koristi samo 2-ulazna NOR i NAND kola. Lejaut sa slike 2.4 izrađen je po nivo po nivo, a primenjeno je i ogledanje ćelija oko linije napajanja. Zbog simetrije u realizaciji, merena su kašnjenja samo pri promenama ulaza A0 i A1.

Realizacija 10-ulaznog AND kola dobijena je dekompozicijom problema na realizaciju AND funkcije izlaza 2 5-ulazna AND kola. Daljim sprovođenjem dekompozicije i primenom De Morganovih zakona došlo se do realizacije sa slike 3.1. koja koristi 2-ulazna NOR i NAND kola, 3-ulazno NAND kolo i jedan invertor. Lejaut sa slike 3.4 izrađen je po nivo po nivo, a primenjeno je i ogledanje ćelija oko linije mase. Zbog simetrije u realizaciji, merena su kašnjenja samo pri promenama ulaza A0, A1, A2, A3 i A4.