

UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

Katedra za elektroniku

Predmet: Uvod u projektovanje integrisanih kola



Projekat: Cyclic redundancy check (CRC)

Faza 5: CRC sistem za detekciju grešaka u prenosu

Rok za predaju:

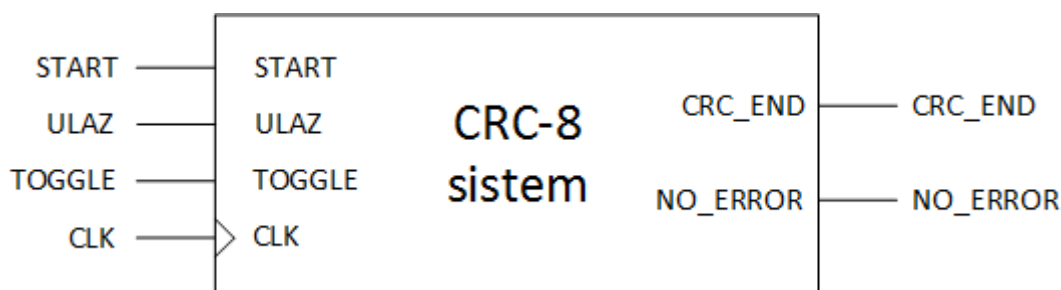
Izveštaj slati na e-mail: elmezeni@el.etf.rs, petrovicv@etf.rs

Staviti u cc i predmetnog profesora: jelena@etf.rs

5. Faza projekta

5.1. Interfejs sistema

Na slici 5.1.1. prikazan je interfejs celokupnog CRC sistema za detekciju grešaka u prenosu. U narednom poglavlju će, zbog složenosti sistema, biti izložen i predstavljen deo po deo ovog sistema. Potrebno je, pomoću komponenata isprojektovanih u prethodnim fazama, sastaviti ove delove sistema i sklopiti ih u jednu celinu.



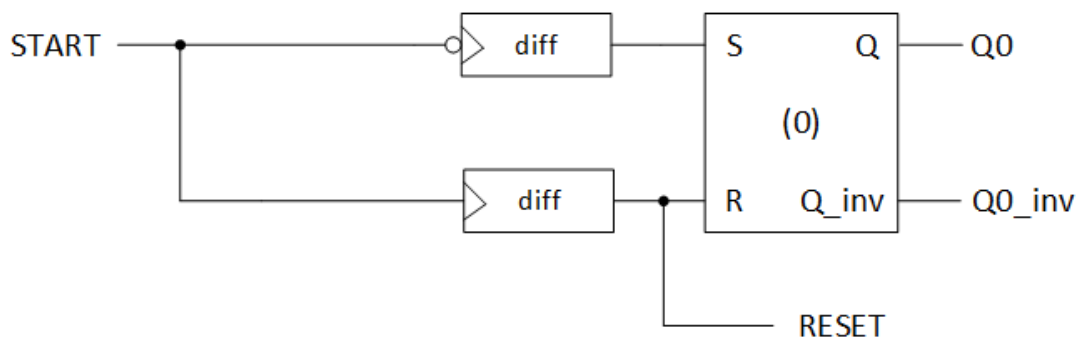
Slika 5.1.- Interfejs sistema

5.2. Realizacija sistema

Pozitivan impuls ulaznog signala START započinje jedan proces zaštite ulazne poruke dužine 1024 bita CRC kodom dužine 8 bita (CRC-8). Ulazna poruka stiže u sistem preko serijske magistrale ULAZ, a odabira (sempluje) se pomoću taktnog signala CLK. Ulazni signal TOGGLE služi za simuliranje grešaka u prenosu poruke, tako što se za vreme aktivne vrednosti tog signala invertuje bit poruke koji dolazi do prijemnika.

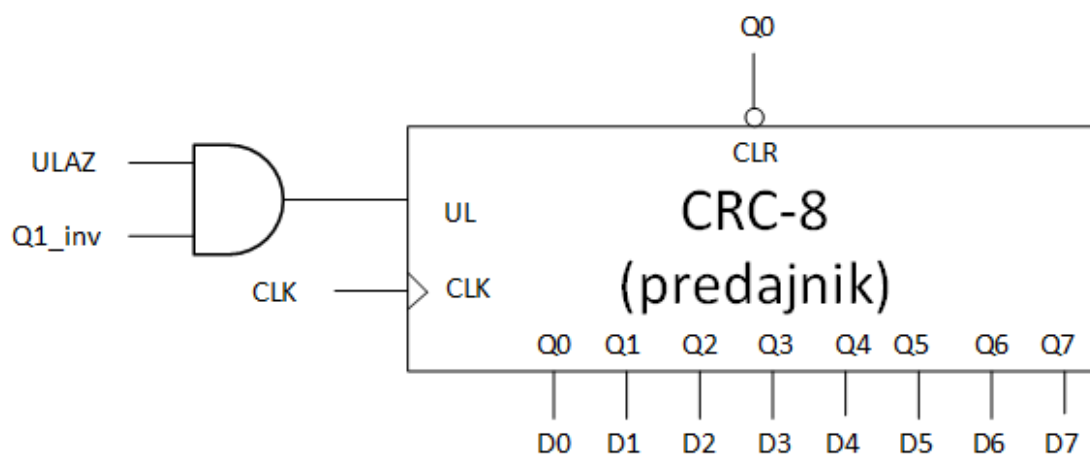
Intefejs izlaznih signala (interfejs prema korisniku) je sledeći: Nakon završetka provere ispravnosti poruke u prijemniku, aktivira se signal CRC_END, a zatim, nakon sledeće uzlazne ivice takta na izlazu NO_ERROR javlja se rezultat detekcije greške, koji ostaje na stabilnom logičkom nivou sve do sledeće pojave signala START (do početka procesa detekcije greške za sledeću poruku). Visok logički nivo signala NO_ERROR znači da nije došlo do greške u prenosu, a nizak logički nivo znači da se desila greška u prenosu. Ovaj signal se, u praktičnoj primeni, može iskoristiti tako što se, u slučaju greške, od pošiljaoca poruke zatraži ponovno slanje poruke.

Uzlazna ivica signala START započinje proces tako što se njome resetuju svi SR lečevi u sistemu (ima ih 4) i time dovode u stabilno početno stanje. SR lečevi se koriste da bi označili vremenske intervale koji odgovaraju određenim etapama u algoritmu.



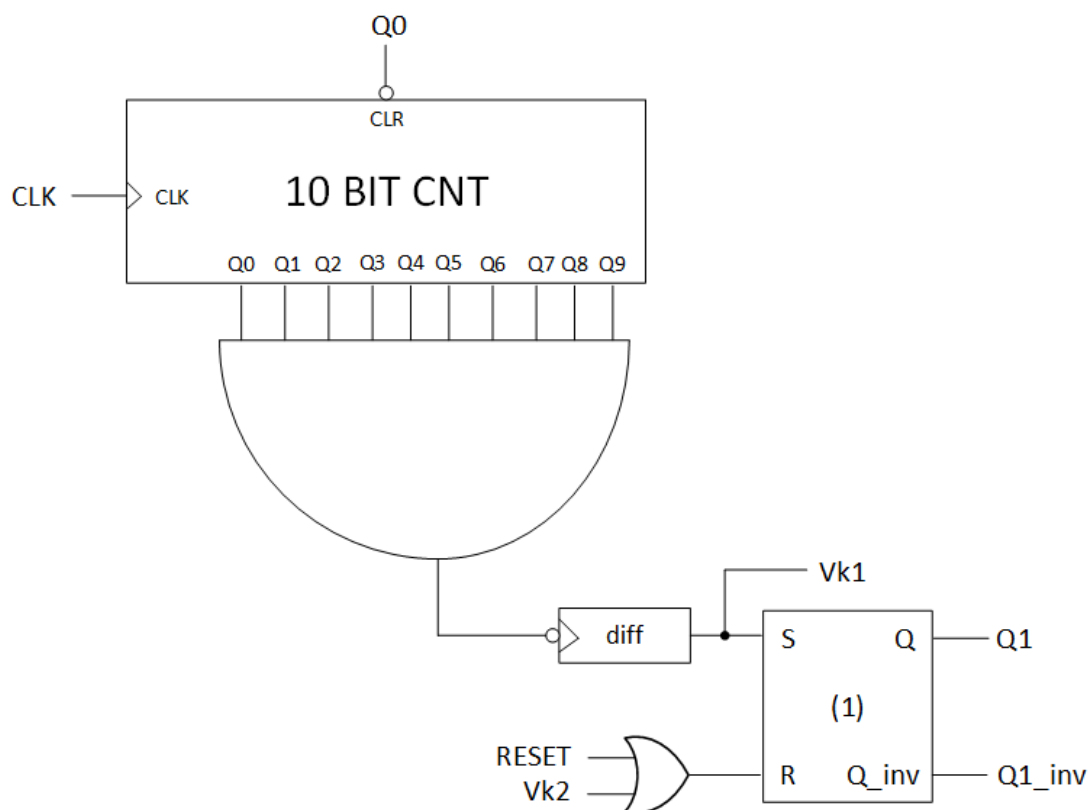
Slika 5.2.- Realizacija sistema, signal START.

Prva etapa algoritma počinje nakon silazne ivice signala START (po završetku pozitivnog impulse tog signala), kada se setuje nulti SR leč, odnosno signal Q0. Setovanjem Q0, predajni CRC-8 automat počinje da radi, pomerački registar počinje da šiftuje i šalje podatke prijemnom CRC-8 automatu, a 10-bitni brojač počinje da broji. Dakle, i predajni i prijemni automat procesiraju ulaznu poruku, s tim što prijemnik kasni 8 perioda takta za predajnikom zbog prolaska poruke kroz pomerački registar.

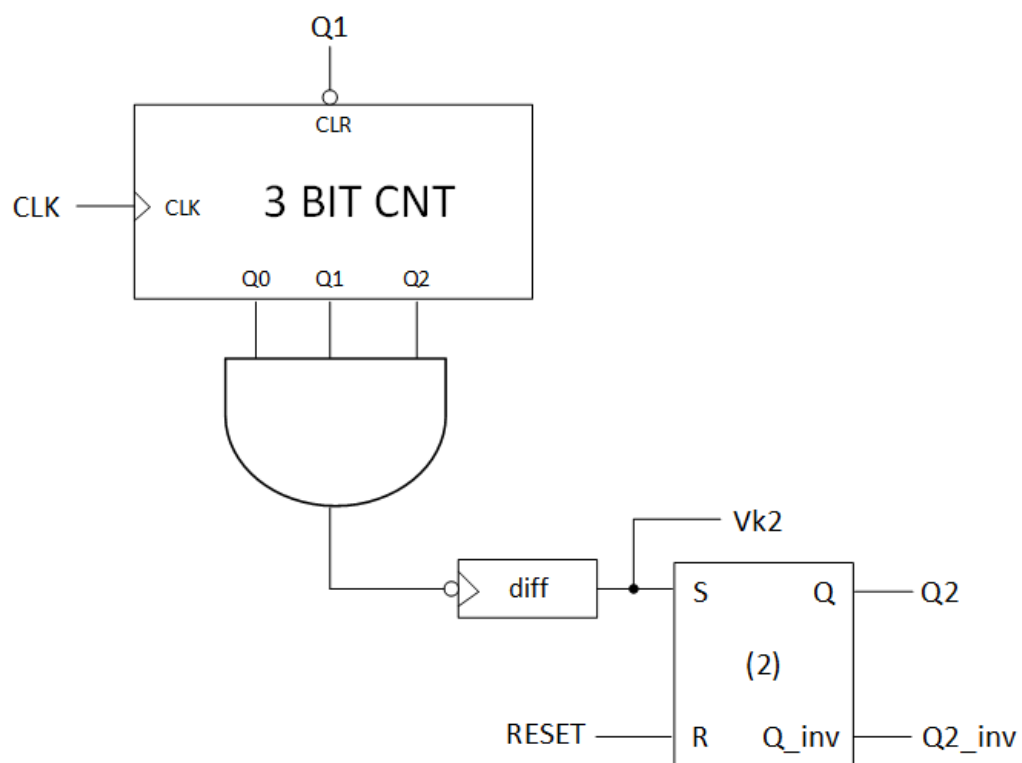


Slika 5.3.- Realizacija sistema, CRC-8 automat (predajnik).

Do sledeće etape u algoritmu dolazi se nakon što 10-bitni brojač odbroji 1024 takta (dužina ulazne poruke koju štitimo CRC-8 kodom), kada se setuje 1. SR leč, odnosno signal Q1. Za detekciju kraja odbrojavanja koristi se 10-ulazno AND kolo isprojektovano u ranijoj fazi projekta. Setovanjem Q1, prvi 3-bitni brojač počinje da broji, a na ulaz predajnog CRC-8 automata se u ovoj fazi prosleđuju nule. Na kraju ove etape, nakon što 3-bitni brojač odbroji 8 taktova, na izlazu predajnog CRC-8 automata nalazi se CRC-8 kod kojim treba zaštititi originalnu poruku.

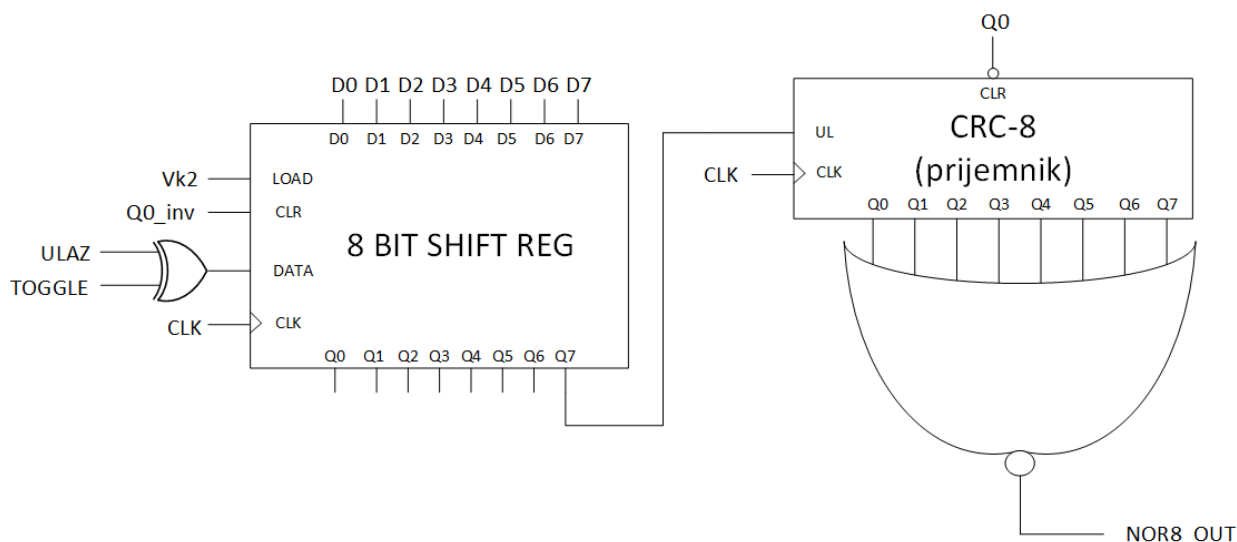


Slika 5.4.- Realizacija sistema, 10-bitni brojač.

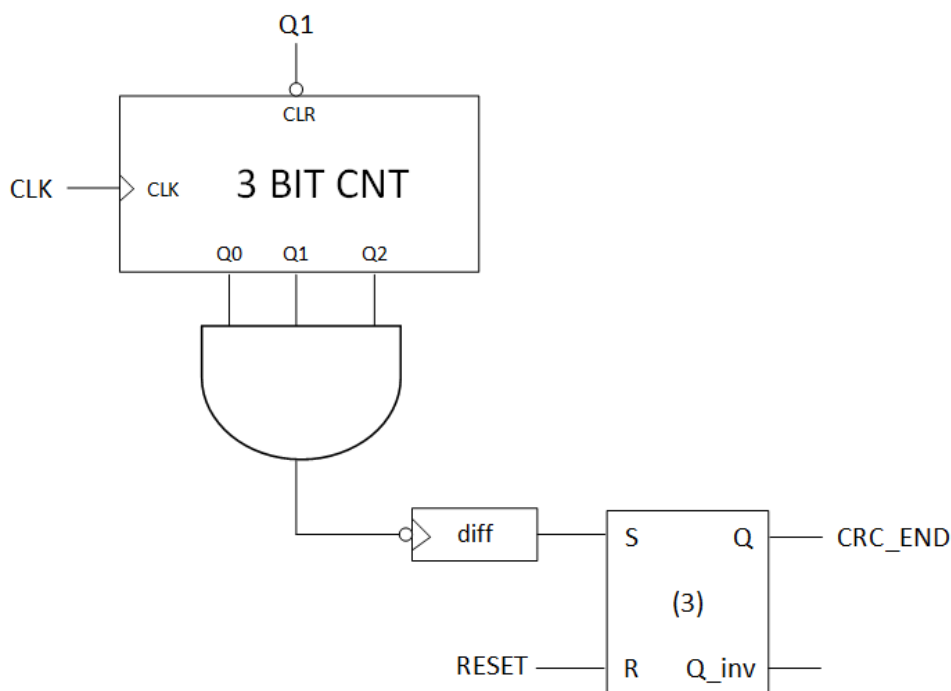


Slika 5.5.- Realizacija sistema, prvi 3-bitni brojač.

Naredna etapa počinje tako što se zaštitni CRC-8 kod tada paralelno upisuje u pomerački registar da bi propagirao kroz prijemni CRC-8 automat, a setuje se 2. SR leč, odnosno signal Q2. Tada počinje da broji drugi 3-bitni brojač. Dakle, i ova faza traje 8 perioda takta, kao i prethodna. Nakon što brojač odbroji 8 taktova dolazi do aktiviranja izlaznog signala CRC_END (setuje se 3. SR leč), a prijemni CRC-8 automat je završio sa procesiranjem. Ako su svi izlazni biti prijemnog automata jednaki nuli znači da nije došlo do greške u prenosu, u suprotnom desila se greška u prenosu. Zato se za generisanje signala NO_ERROR koristi isprojektovano 8-ulazno NOR kolo.

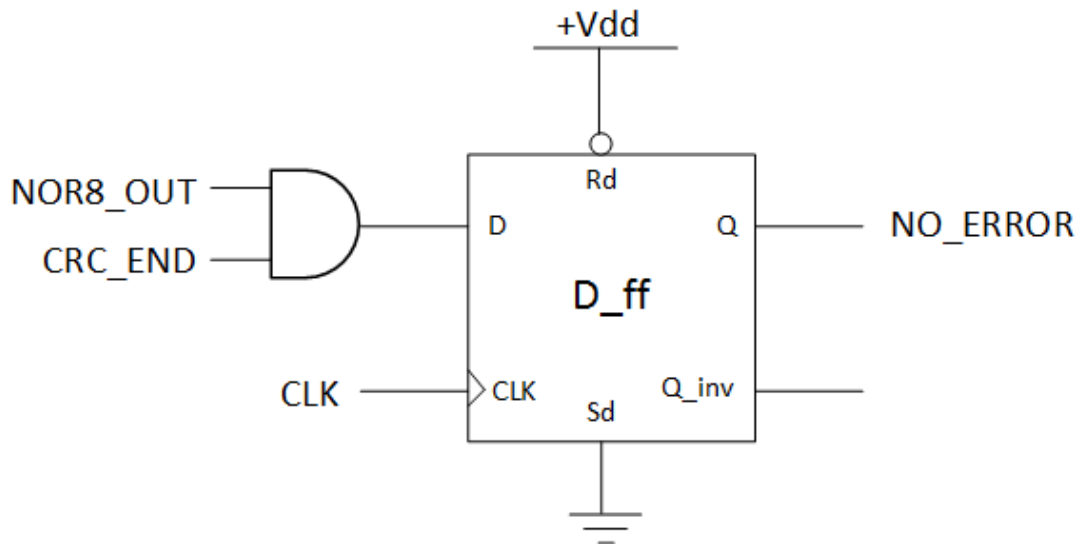


Slika 5.6.- Realizacija sistema, pomerački registar i CRC-8 automat (prijemnik).



Slika 5.7.- Realizacija sistema, drugi 3-bitni brojač..

Kada se aktivira signal CRC_END, potrebno je zalečovati izlaz ovog 8-ulaznog NOR kola i dobiti signal NO_ERROR. Međutim, zbog obično velikog kašnjenja kroz 8-ulazno kolo, signal CRC_END se aktivira nešto ranije nego što je potrebno da bi se zalečovala ispravna vrednost. Zbog toga je predloženo sledeće rešenje: Aktivna vrednost signala CRC_END propušta izlaz 8-ulaznog NOR kola na ulaz D flip-flopa, koji na prvu sledeću uzlaznu ivicu signala takta zelečuje ispravnu vrednost signala NO_ERROR.



Slika 5.8.- Realizacija sistema, predloženo rešenje problema velikog kašnjenja 8-ulaznog NOR kola

Voditi računa o tome da su gore opisane šeme samo logičke, i može se desiti da sistem ne radi ispravno kada se ove šeme direktno sprovedu u delo. Naime, problem može da nastane u granama povratne sprege, kada se povratni signali vezuju za pinove sa velikim kapacitivnim opterećenjima koje signali ne mogu da „savladaju“. U tom slučaju, potrebno je izvršiti baferisanje odgovarajućih linija dodavanjem parnog broja invertora. Na taj način, logička funkcija sistema ostaće ista, ali će se smanjiti kapacitivno opterećenje na datim linijama.

Kako u ovoj fazi nema projektovanja novih komponenata, akcenat je na što boljem uklapanju postojećih komponenti u finalni dizajn. Velika količina neiskorišćenog prostora povlači gubitak poena. Akcenat je takođe na što boljem testiranju i analizi projektovanog sistema. Potrebno je priložiti vremenske dijagrame koji potvrđuju da sistem uspešno vrši detekciju grešaka, i kada grešaka ima i kada ih nema. Na vremenskim dijagramima, pored signala iz interfejsa sistema, prikazati i signale izlaza Q SR lečeva. Zbog dugog trajanja celokupne simulacije, biće potrebno priložiti grafike samo onih delova simulacije kada se dešavaju prelazi između različitih etapa u algoritmu. U zaključku je potrebno prodiskutovati aspekte poput površine, minimalne periode taktnog signala da bi sistem korektno radio i eventualno još nekih specifičnosti uvedenih u projekat.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3fF), podešavanjem simulacionog fajla. Napon napajanja je 1.8V. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na 5ps.

Za prikaz višebitnih signala koristiti opcije *Analog to Digital* i *Make Bus* kao što je opisano u uputstvu za Cadence Virtuoso.

NAPOMENA: Fajlove za rešenje pete faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa_N_peta_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla.

U *subject*-u obavezno navesti: **OE3UPK peta faza Grupa N**

Vrlo je bitno da *subject* bude kao što je navedeno inače će *mail* biti isfiltriran!