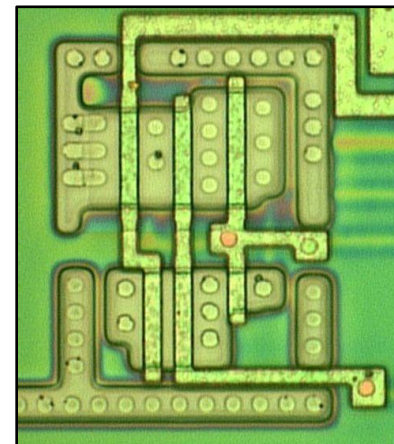


CMOS áramkörök



Statikus CMOS áramkörök jellemzői

Dinamikus CMOS áramkörök

Transzfer kapus logikák

Vezetékhálózat kialakítása

A CMOS alapkapuk főbb jellemzői

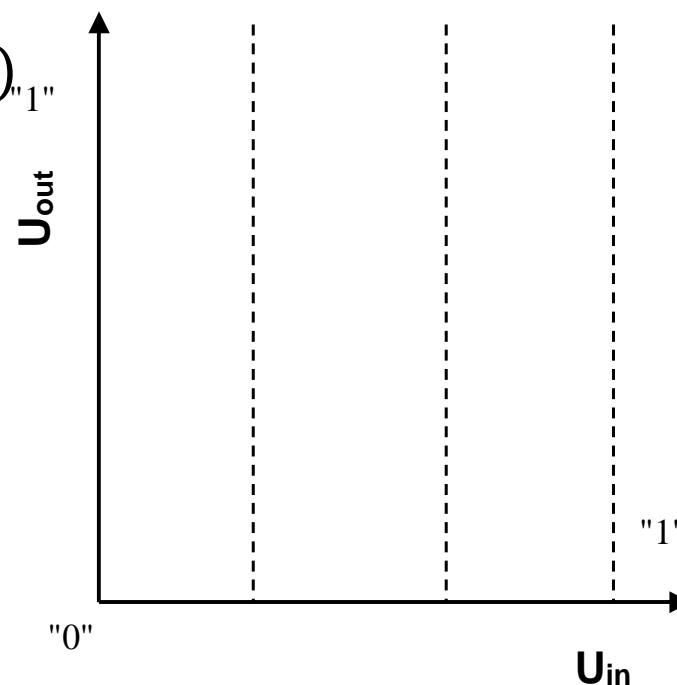
... az inverterek példáján keresztül

Inverterek jellemzése, alapfogalmak

- Transzfer karakterisztika:
 - kimeneti feszültség a bemeneti feszültség függvényében:

$$U_{out} = f(U_{in})_{"1"}$$

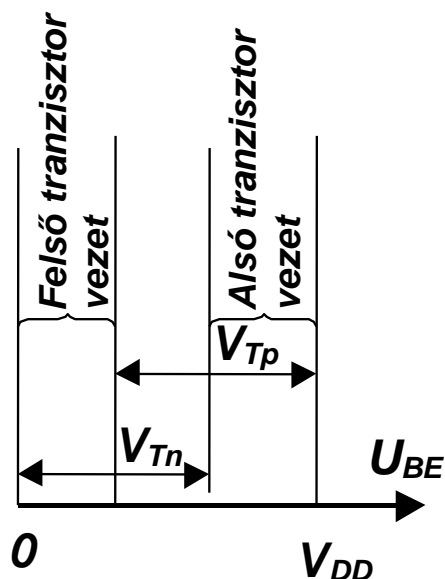
*A kimeneti jel a bemeneti jel
(logikai) invertáltja*



ideális és valós inverter
transzfer karakterisztikája

A CMOS inverter karakterisztikája I.

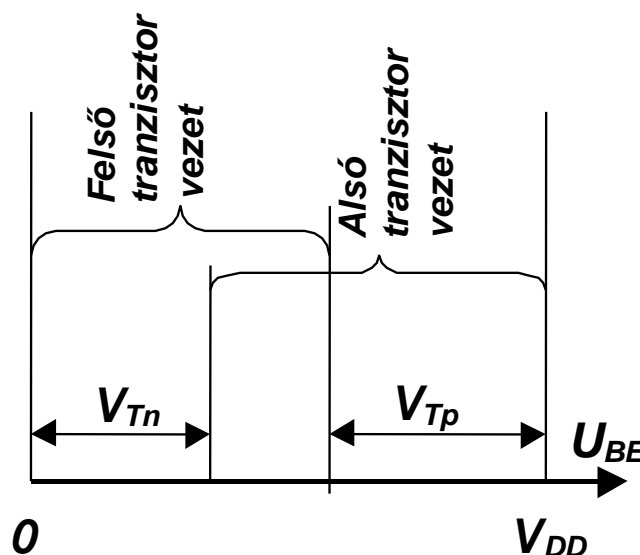
KÉT alapeset (**a tápfeszültségtől** és a tranzisztorok küszöbfeszültségétől (V_{Tn} -től és V_{Tp} -től) függően)



1. kis tápfeszültség:

$$V_{DD} < V_{Tn} + |V_{Tp}|$$

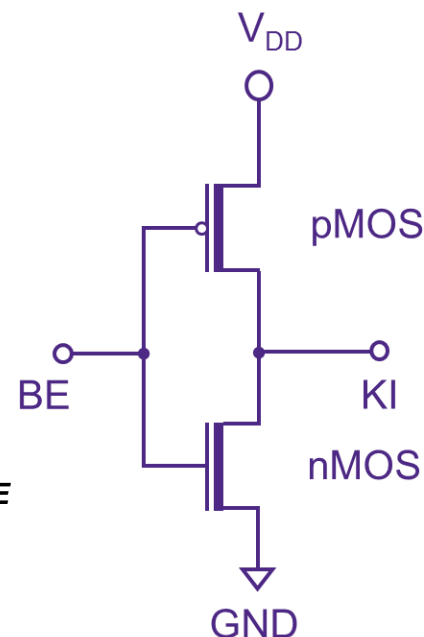
egyszerre csak az egyik tranzisztor vezet



2. nagyobb tápfeszültség:

$$V_{DD} > V_{Tn} + |V_{Tp}|$$

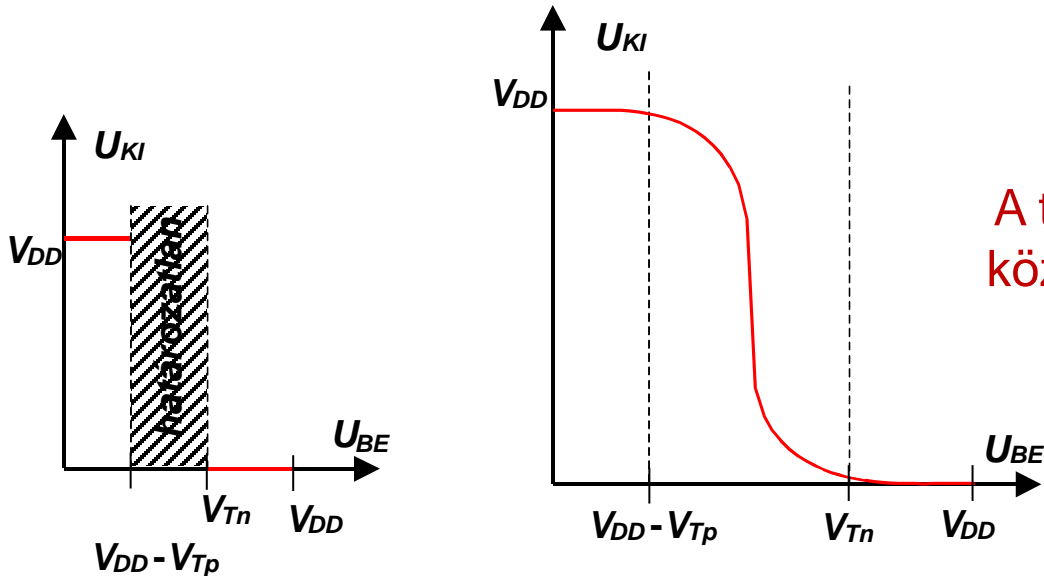
átkapcsoláskor egyszerre vezet mindkét tranzisztor



A CMOS inverter karakterisztikája II.

- Kis tápfeszültség: $V_{DD} < V_{Tn} + |V_{Tp}|$
($U_{BE} = U_{GS}$)

a karakterisztika:
$$U_{KI} = \begin{cases} 0 & \text{ha } U_{BE} > V_{DD} - |V_{Tp}| \\ \text{határozatlan} & \text{ha } V_{Tn} < U_{BE} < V_{DD} - |V_{Tp}| \\ V_{DD} & \text{ha } U_{BE} < V_{Tn} \end{cases}$$



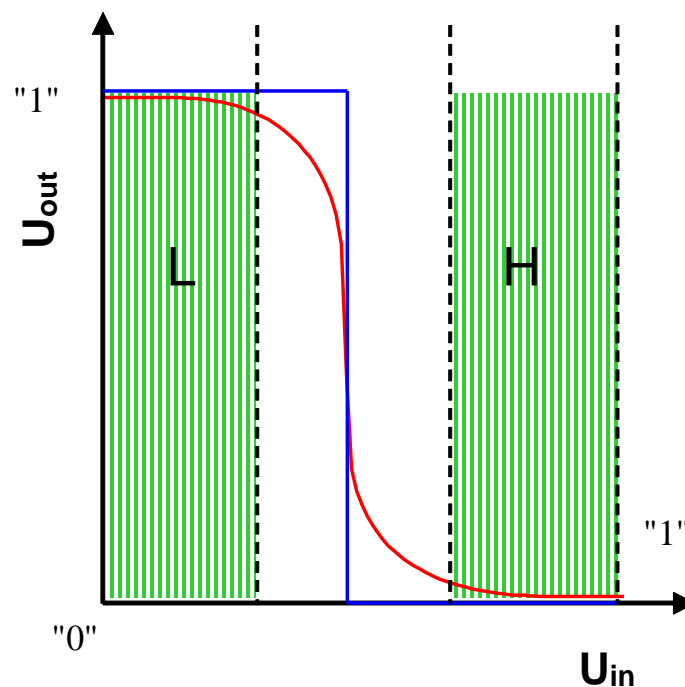
A transzfer karakterisztika középső szakasza nagyon meredek!

Inverterek jellemzése, alapfogalmak

■ Zavarvédetség:

- Széles U_{in} tartományhoz azonos U_{out} érték tartozik
- A karakterisztika 3 szakaszból áll.
- A két **szélső** szakasz laposan fut, azaz a bemeneten lévő feszültségváltozások csak nagyon kis változást okoznak a kimeneten

L és H tartományok

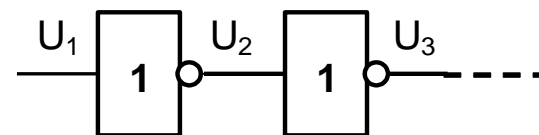


ideális és valós inverter
transzfer karakterisztikája

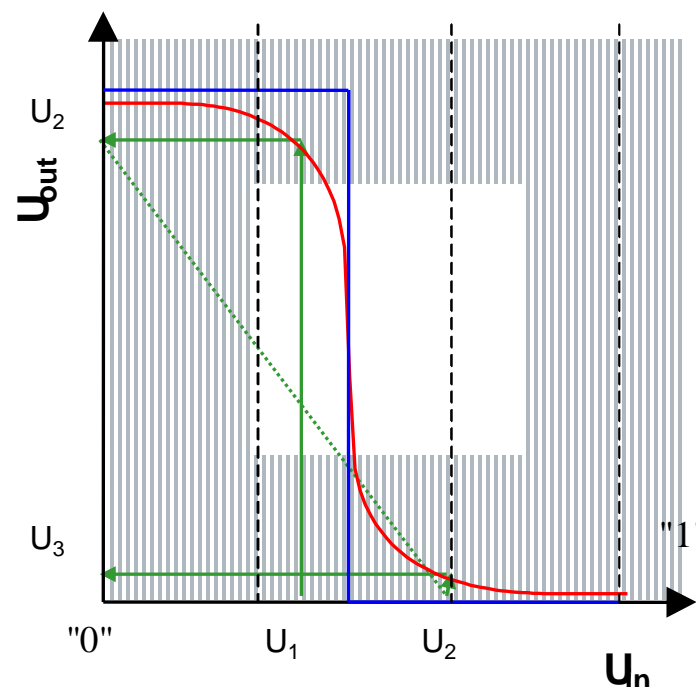
Inverterek jellemzése, alapfogalmak

■ Jel regeneráló képesség

- a középső szakasz meredekségétől függ



1. U_1 egy "rossz" logikai 0 jel.
2. Az első kapu kimenete U_2 már közelebb áll az elfogadható logikai 1 szinthez.
3. A második kapu kimenete, U_3 már "jó" logikai 0 szint

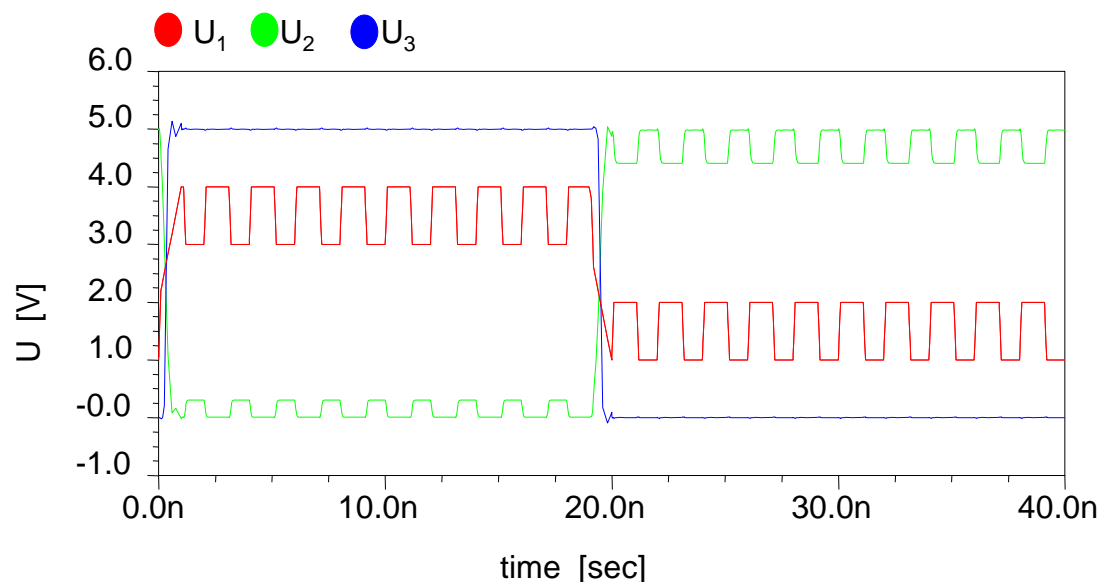
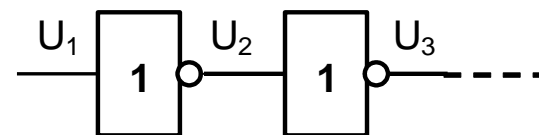


ideális és valós inverter
transzfer karakterisztikája

Inverterek jellemzése, alapfogalmak

- Jel regeneráló képesség
 - Alapjel + rálapolódott nagyfrekvenciás zavar

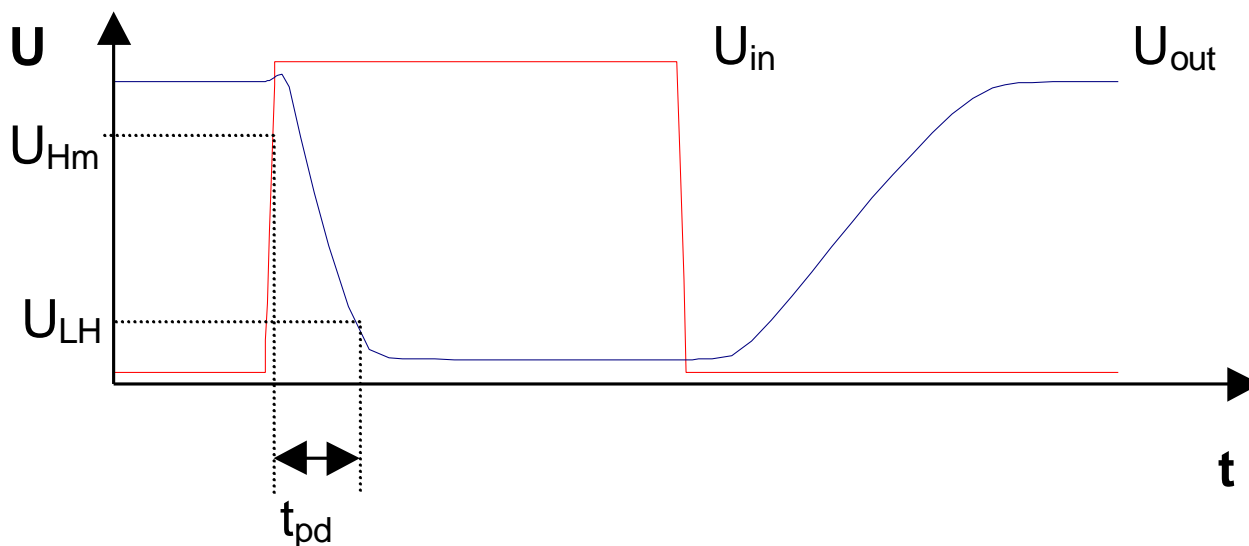
$$U_L = 0V, U_H = 5V$$



U_3 -nak láthatóan a szintje is és a jelalakja is regenerálódott!

Inverterek jellemzése, alapfogalmak

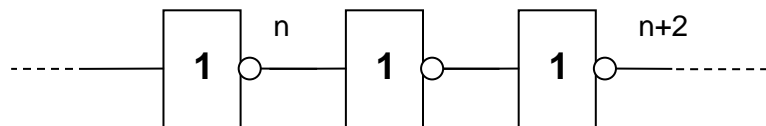
- Jelterjedési idő (*propagation delay*) – kapukésleltetés (*gate delay*)



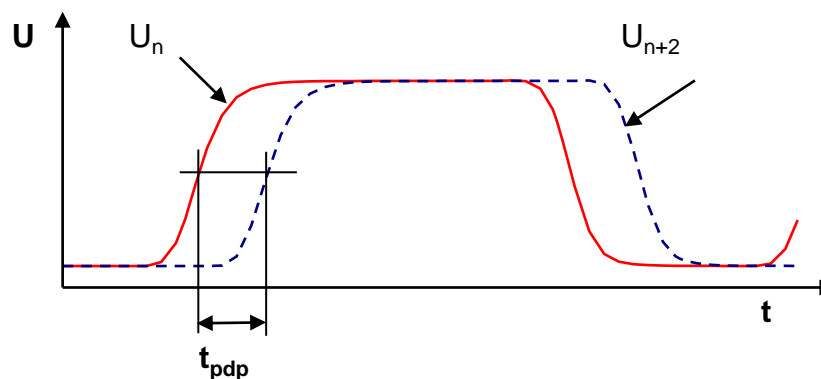
t_{pd} nehezen definiálható, ráadásul a fel és lefutáshoz tartozó késleltetés különböző lehet (pl. *nMOS inverterek esetén*)

Inverterek jellemzése, alapfogalmak

■ Párkésleltetési idő

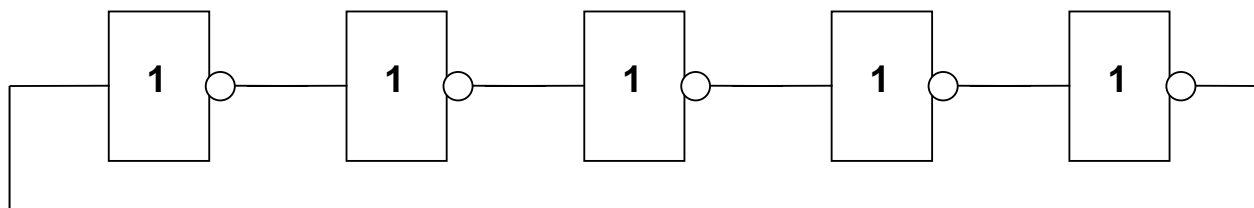


- Tegyük fel, hogy a jel egy hosszú, egyforma inverterekből álló láncon terjed. Elegendően sok inverter után a jelformát csak az inverterek belső tulajdonságai határozzák meg.
- A jel 2 inverter után megegyezik, a késleltetés pedig t_{pdp}



Inverterek jellemzése, alapfogalmak

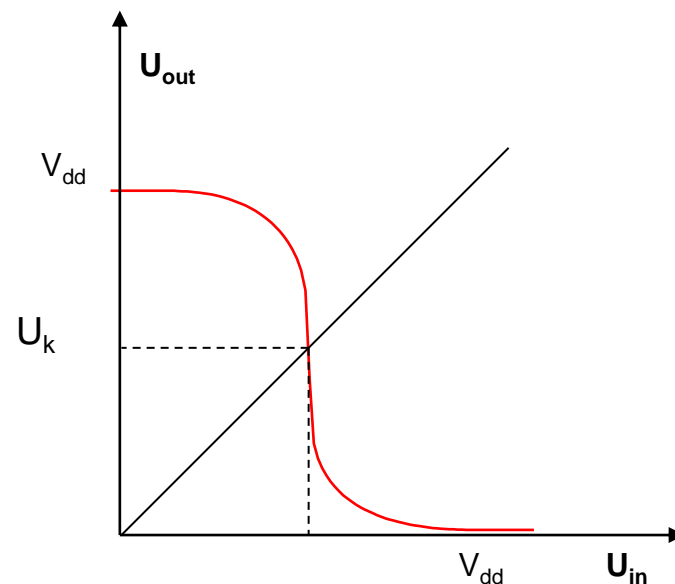
- Párkésleltetési idő mérése
- **Ring oszcillátor** (gyűrűs rezgőkör / rezgéskeltő)
 - Páratlan számú inverter láncba kapcsolva, nincs stabil állapota, oszcillál.
 - $T = n \cdot t_{pdp}$



Inverterek jellemzése, alapfogalmak

■ Komparálási feszültség

- Az a határ, ami alatt 0 szintté és ami felett logikai 1 szintté regenerálja az inverterlánc a jelet.
- Az $U_{in}=U_{out}$ egyenes és a karakterisztika metszéspontja



CMOS inverter

■ Méretezés szimmetrikus működésre

Ha $U_{BE}=U_K$ komparálási feszültség, a két tranzisztor árama megegyezik:

$$K_n (U_K - V_{Tn})^2 = K_p (V_{DD} - U_K - |V_{Tp}|)^2$$

$$U_{GSn}=U_K$$

$$U_{GSp}=V_{DD}-U_K$$



$$K_x = \left(\frac{W}{L} \right)_x \frac{\mu_x C_{ox}}{2}$$

$$U_K = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{K_n / K_p}}{1 + \sqrt{K_n / K_p}}$$

A komparálási feszültség a két tranzisztor áramállandójának az arányától függ. Ha a komparálási feszültséget a tápfeszültség felére szeretnék beállítani, és $V_{Tn}=|V_{Tp}|$, akkor $K_n=K_p$ -t kell beállítani!

$$\left(\frac{W}{L} \right)_p = 2..2.5 \times \left(\frac{W}{L} \right)_n \text{ mivel a lyukak mozgékonyága kb. 2 ... 2.5x kisebb}$$

A komparálási feszültség a W/L arányokkal változtatható

Inverterek jellemzése, alapfogalmak

■ Logikai szinttartományok

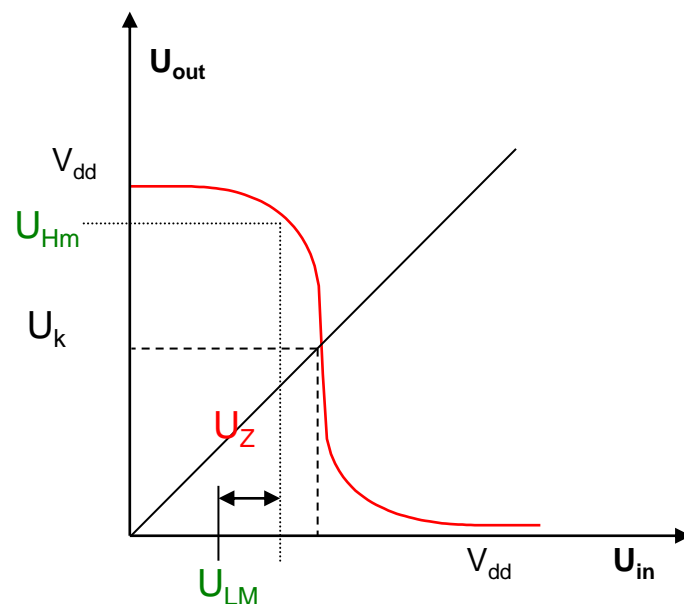
- A logikai 0 és 1 szint azon feszültségtartománya, **amin belül - adott zavarszintek mellett - az áramkör biztonságosan működik.**

PÉLDA: 74HC00,

$$V_{dd}=3V,$$

$$U_{LM}=0.9V$$

$$U_{Hm}=2.1V$$



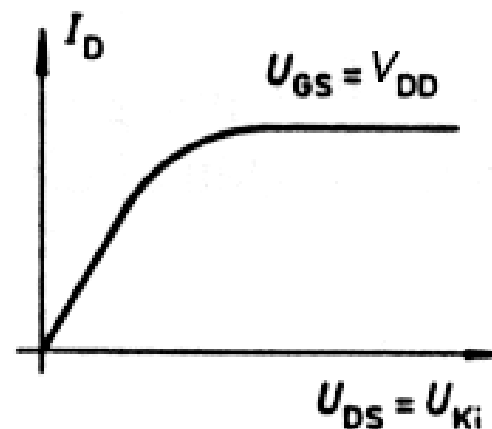
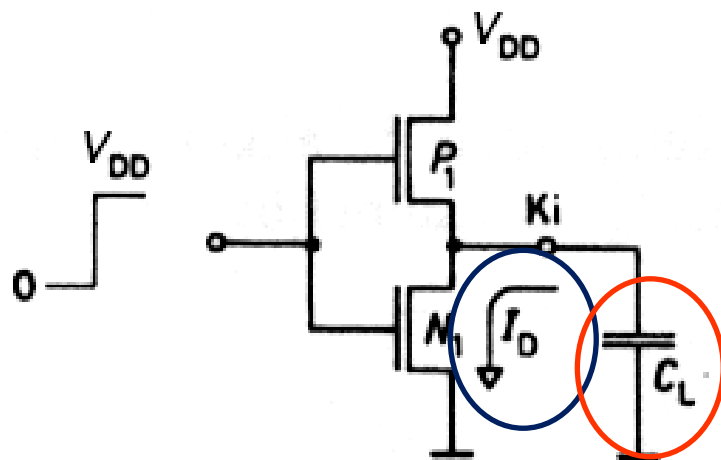
Kritikus feszültségek:

U_{LM} , a logikai 0 szint maximuma

U_{Hm} , a logikai 1 szint minimuma

A CMOS inverter – dinamikus viselkedése

- Kapcsolási idők számítása
 - Mitől függenek?
 - a kimenet árammeghajtó képességétől
 - a kimenetet terhelő kapacitástól

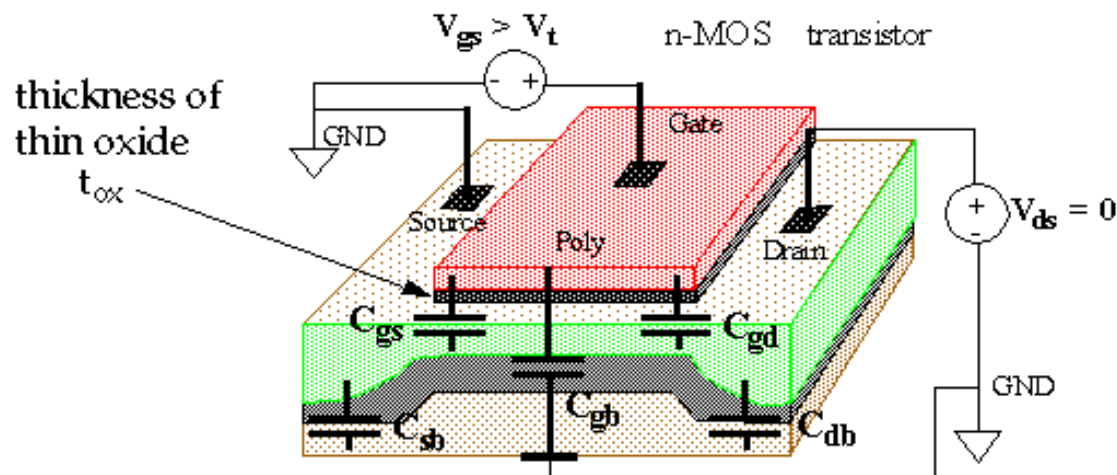
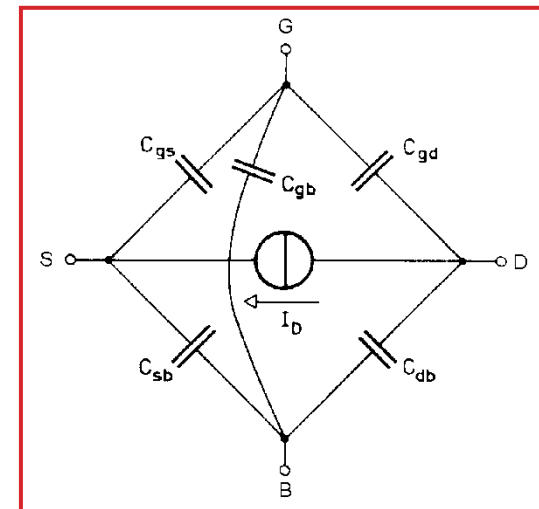


- Ha a két tranzisztor pontosan komplementer karakterisztikájú, a kapcsolási idők (fel- és lefutás) is egyformák lesznek ($K_n = K_p$ és $V_{Th} = |V_{Tp}|$)

MOS tranzisztor kapacitásai

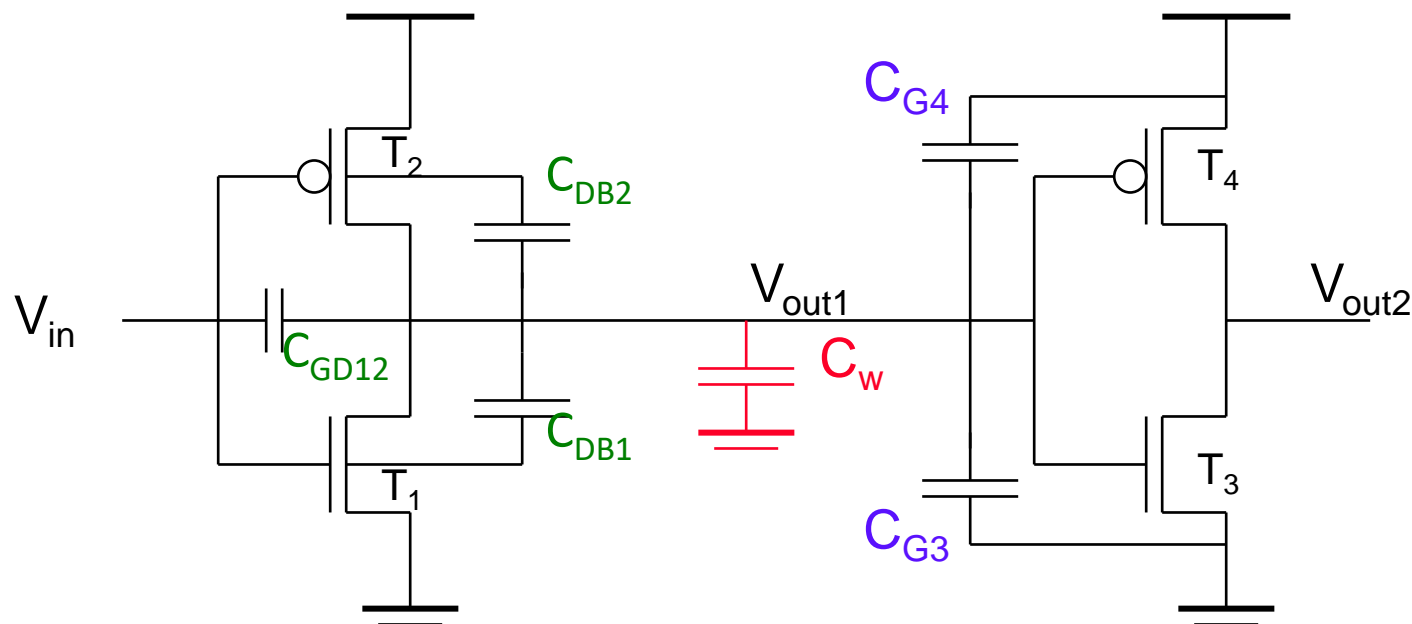
■ A belső kapacitások

- S-G G-D átlapolási kapacitások
- a csatorna kapacitása
- a pn átmenetek kapacitásai



CMOS áramkörök parazita és szórt kapacitásai

- Meghajtó fokozat tranzisztorainak belső kapacitásai
- Következő fokozat tranzisztorainak bemeneti kapacitásai
- Vezetékezés kapacitása



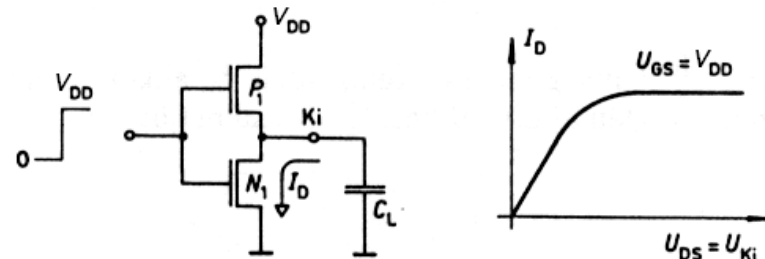
- intrinsic MOS transistor capacitances
- wiring (interconnect) capacitance
- extrinsic MOS transistor (fanout) capacitances

A CMOS inverter – dinamikus viselkedése

■ Kapcsolási idők számítása

- azonos kapcsolási idők, integrálás a kapacitás szélső feszültség értékeire:

$$t_l = \int_{V_{DD}}^{V_{LM}} \frac{C_L}{I_D} dU$$



- Ha

$$I_D \approx K(V_{DD} - V_T)^2$$

V_{LM} – a terhelő kapacitás
minimális feszültsége

akkor

$$t_l = \frac{C_L (V_{DD} - V_{LM})}{K (V_{DD} - V_T)^2}$$

**Csökkenthető a
tápfeszültség vagy
W/L növelésével !**

A CMOS inverter fogyasztása

- **Statikus fogyasztás nincs**, mert nincs statikus áram
- Átkapcsoláskor van **dinamikus fogyasztás**, amely 2 részből áll:
 - **Egymásba vezetés:**
 - A bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet (főleg nagy V_{DD} estén), ha

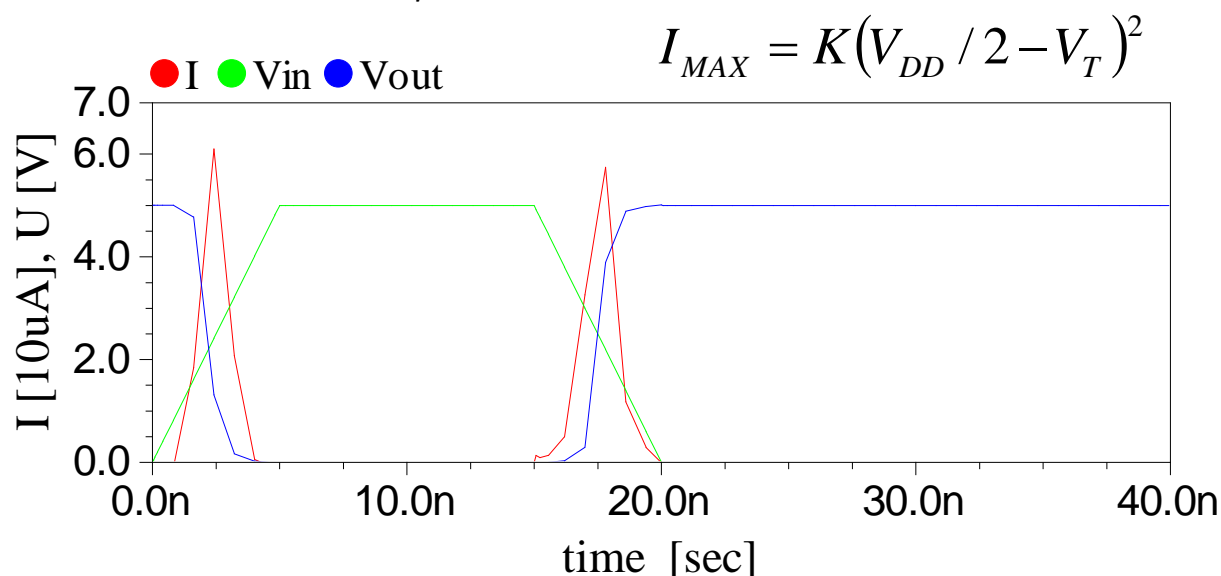
$$V_{Tn} < U_{BE} < V_{DD} - |V_{Tp}|$$
 - **Töltés-pumpálás:**
 - Jelváltásokkor a kimeneten lévő C_L terhelést 1-re váltáskor a p tranzisztoron keresztül tápfeszültségre töltjük, majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük.

Töltést pumpálunk a tápból a föld felé.

A CMOS inverter fogyasztása

■ Egymásba vezetés:

- A bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet, ha $V_{Tn} < U_{BE} < V_{DD} - V_{Tp}$



- az átfolyó töltés: $\Delta Q = b t_{UD} I_{MAX}$ ahol t_{UD} az idő, amíg áram folyik, b egy konstans, ami az átkapcsoló jel alakjától függ. $b \approx 0.1-0.2$

$$P = f \cdot \Delta Q \cdot V_{DD} = f \cdot V_{DD} \cdot b \cdot t_{UD} \cdot K \cdot (V_{DD} / 2 - V_T)^2 \quad \text{P} \sim f V_{DD}^3$$

A CMOS inverter fogyasztása

■ Töltéspumpálás:

- Jelváltásokkor a kimeneten lévő C_L terhelést
 - logikai 1-re váltáskor a p tranzisztoron keresztül tápfeszültségre töltjük,
 - majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük.

$$P = f \cdot \Delta Q \cdot V_{DD}$$

$$\Delta Q_L = C_L V_{DD}$$



$$P_{cp} = f C_L V_{DD}^2$$

A töltéspumpálás teljesítmény igénye arányos a frekvenciával és a tápfeszültség négyzetével.

A teljes fogyasztás a 2 összege (ha egymásba vezetés is van), arányos a frekvenciával és a tápfeszültség 2. ill. 3. hatványával.

A CMOS inverter fogyasztása

■ Fogyasztás csökkentés V_{DD} csökkentésével:

- Négyzetesen csökken a fogyasztás

DE

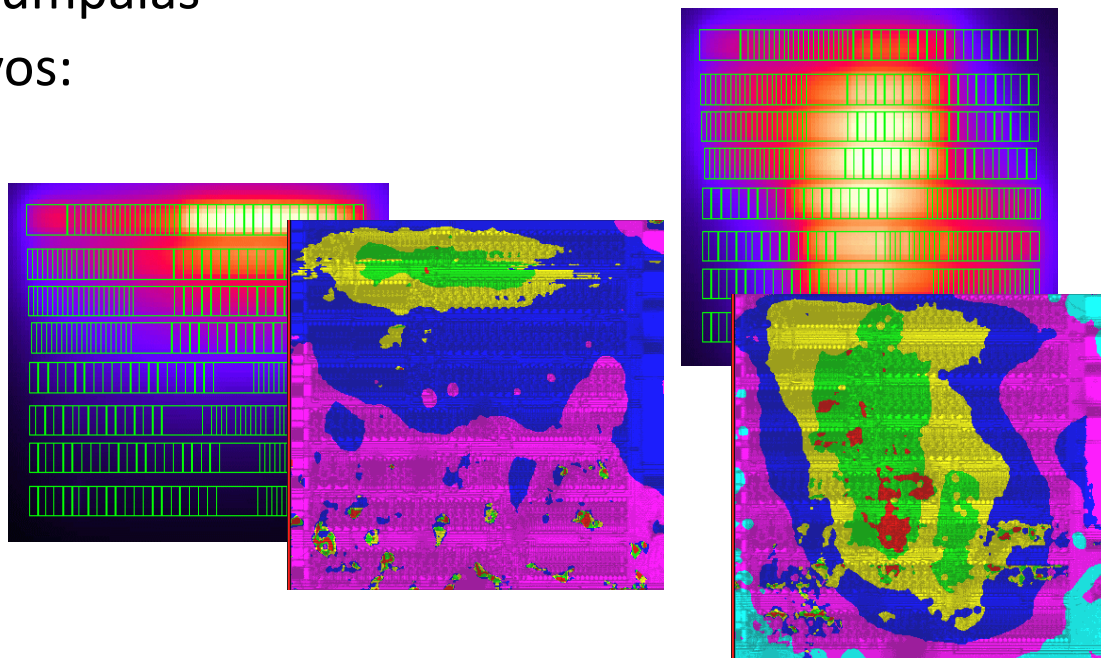
$$P_{cp} = f C_L V_{DD}^2$$

- Növeli a kapu késleltetést (*gate delay*).
- Egyre érzékenyebbé válik az eszköz DC karakterisztikája a technológiai szórásokra, a hőmérséklet változásra, stb.
- Csökken a logikai swing, így nő a zavarérzékenység.
 - SCL esetén differenciális jelterjedéssel védekeznek!
- $V_{DD_MIN} > 2..4 \cdot (kT/q)$
 - termikus zaj összemérhető a valós jellel, így megbízhatatlan működést eredményezne!

CMOS áramkörök fogyasztásának összetevői

■ Dinamikus összetevők – minden kapcsolási eseménykor

- egymásbavezetés, töltéspumpálás
- eseménysűrűséggel arányos:
 - órajel frekvencia
 - az áramkör aktivitása



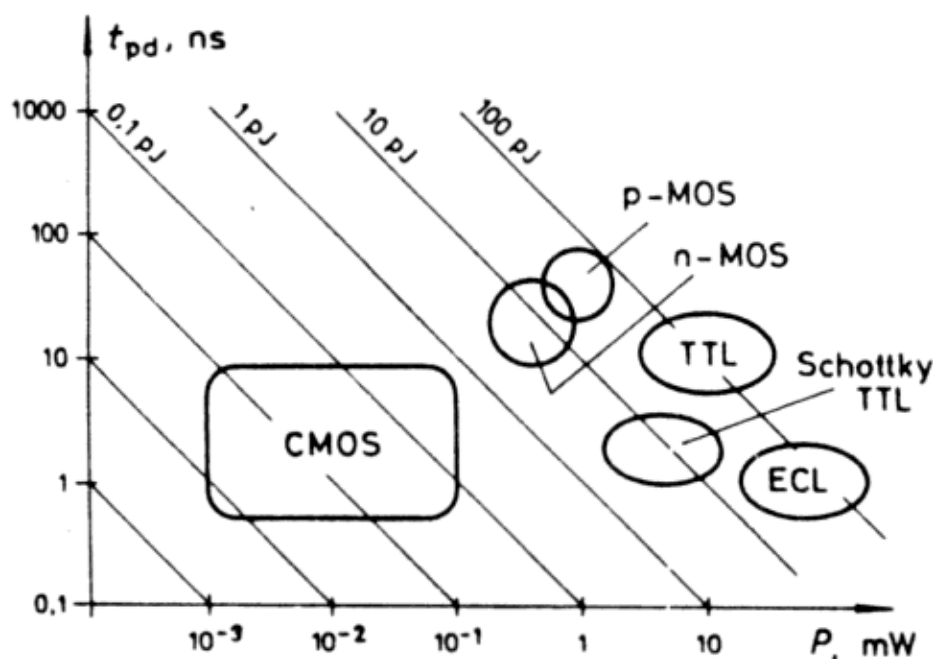
■ Parazita jelenségek miatt további összetevők:

- küszöb alatti áramok (Megoldás: **Multi V_T technika, SOI**)
- pn-átmenetek szivárgási árama (leakage) jelentős (Megoldás: **SOI**)
- szivárgás a gate dielektrikumon keresztül (Megoldás: **HIGH-K**)

Logikai áramköri családok jellemzése

■ Teljesítmény-késleltetés szorzat ($P\tau$) – Power Delay Product

- mindkét érték jobb minőségre utal, így a szorzat egy áramkörtípus minőségi mérőszámának tekinthető.
- Szemléletesen: az a minimális energia, ami 1 bit információ 1 feldolgozási lépéséhez szükséges.



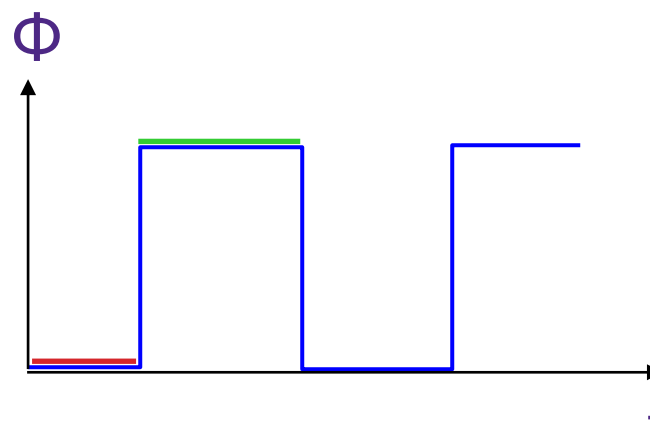
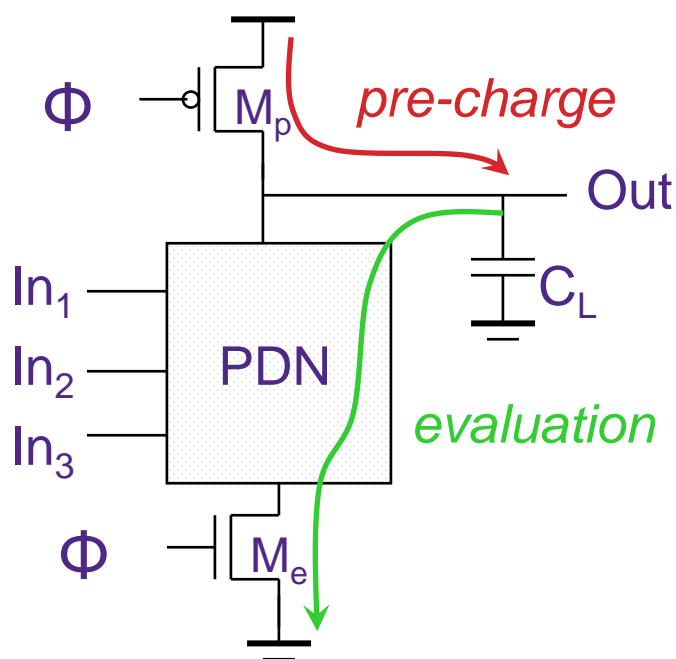
CMOS alapkapuk

Dinamikus CMOS áramköri logikák

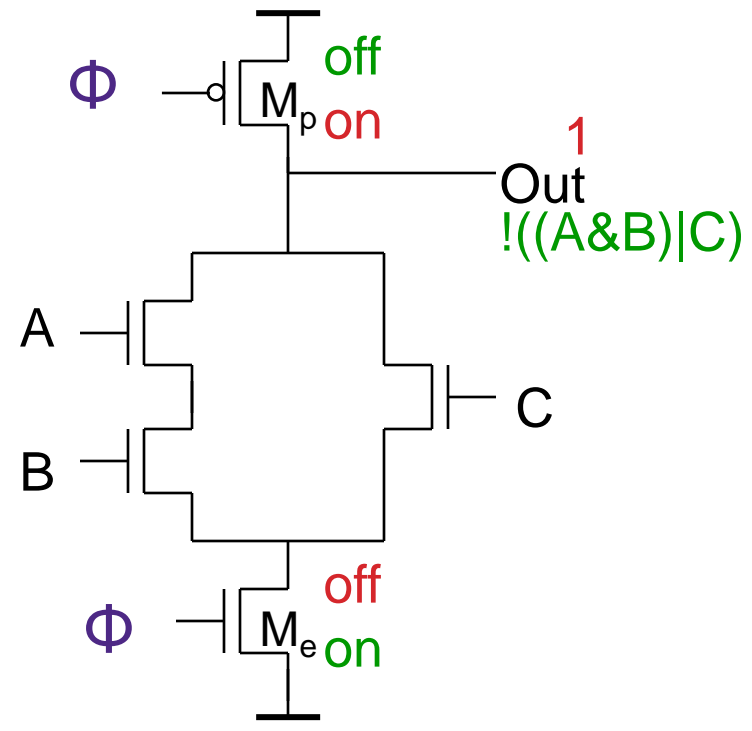
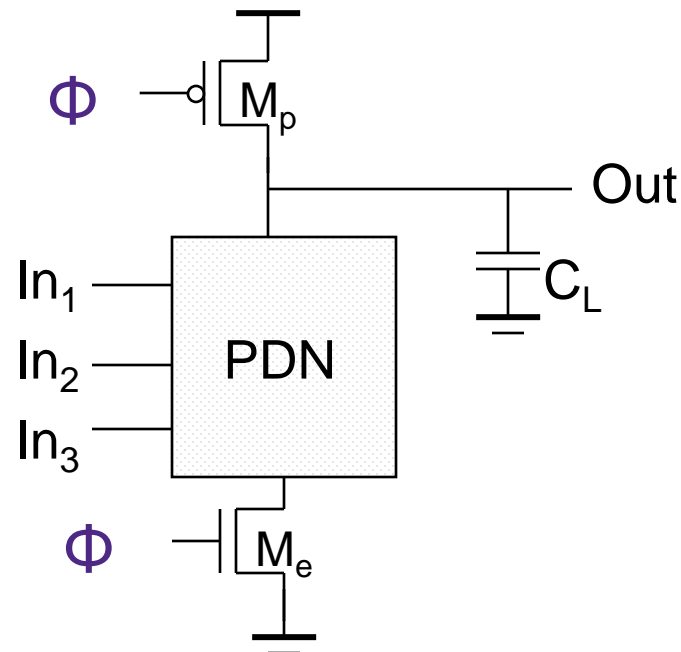
Dinamikus MOS logikák

■ Elv: 2 fázisú működés

- egy kapcsoló pMOS tranzisztorral egy kapacitást feltöltünk VDD feszültségre: **előtöltés** vagy **pre-charge** fázis
- következő fázisban VDD-ről leválasztódik a kapacitás és egy nMOS logikai hálózaton keresztül a kapacitást (a bemenetek függvényében) kisütjük vagy töltve hagyjuk: ez a **kiértékelés** vagy **evaluation** fázis



Dinamikus MOS logikák



Két fázisú működés:

Precharge ($\Phi = 0$)

Evaluate ($\Phi = 1$)

Ha egy dinamikus kapu kimenetét kisütöttük, az nem süthető ki újból amíg egy *pre-charge* periódusban újra fel nem töltjük

Dinamikus kapuk főbb jellemzői

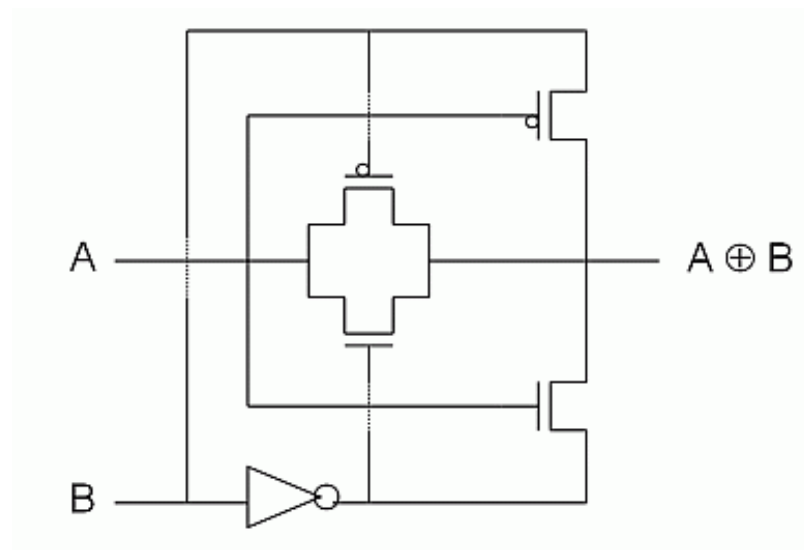
- A logikai funkciót a PDN valósítja meg
 - $2N$ tranzisztor helyett $N+2$ tranzisztor elegendő
 - kisebb helyfoglalás mint statikus CMOS-nál
- Geometriai arányok (p és n csatornás tr. között) nem izgalmasak a működés szempontjából
- Csak dinamikus teljesítményfelvétel (nincs egymásba vezetés, csak töltés-pumpálás)
- Előtöltő fázisjel kell
- Layout kialakítás egyszerűbb

Transzferkapuk alkalmazása logikai kapcsolásokban

Transzfer kapuk használata

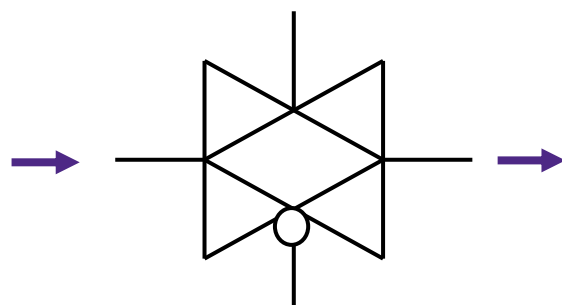
- A hagyományos kivitelű statikus CMOS teljes összeadó nehezen áttekinthető, sok tranzisztort igényel.
- **Egyszerűsítés: transzfer kapu** (*transmission gate*) használata
 - ne csak a VDD-GND áramút kialakításával hozzunk létre logikai funkciót
 - jelútba is beiktathatunk kapcsolót

„Lényegében egy analóg kapcsoló digitális áramkörben...”

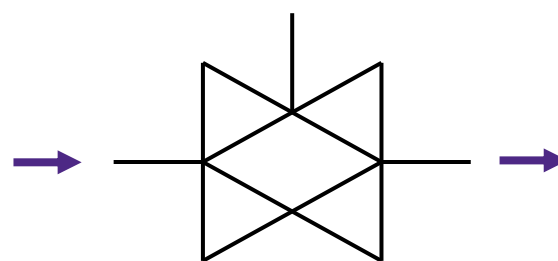


Transzfer kapus logikák jellemzői

- CMOS-ban: ellenütemben vezérelt n és p csatornás tranzisztorok



Transzfer kapu
ellenütemű vezérléssel

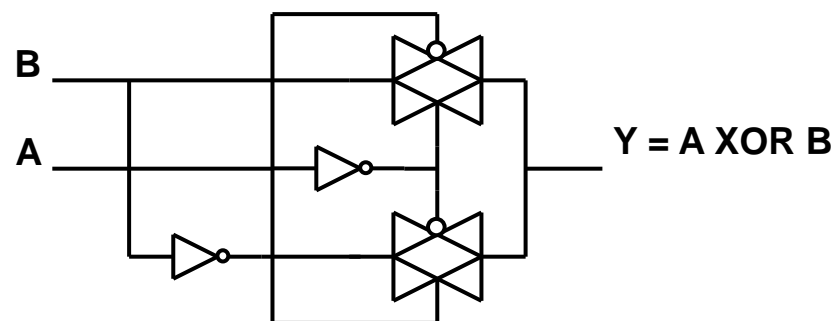
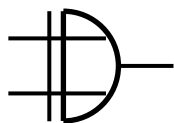


Transzfer kapu
beépített inverterrel

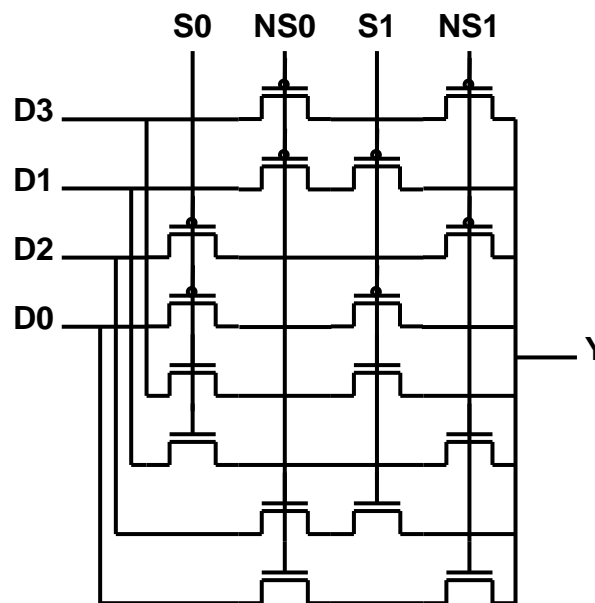
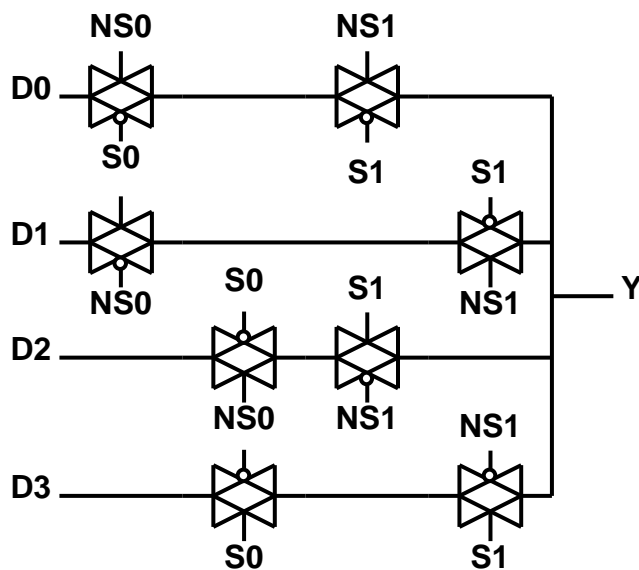
- Transzfer kapus logikák **előnyei** a statikus CMOS megvalósításhoz képest:
 - kevesebb tranzisztor kell,
 - megfordítható a jelút,
 - nincs statikus fogyasztás **DE**
 - soros ellenállás számít: négynél több transzfer kaput nem köthetünk sorba

Transzfer kapus áramkörök

- Tipikus: XOR, mux/demux
 - XOR kapu:

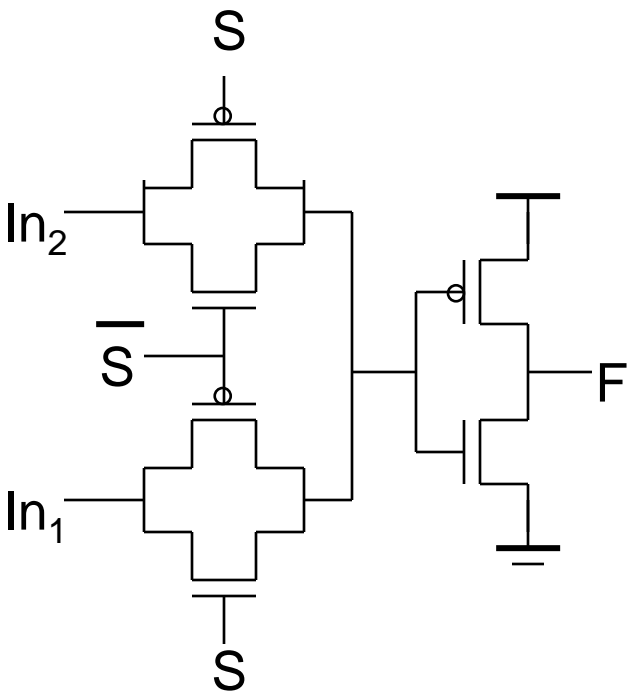


- 4 bemenetű MUX:

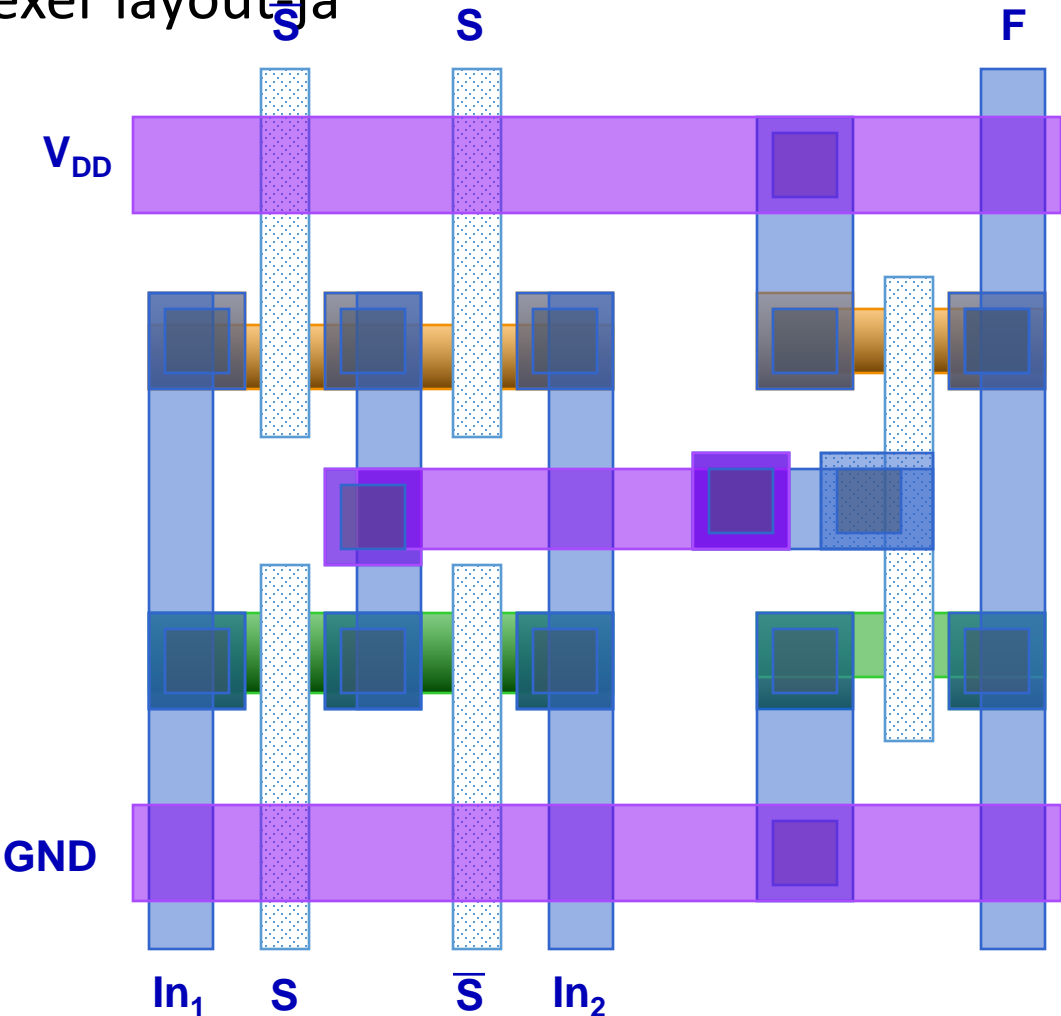


Transzfer kapus áramkörök

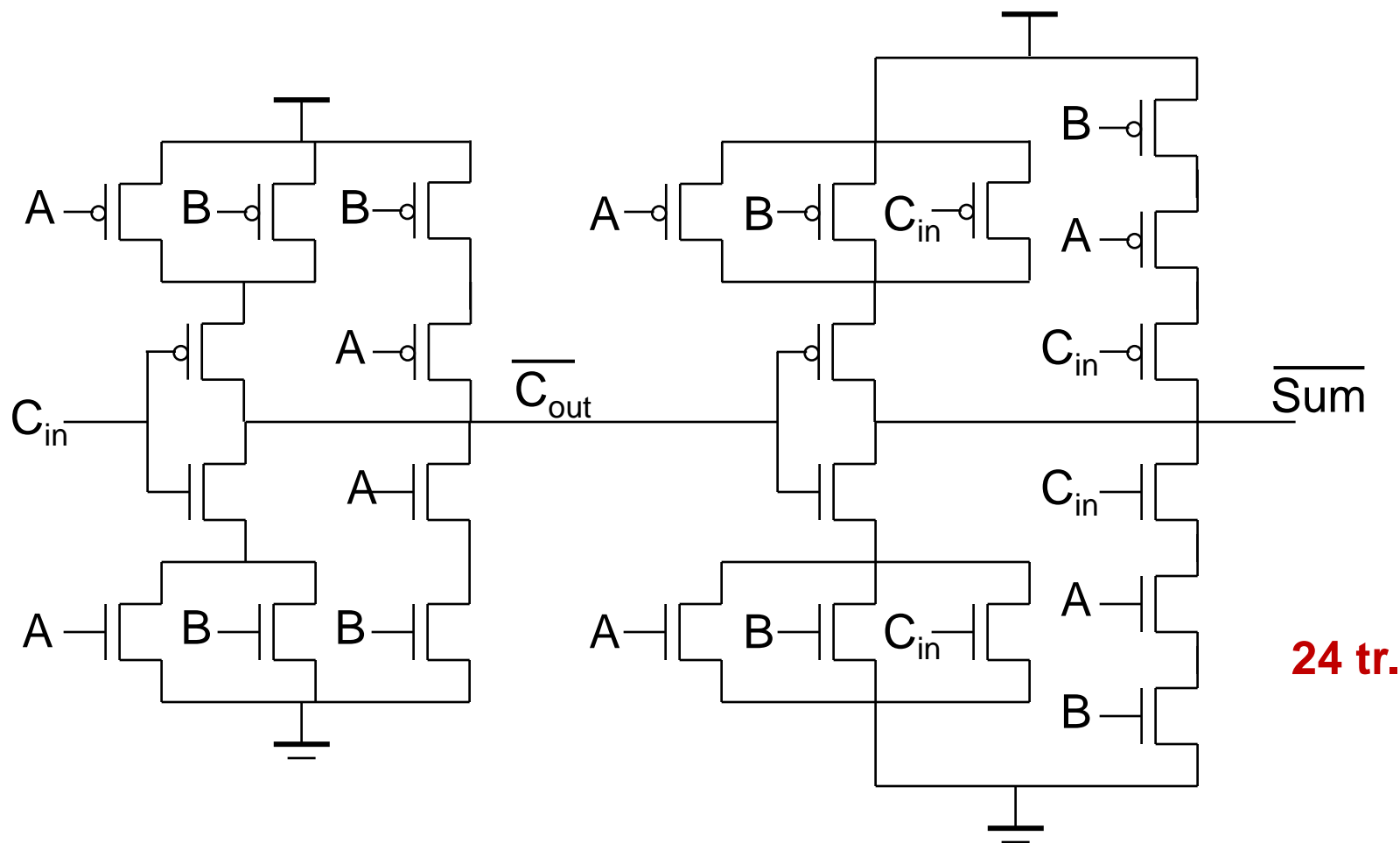
- Transzfer kapus multiplexer layout-ja



$$F = \overline{(In_1 \bullet S + In_2 \bullet \overline{S})}$$



Statikus CMOS teljes összeadó



24 tr.

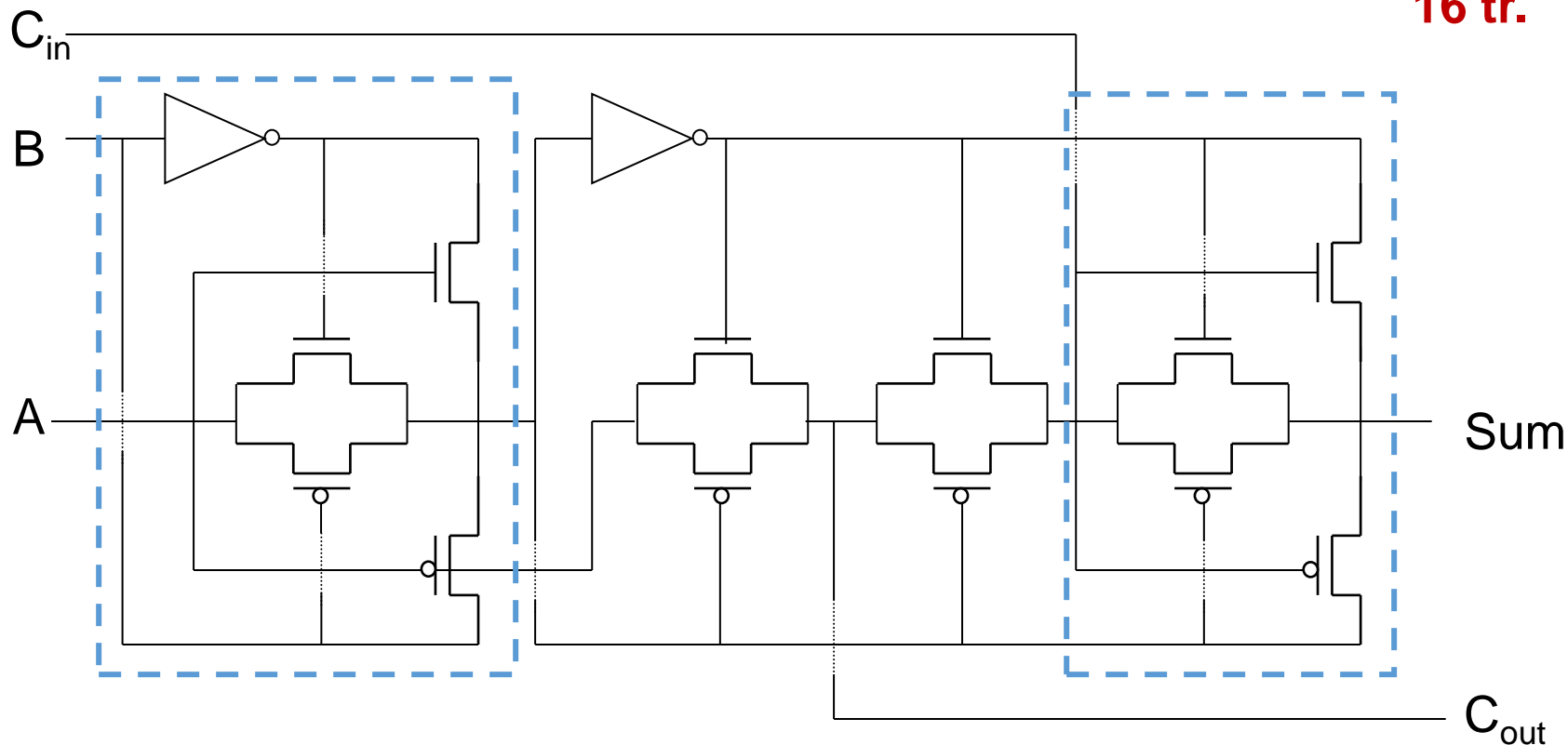
$$\overline{C_{out}} = C_{in} \& (A \mid B) \mid (A \& B)$$

$$\overline{Sum} = \overline{C_{out}} \& (A \mid B \mid C_{in}) \mid (A \& B \& C_{in})$$

Transzfer kapus áramkörök

- Teljes összeadó transzfer kapukkal

16 tr.



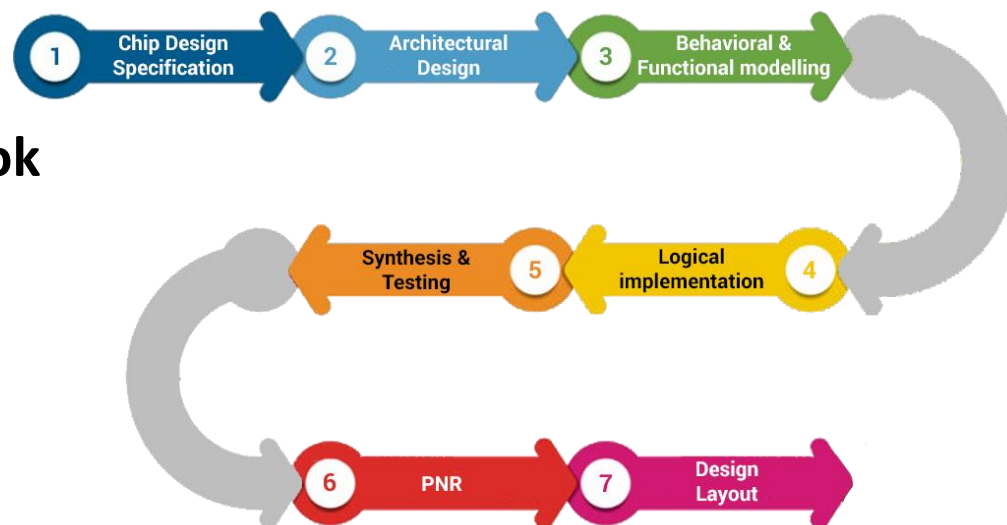
Integrált áramkörök tervezése

Vegyesjelű tervezési lépéssor

Mixed-Signal Design Flow

A design flow fogalma

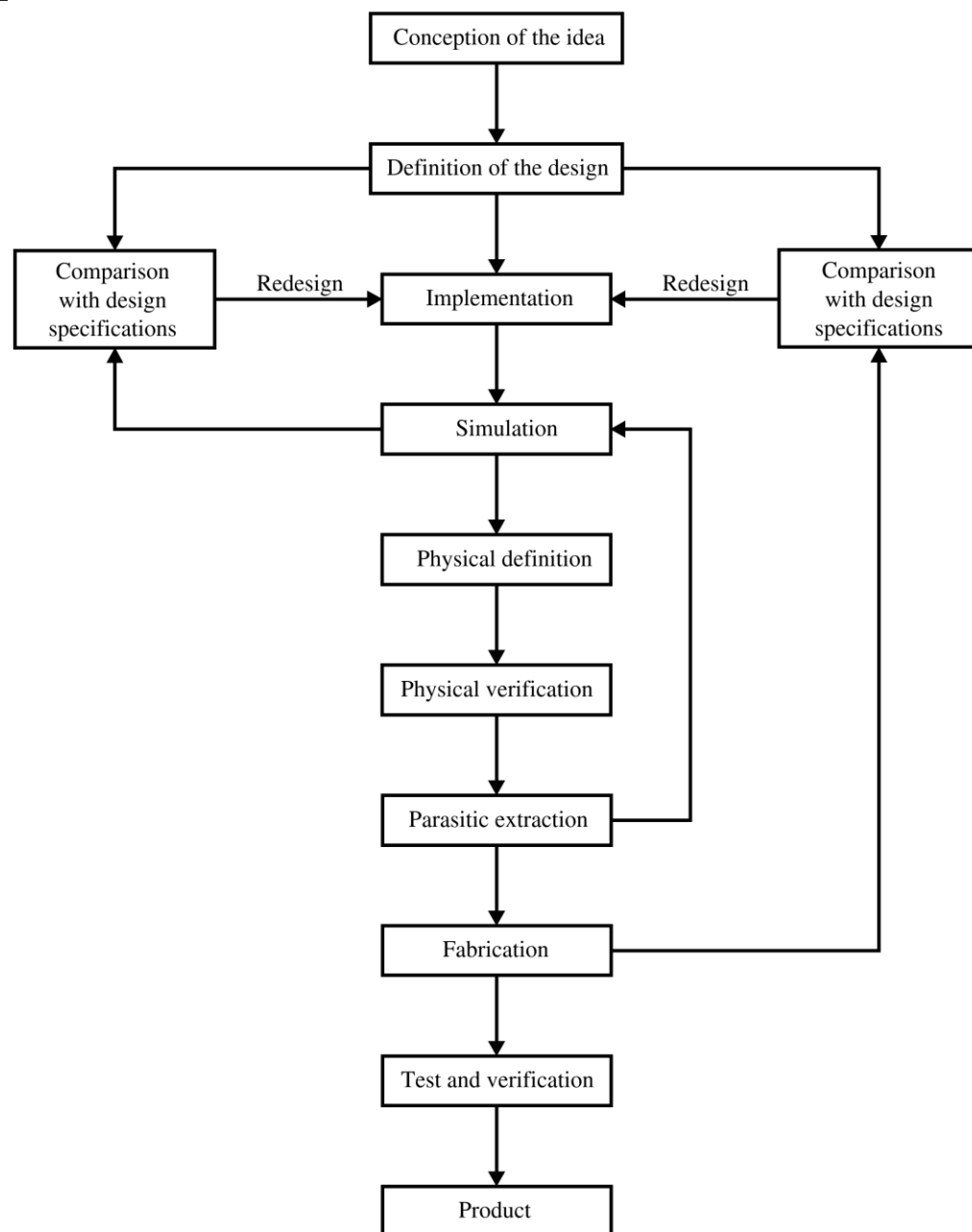
- **Adott tervezőrendszerben, adott stílusú tervezés** (pl. analóg, digitális, standard cellás, vegyes-jelű stb.) **esetén bejárandó tervezési útvonal.**
- Ami meghatározza, hogy mely programok, pontosan milyen sorrendben használandók.
 - **Előírt program-használati sorrend**
 - **Kötelezően előállítandó file-ok** (reprezentációk vagy view-k)
 - Ezek egységes, következetes, **konzisztens előállítása.**



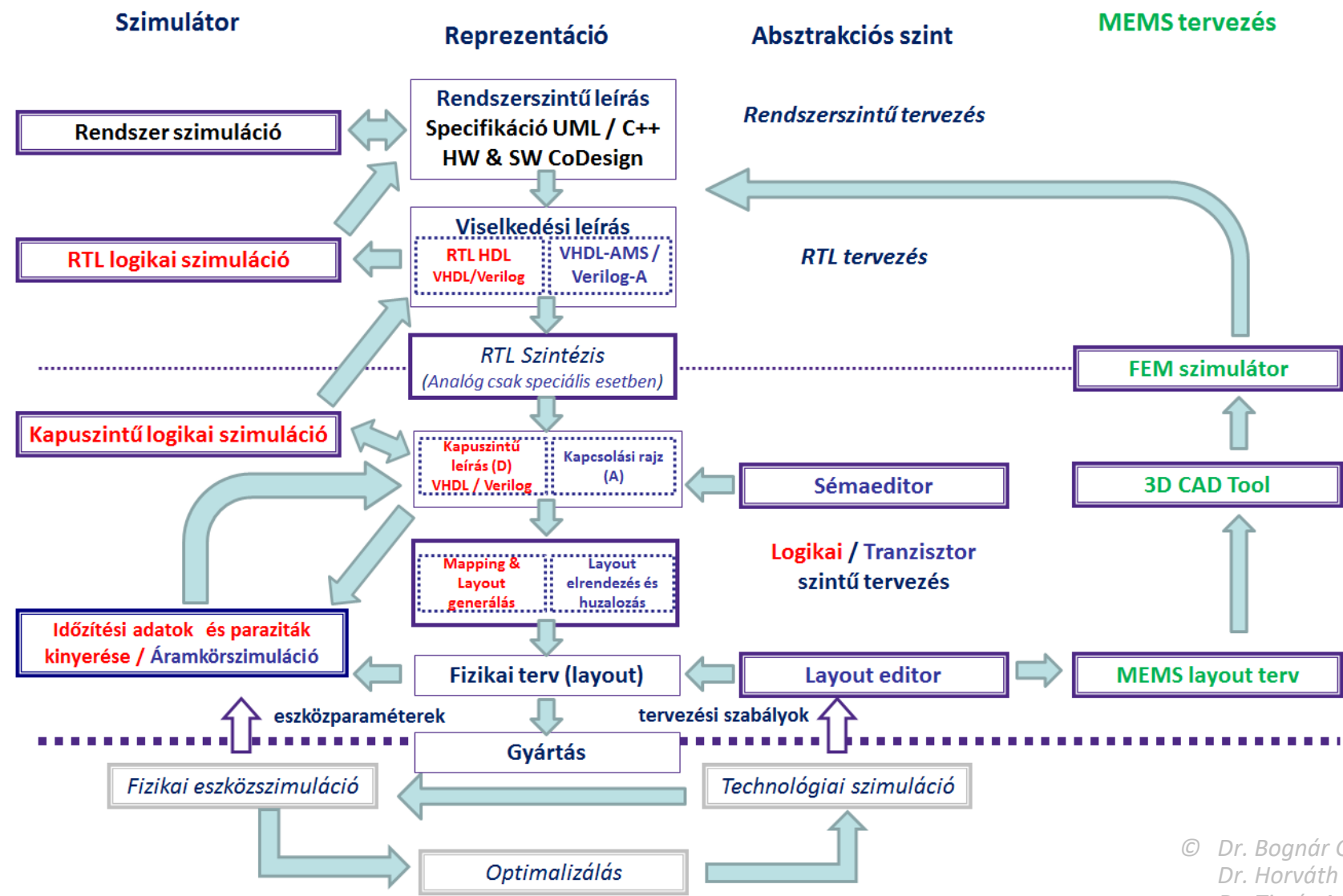
<https://www.einfochips.com/blog/asic-design-flow-in-vlsi-engineering-services-a-quick-guide/>

Analóg IC design flow

- P. E. Allen et al.,
CMOS Analog Circuit Design,
Oxford Univ. Press, 2002



Teljes SoC design flow



© Dr. Bognár György,
Dr. Horváth Péter,
Dr. Timár András