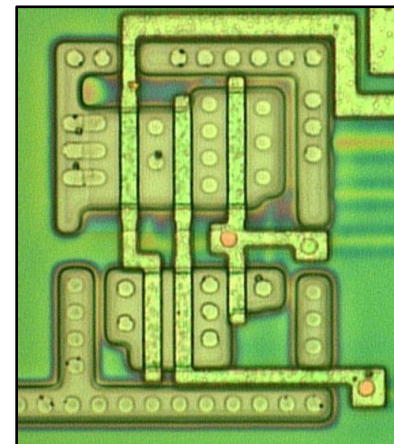


# CMOS áramkörök

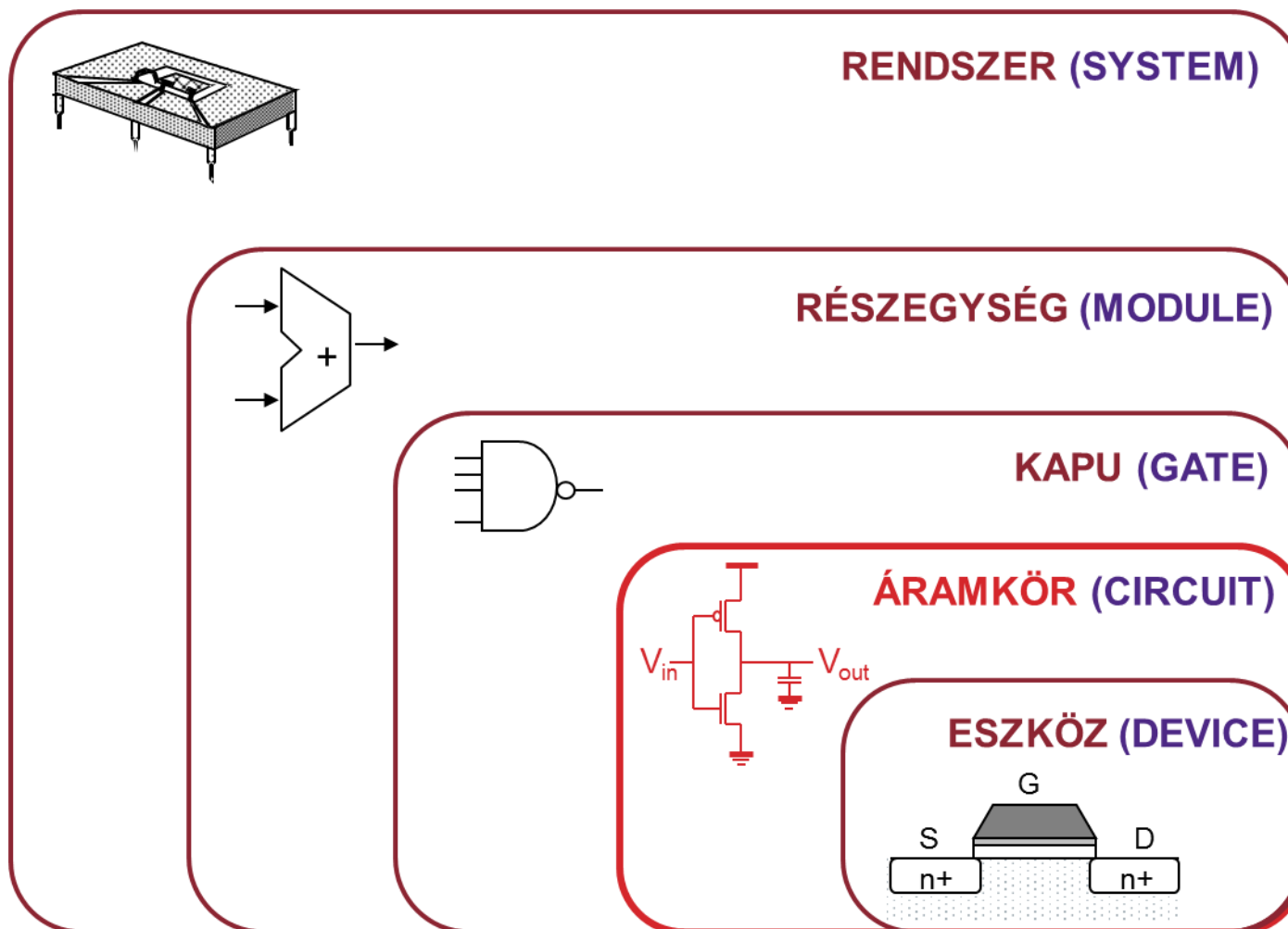
Áramköri családok

nMOS logikák

Statikus CMOS áramkörök



# Vizsgált absztrakciós szint



# Modern rendszerchip eszközökben alkalmazott logikai áramköri családok

Áttekintés, megvalósítási lehetőségek

# Digitális áramkörök kapcsolástechnikája

## ■ CMOS gyártástechnológia vs. CMOS áramköri kapcsolástechnika

- Az áramköri kapcsolás megalkotásához rendelkezésre álló eszközöket az alkalmazott **mikroelektronikai gyártástechnológia** határozza meg!
  - Melyek ezek az eszközök? - Bip.tr., MOS-FET, poly-R, poly12-C, stb.
  - Mik a jellemző méreteik, karakterisztikáik?
  - Milyen közel, távol, stb. helyezhetők le egymástól, stb. ?
    - tervezési szabályok → DRC (*design rule check*)
  - Milyen határértékek között működnek?
    - Maximal ratings:  $V_{DD}$ , max. fr. stb.
- A rendelkezésre álló eszközökből alkotott logikai áramkörök **áramköri kapcsolástechnikájának kiválasztása** a
  - specifikációban rögzített kívánalmakon és
  - magán a tervezőn múlik.

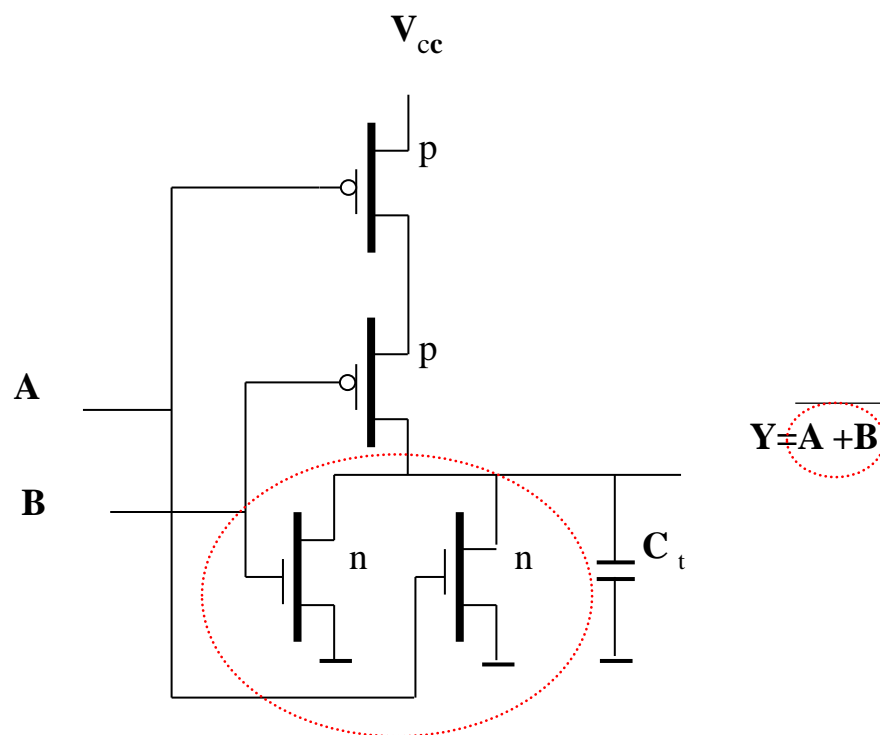
# Digitális áramkörök kapcsolástechnikája

- Az azonos áramköri kapcsolástechnikával megalkotott logikai kapuáramkörök – melyeknek a be/kimeneti szintjei és a tápfeszültség igényeik megegyeznek – alkotnak egy-egy **logikai áramköri családot**.

- nMOS kapcsolástechnika – CMOS gyártástechnológián
- **CMOS kapcsolástechnika – CMOS gyártástechnológián**
  - *Statikus CMOS kapcsolástechnika - CMOS gyártástechnológián*
  - *Dinamikus CMOS kapcsolástechnika - CMOS gyártástechnológián*
- ECL kapcsolástechnika – Bipoláris gyártástechnológián
- SCL kapcsolástechnika – CMOS gyártástechnológián
- ECL kapcsolástechnika – BiCMOS gyártástechnológián
- CMOS kapcsolástechnika – BiCMOS gyártástechnológián
- TTL, DTL, stb.

# Digitális áramkörök kapcsolástechnikája

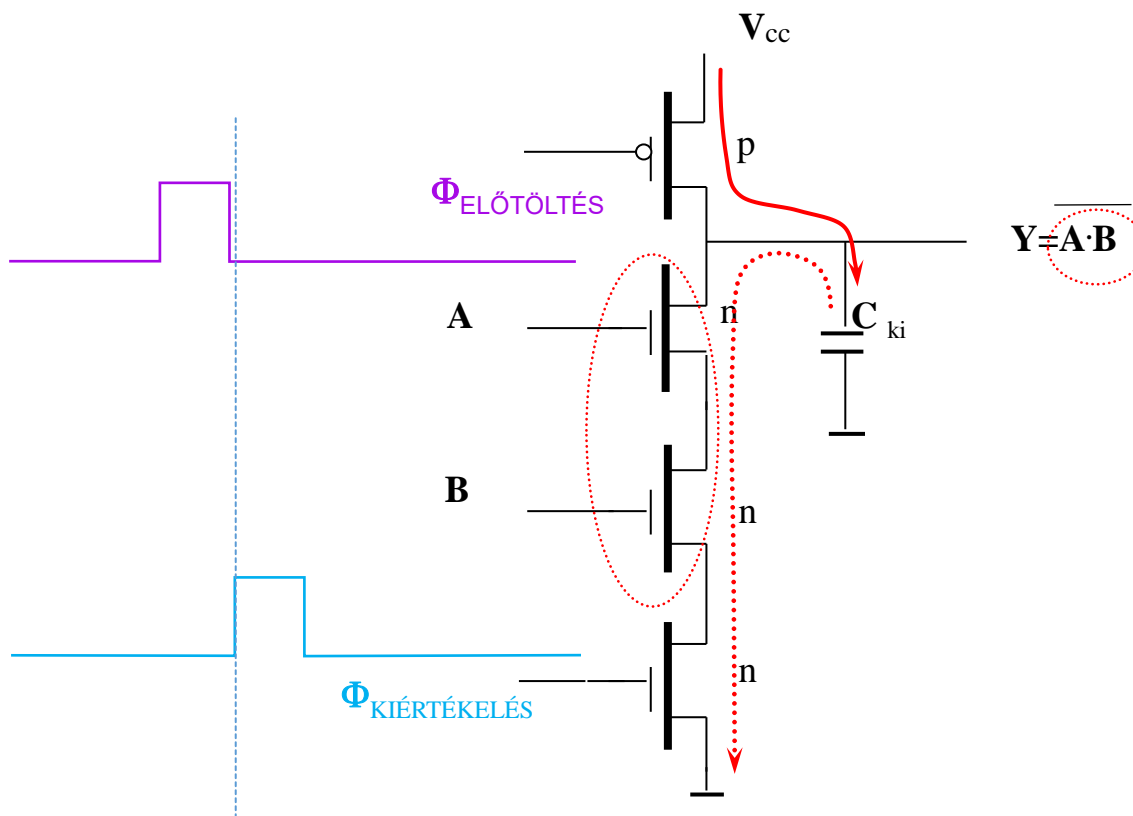
## ■ Statikus CMOS logika



$$Y = A + B$$

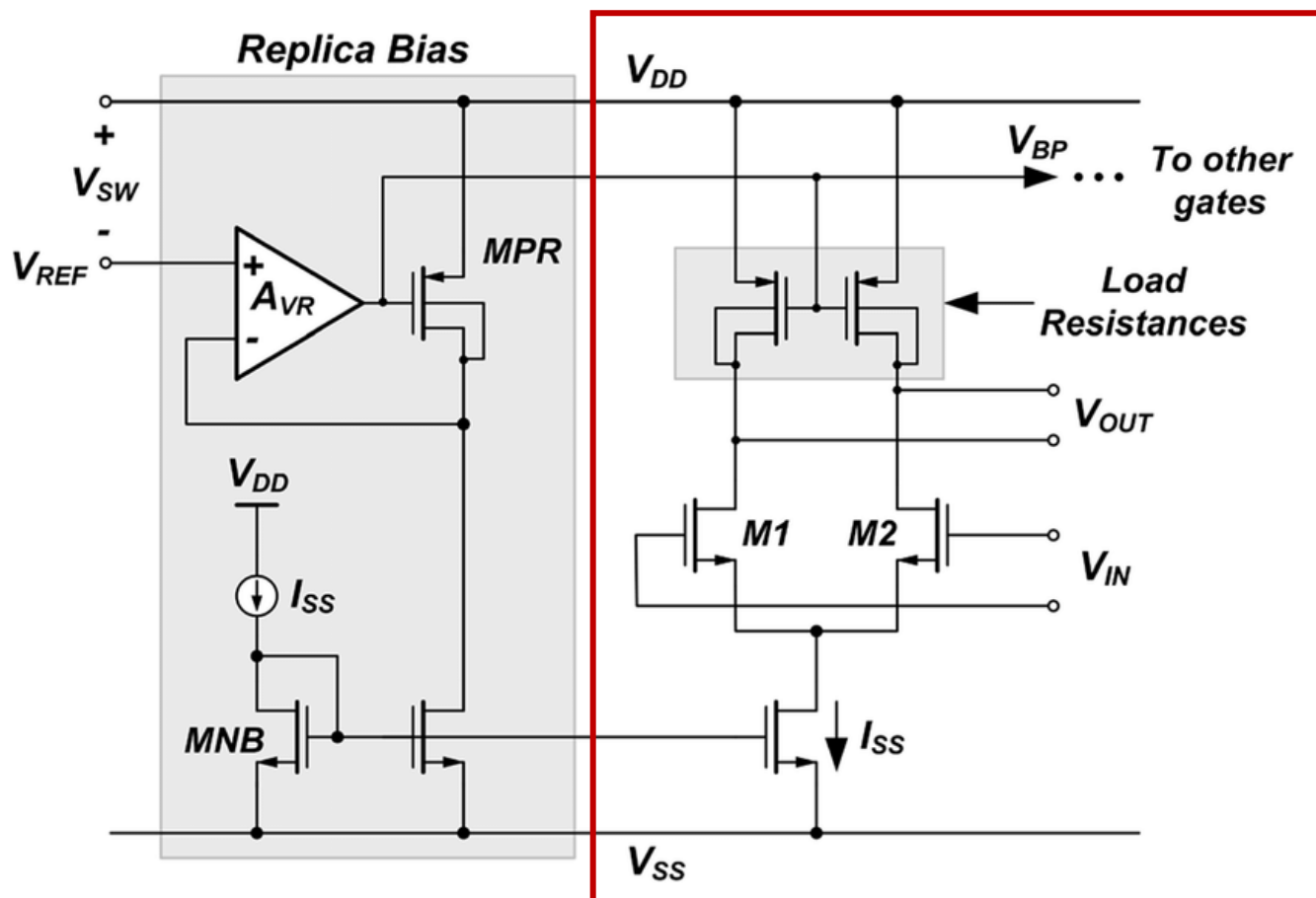
# Digitális áramkörök kapcsolástechnikája

## ■ Dinamikus CMOS logika



# Digitális áramkörök kapcsolástechnikája

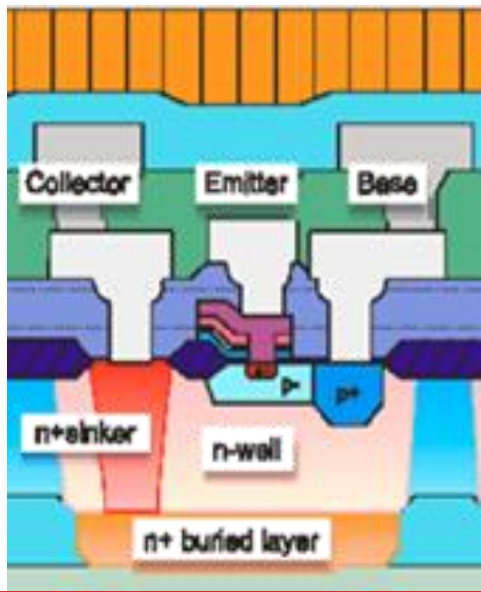
- SCL – Source Coupled Logic
- Nagysebességű áramkörökben



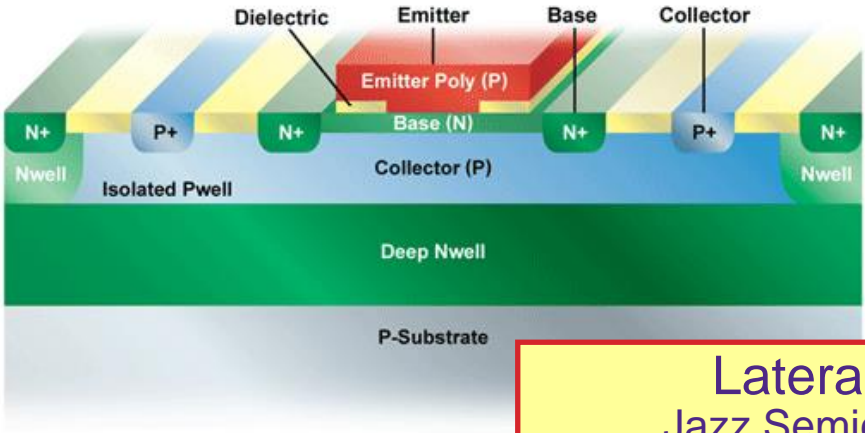
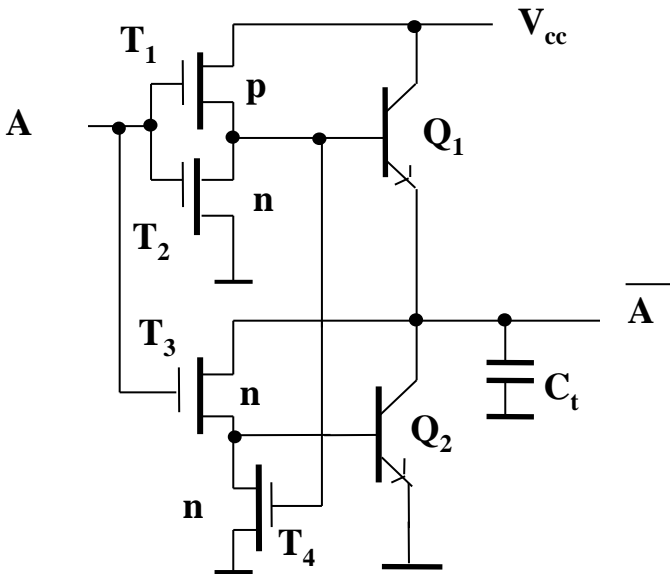


# Digitális áramkörök kapcsolástechnikája

- BiCMOS logika



Vertical NPN  
Austria Microsystems

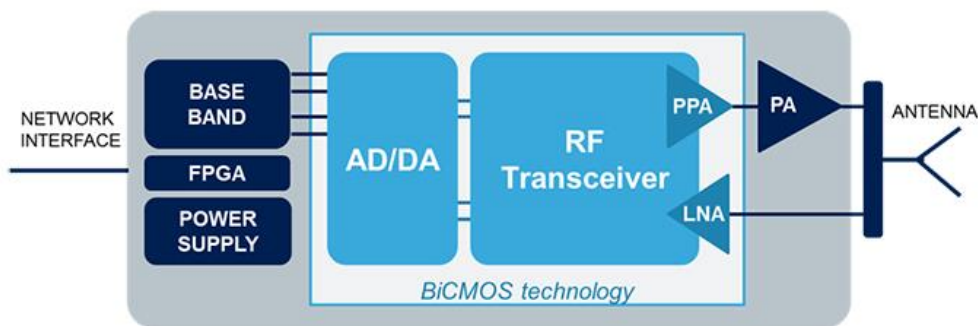


Lateral PNP  
Jazz Semiconductor

# Digitális áramkörök kapcsolástechnikája

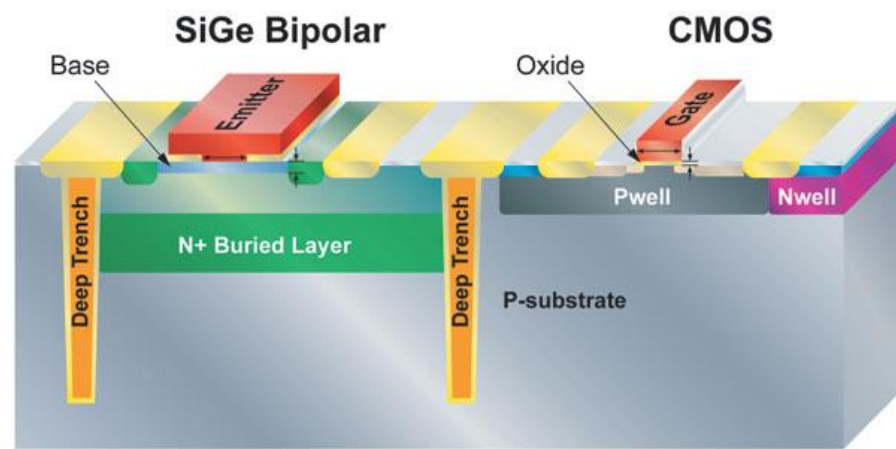
## ■ BiCMOS kapcsolástechnika

- Egyes esetekben nagyáramot igénylő áramköri megoldásokban
- Nagyfrekvenciás áramkörökben (RF transceiver)
- Memóriákban, busz-meghajtó áramkörökben



Typical cellular base station or point-to-point radio receiver

[http://www.st.com/content/st\\_com/en/about/innovation---technology/BiCMOS.html](http://www.st.com/content/st_com/en/about/innovation---technology/BiCMOS.html)



<https://www.wirelessdesignmag.com/product-release/2005/12/sige-bicmos-plays-growing-role-mobile-platform>

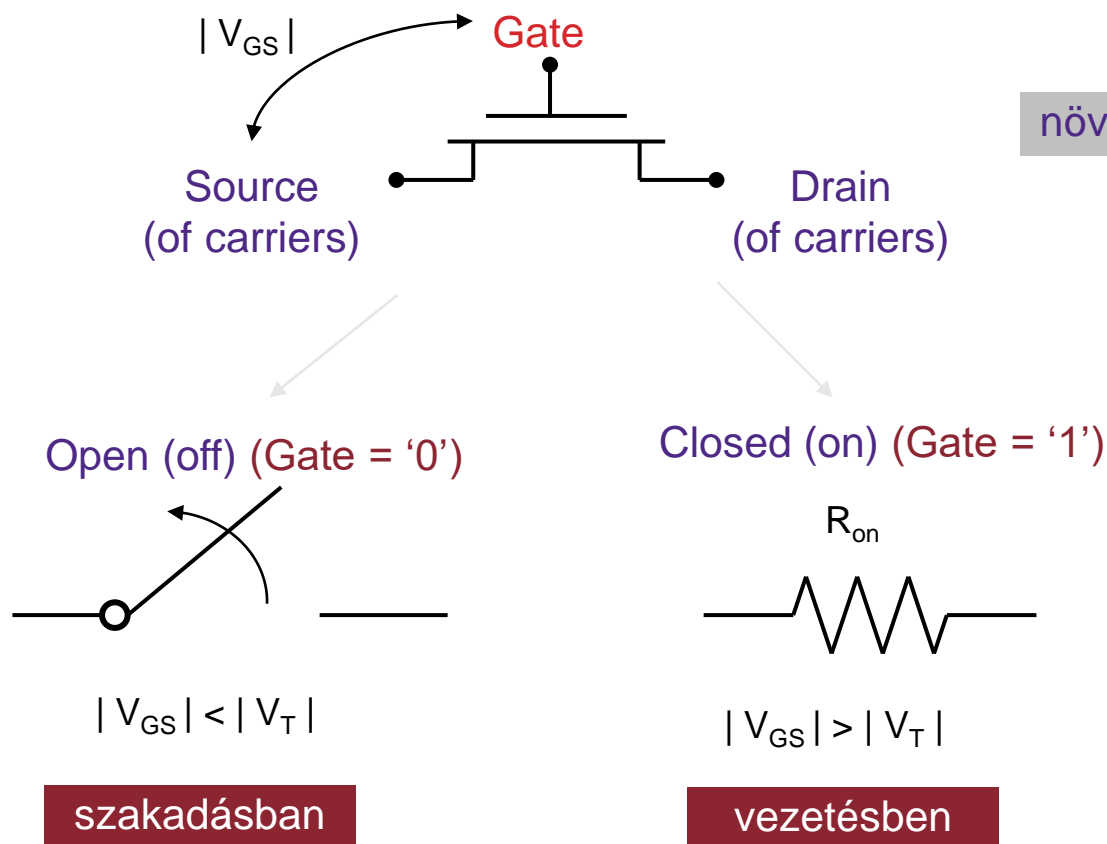
*„By integrating the RF, analog and digital parts on a single chip, ST's BiCMOS SiGe (Silicon-Germanium) technology drastically reduces the number of external components while optimizing power consumption.”*

# Logikai alapáramkörök felépítése

Első lépés: az nMOS inverter

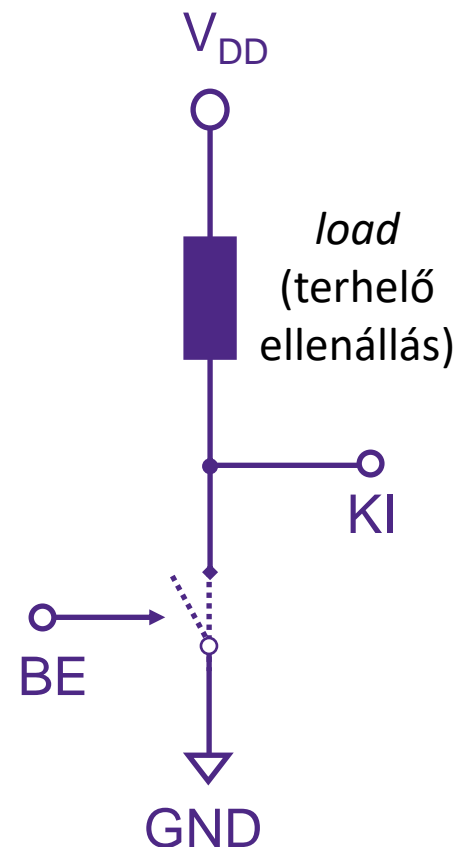
# MOS-FET egyszerű modellje

- A működés legegyszerűbb (logikai) modellje:
  - **nem vezet** (off) / **vezet** (on)



# Készítsünk invertert!

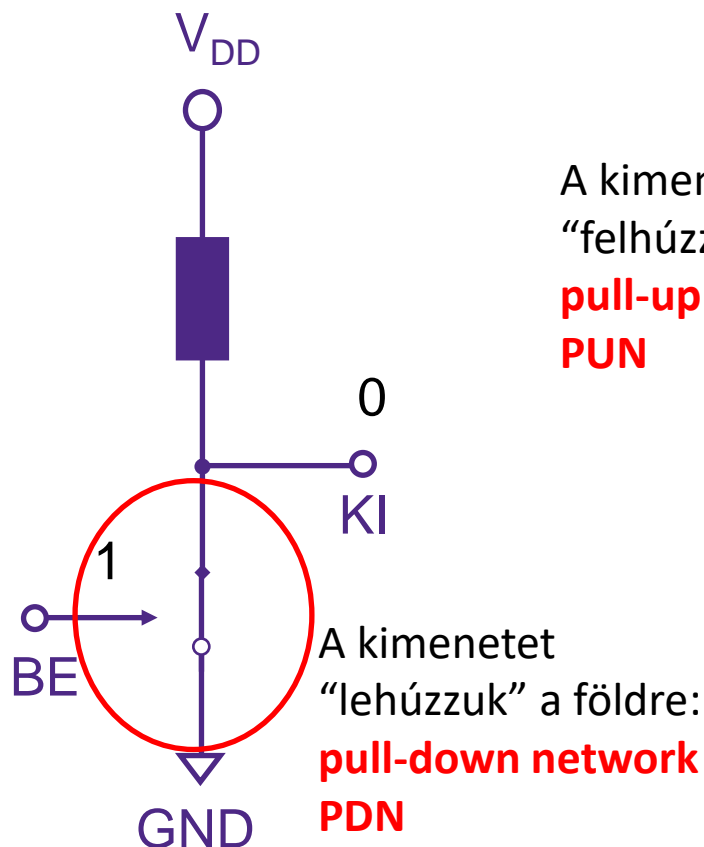
- Ellenállás tápfeszre ( $V_{DD}$ ) kötve
- Másik vége egy kapcsolóval a földre (GND) kötve
- Kapcsoló vezérlése logikai jellel:
  - 1 ( $V_{DD}$  szint) – vezet
  - 0 (GND szint) – szakadt
- Tekintsük kimenő jelnek a kapcsoló és az ellenállás közös pontját



# Készítsünk invertert!

## ■ BE = 1

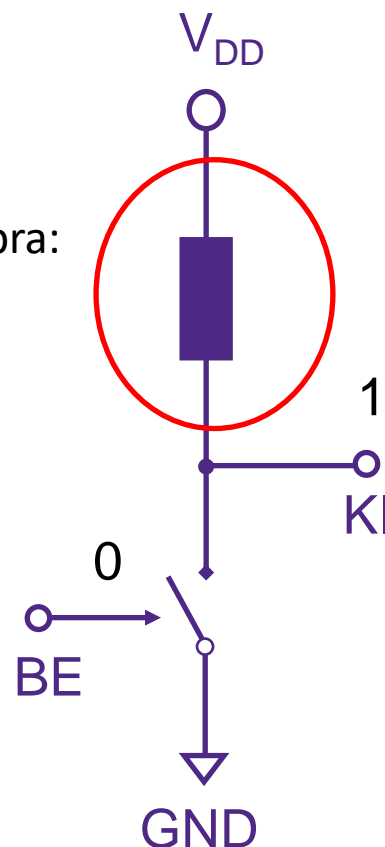
- kapcsoló vezet
- kimenet a GND-re kötve
- **KI = 0**



## ■ BE = 0

- kapcsoló szakadt
- kimenet  $V_{DD}$ -re kapcsolva
- **KI = 1**

A kimenetet  
"felhúzzuk" a tápra:  
**pull-up network  
PUN**

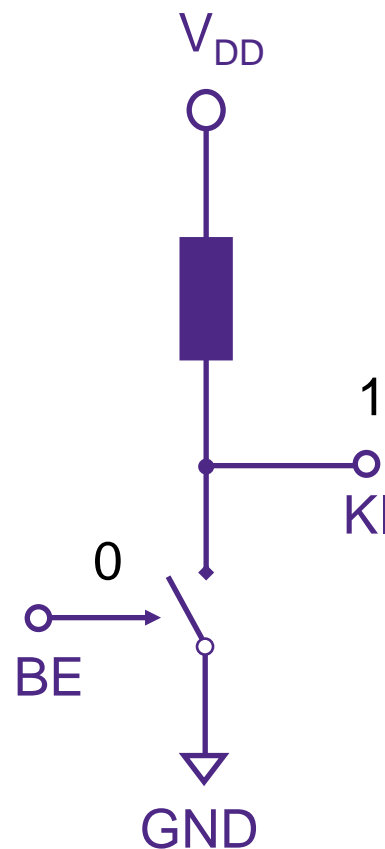
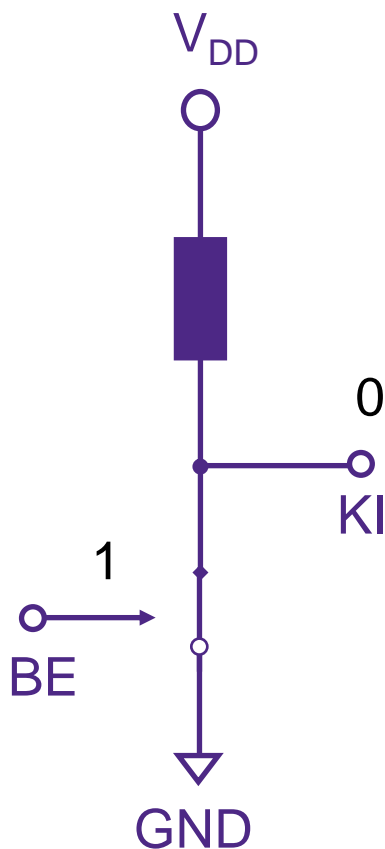


# Készítsünk invertert!

- $BE = 1$ 
  - $KI = 0$

- $BE = 0$ 
  - $KI = 1$

## Invertáló alapséma



# Logikai alapáramkörök felépítése

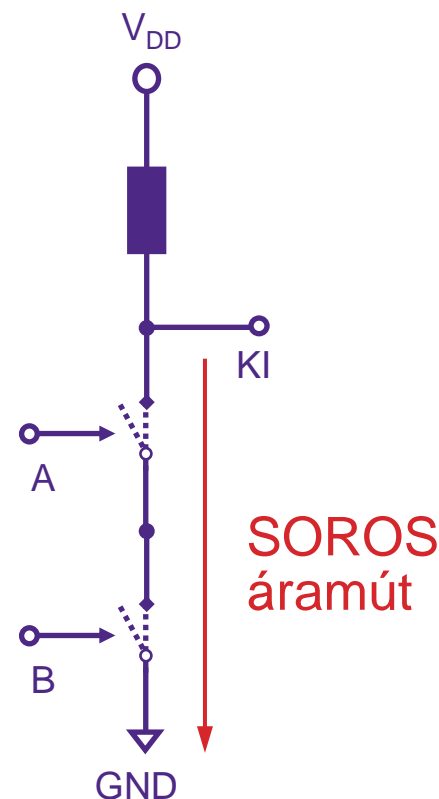
Következő lépés: nMOS alapkapuk



# Készítsünk egyszerű logikai alkapcsolást!

A PDN struktúrája határozza meg a logikai funkciót.Pl.:

- 2 sorba kötött kapcsoló: NAND kapu
- Ha A és B 1, akkor KI=0
- Ez a  
 $\text{NOT (A AND B)}$  függvény,  
 azaz a **NAND**
- A gyakorlatban max 3..4 bemenetű kapu.
- Ezen a logikán alapulva:
  - Ha *vagylagos* áramutat alakítunk ki,  
 akkor a **NOR** függvényt valósíthatjuk meg!
  - Ha *negáljuk* a kimenetet, akkor **AND** függvény!
  - Ha  $\text{NOT (A AND B)}$ , akkor A **OR** B függvény!



# Készítsünk egyszerű logikai alkapcsolást!

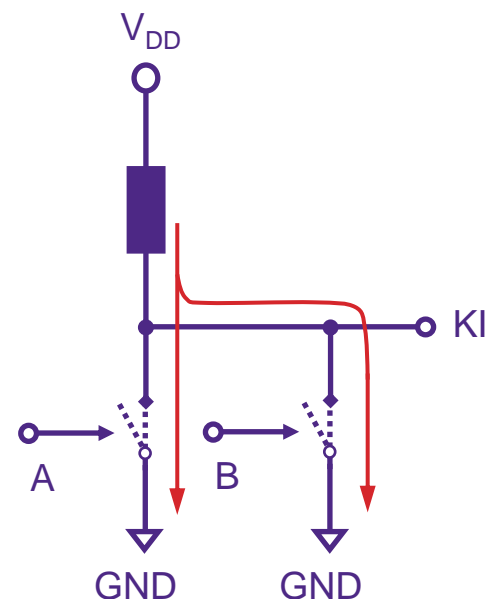
A NOR kapu kapcsolási rajza

- 2 párhuzamosan kötött kapcsoló: NOR kapu

- Ha A vagy B 1, akkor KI=0

- Ez a

NOT (A OR B) függvény,  
azaz NOR



PÁRHUZAMOS  
áramút

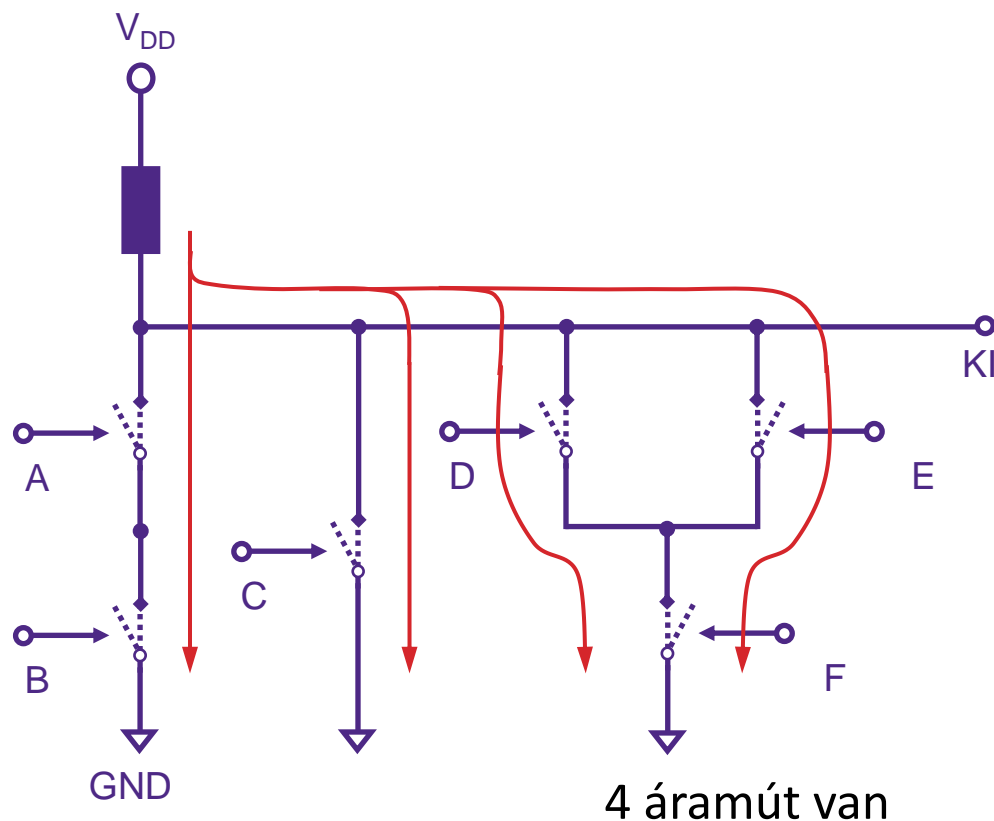
**Komplex áramutak kialakításával  
komplex logikai kapukat tudunk alkotni!**

**AND** vagy **OR**: a kimeneten egy további inverter. De a de Morgan azonosságok miatt erre lényegében nincs szükség.

# Komplex logikai kapuk

A logikai függvénynek megfelelő PDN-nel megvalósítva

- Soros áramutak párhuzamosan kapcsolva



$$KI = \overline{AB + C + (D + E)F}$$

Tervezés menete:

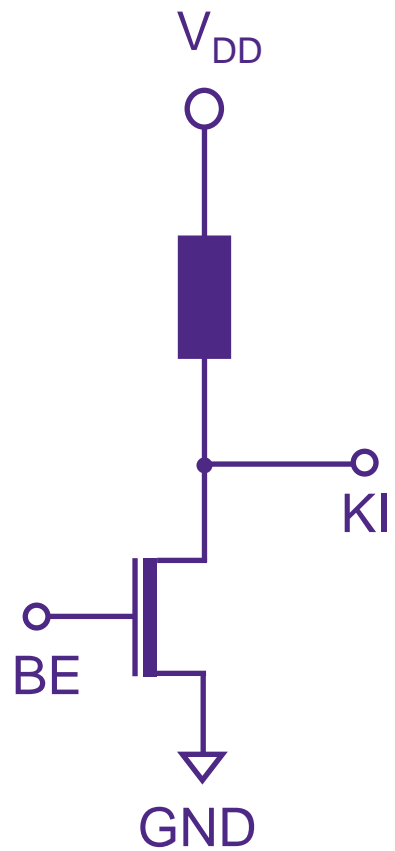
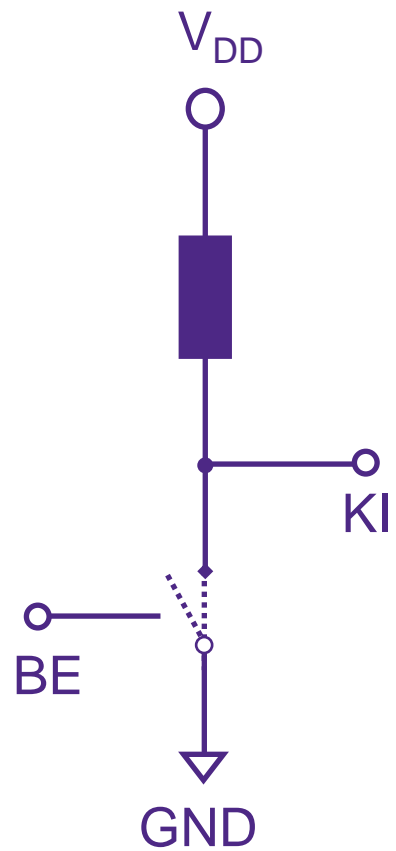
1. Soros áramút → AND
  2. Párhuzamos áramút → OR
- + Invertálás

# MOSFET típusok áttekintése

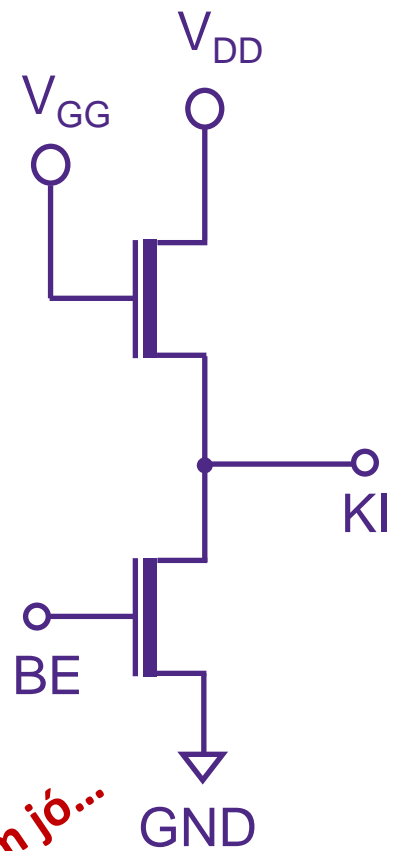
Type	Circuit Symbol	Cross Section	Output Characteristics	Transfer Characteristics
n-Channel Enhancement (Normally Off)				
n-Channel Depletion (Normally On)				
p-Channel Enhancement (Normally Off)				
p-Channel Depletion (Normally On)				

# Inverter konstrukciók

Kapcsoló = n csatornás MOS tranzisztor: *normally OFF* device



Ellenállás: egy másik tranzisztor, pl. trióda tartományban

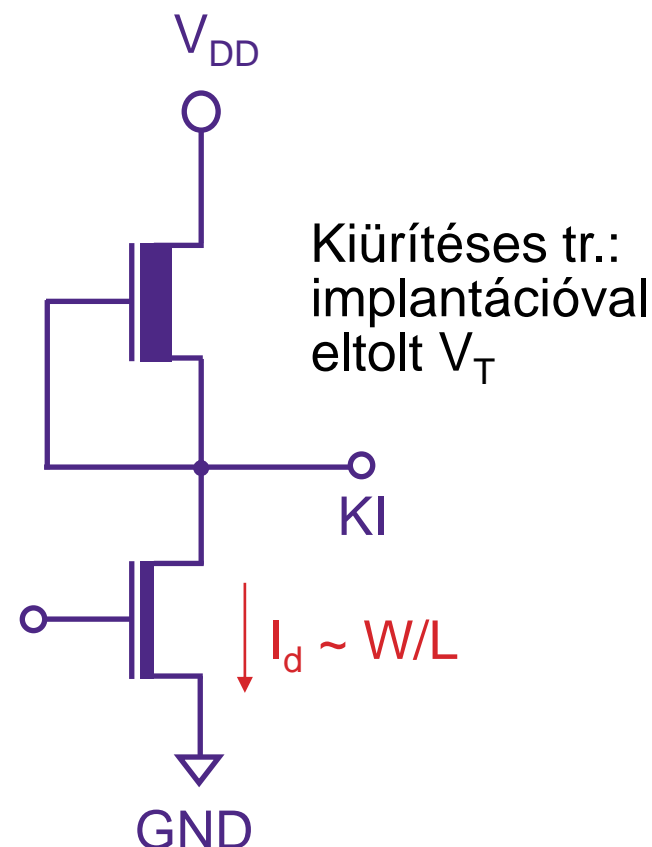


Nem jó...

De újabb táp/referencia feszültség kell

# Inverter konstrukciók - nMOS kapcsolástechnika

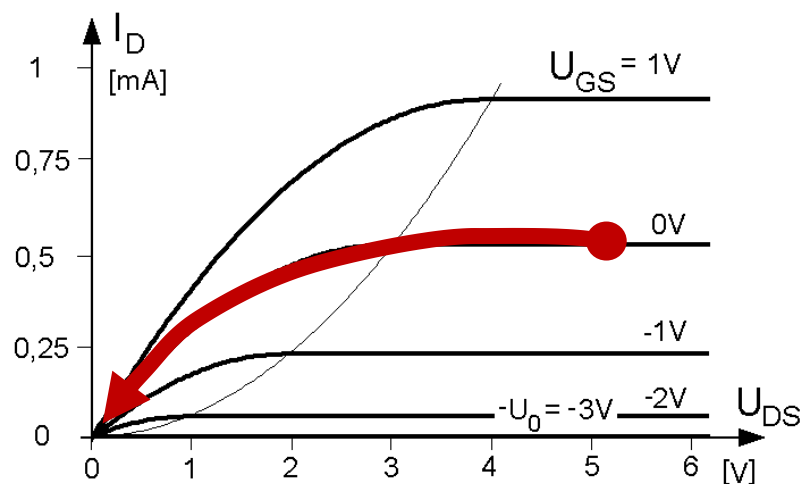
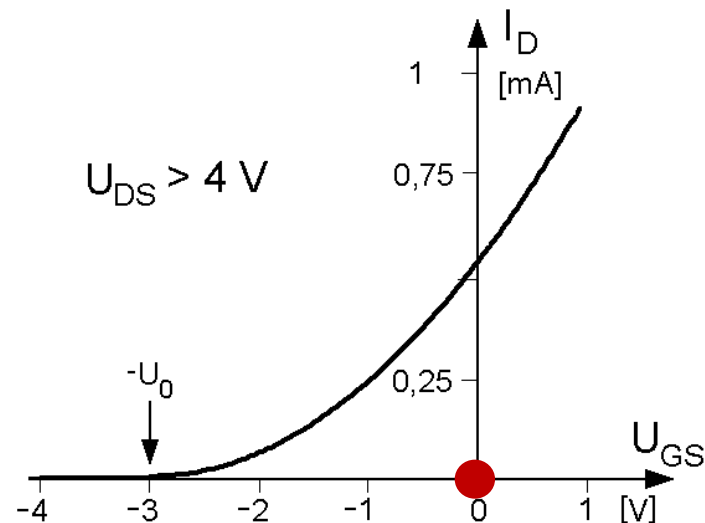
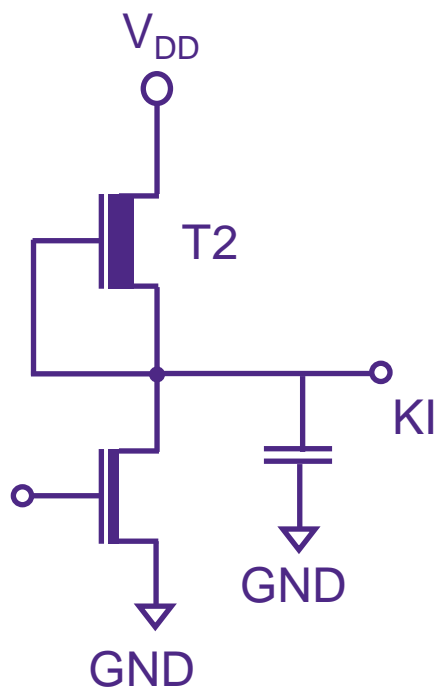
- Egyszerű technológia, de elavult
- Sok hátrány:
  - statikus fogyasztás, ha  $KI=0$
  - ha kimenet logikai 0, az nem lesz tisztán a GND szint
  - aszimmetrikus transzfer karakterisztika
- *Load* ellenállás helyett MOS tranzisztort használtunk, de az nem kap aktív vezérlést!
- Ez a *passzív terhelésű* inverter



# Inverter konstrukciók - nMOS kapcsolástechnika

## ■ Passzív terhelésű inverter

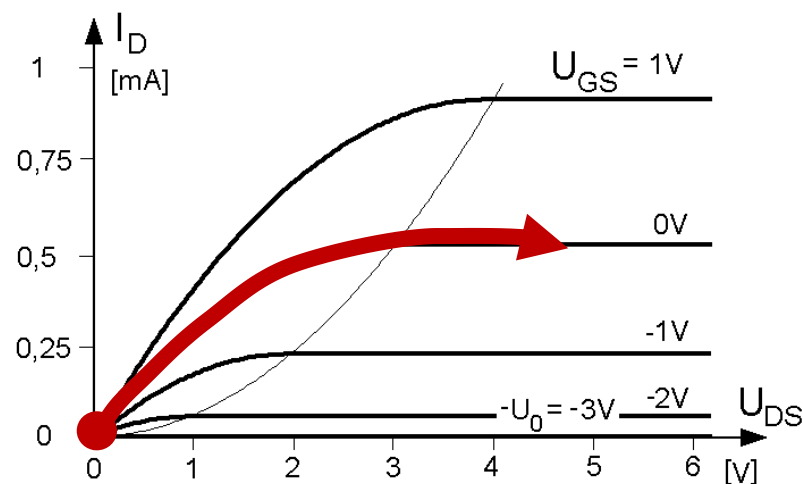
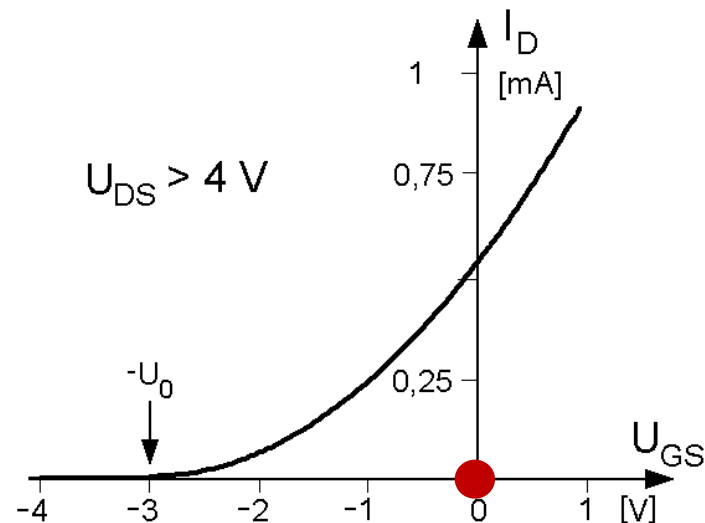
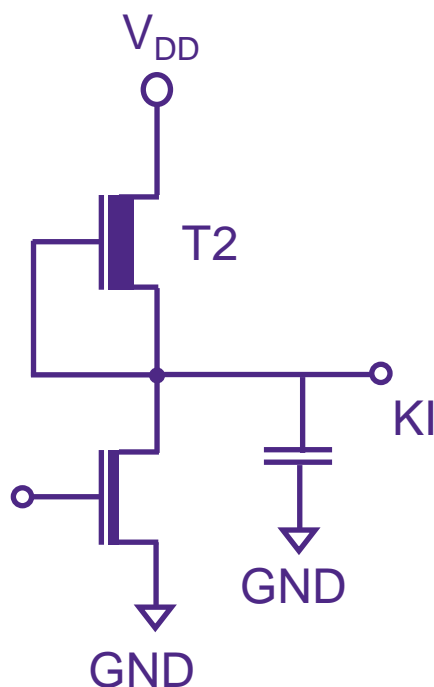
- Ha BE:  $1 \rightarrow 0$  ➔ KI:  $0 \rightarrow 1$ 
  - Kiindulás:  $U_{GS\_T2} = 0V$  &  $U_{DS\_T2} = 5V$
  - Átkapcsolás pillanatától  $U_{DS}$  fokozatosan csökken, vele együtt  $I_D$  is!



# Inverter konstrukciók - nMOS kapcsolástechnika

## ■ Passzív terhelésű inverter

- Ha BE:  $0 \rightarrow 1$  ➔ KI:  $1 \rightarrow 0$ 
  - Kiindulás:  $U_{GS\_T2} = 0V$  &  $U_{DS\_T2} = 0V$
  - Átkapcsolás pillanatától  $U_{DS}$  fokozatosan nő, vele együtt  $I_D$  is nő!



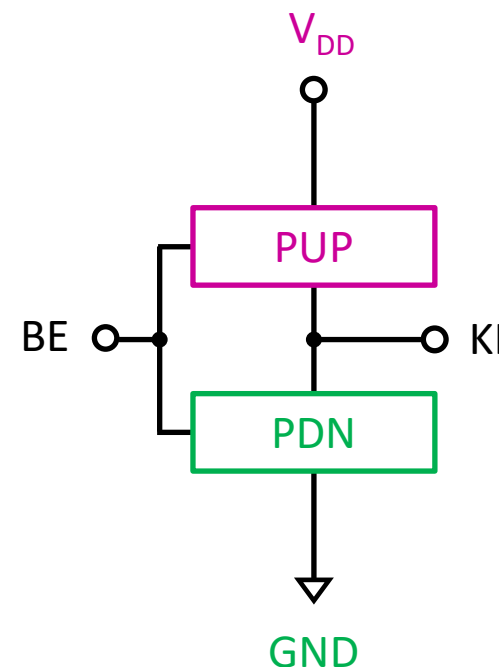


# Logikai alapáramkörök felépítése

CMOS kapcsolástechnika, CMOS inverter

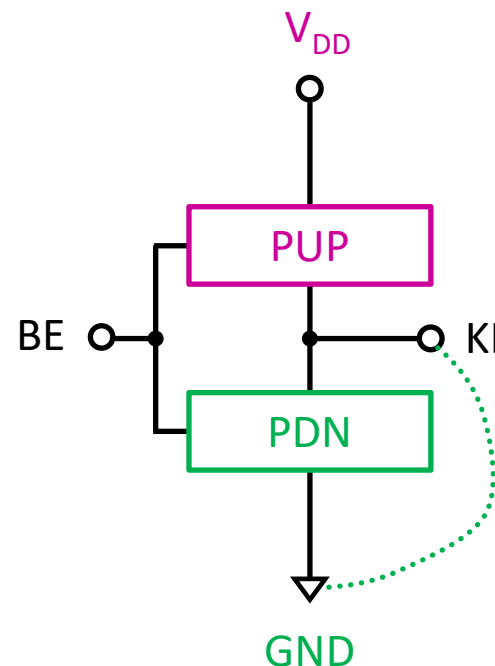
# A CMOS kapcsolástechnika

- A név: **C**omplementary **M**OS
- Ötlet: kapjon a felhúzó áramkör (az nMOS “load”) is aktív vezérlést
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **vezet**, akkor a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] legyen **szakadásban** ( $BE = 1, KI = 0$ )
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **szakadásban** van, a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] **vezessen** ( $BE = 0, KI = 1$ )
- Ehhez egy olyan *normally OFF device* kell, ami az nMOS tranzisztorhoz képest ellentett vezérléssel működik
  - Ilyen a növekményes **pMOS tranzisztor**



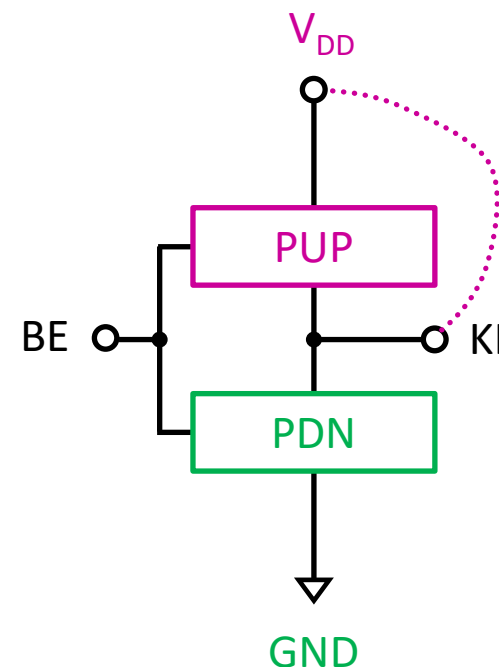
# A CMOS kapcsolástechnika

- A név: **C**omplementary **M**OS
- Ötlet: kapjon a felhúzó áramkör (az nMOS “load”) is aktív vezérlést
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **vezet**, akkor a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] legyen **szakadásban** ( $BE = 1, KI = 0$ )
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **szakadásban** van, a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] **vezessen** ( $BE = 0, KI = 1$ )
- Ehhez egy olyan *normally OFF device* kell, ami az nMOS tranzisztorhoz képest ellentett vezérléssel működik
  - Ilyen a növekményes **pMOS tranzisztor**



# A CMOS kapcsolástechnika

- A név: **C**omplementary **M**OS
- Ötlet: kapjon a felhúzó áramkör (az nMOS “load”) is aktív vezérlést
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **vezet**, akkor a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] legyen **szakadásban** ( $BE = 1, KI = 0$ )
  - ha az **nMOS lehúzó áramkör** [*driver* (kapcsoló) tranzisztor] **szakadásban** van, a **felhúzó áramkör** [a *load* helyén lévő tranzisztor] **vezessen** ( $BE = 0, KI = 1$ )
- Ehhez egy olyan *normally OFF device* kell, ami az nMOS tranzisztorhoz képest ellentett vezérléssel működik
  - Ilyen a növekményes **pMOS tranzisztor**



# MOSFET típusok áttekintése

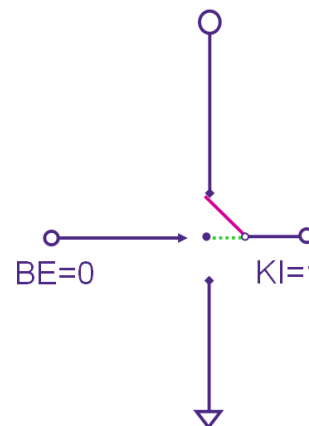
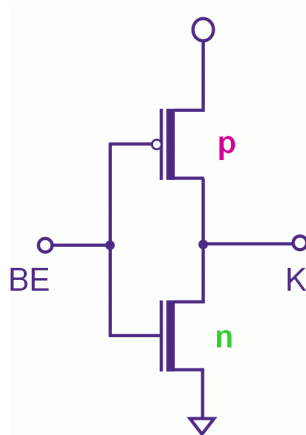
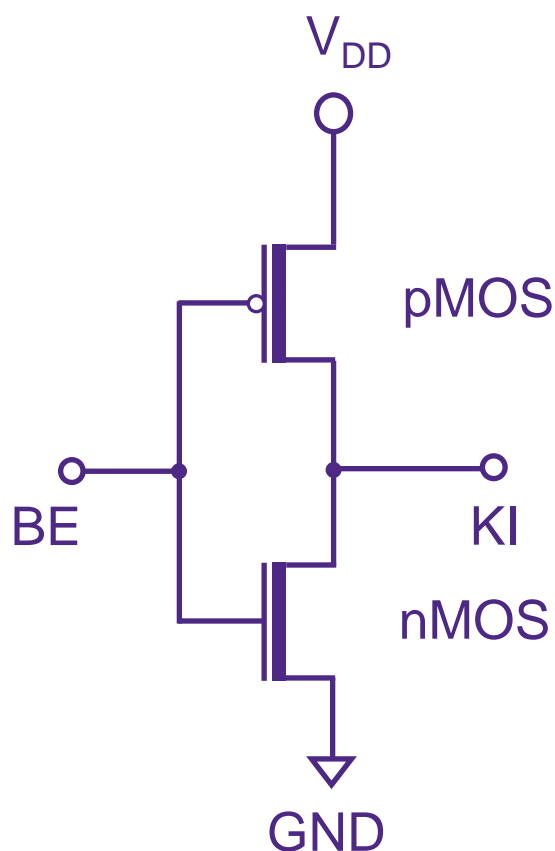
Type	Circuit Symbol	Cross Section	Output Characteristics	Transfer Characteristics
n-Channel Enhancement (Normally Off)				
n-Channel Depletion (Normally On)				
p-Channel Enhancement (Normally Off)				
p-Channel Depletion (Normally On)				

ellentétes előjelű  
vezérlőfeszültség a gate-en

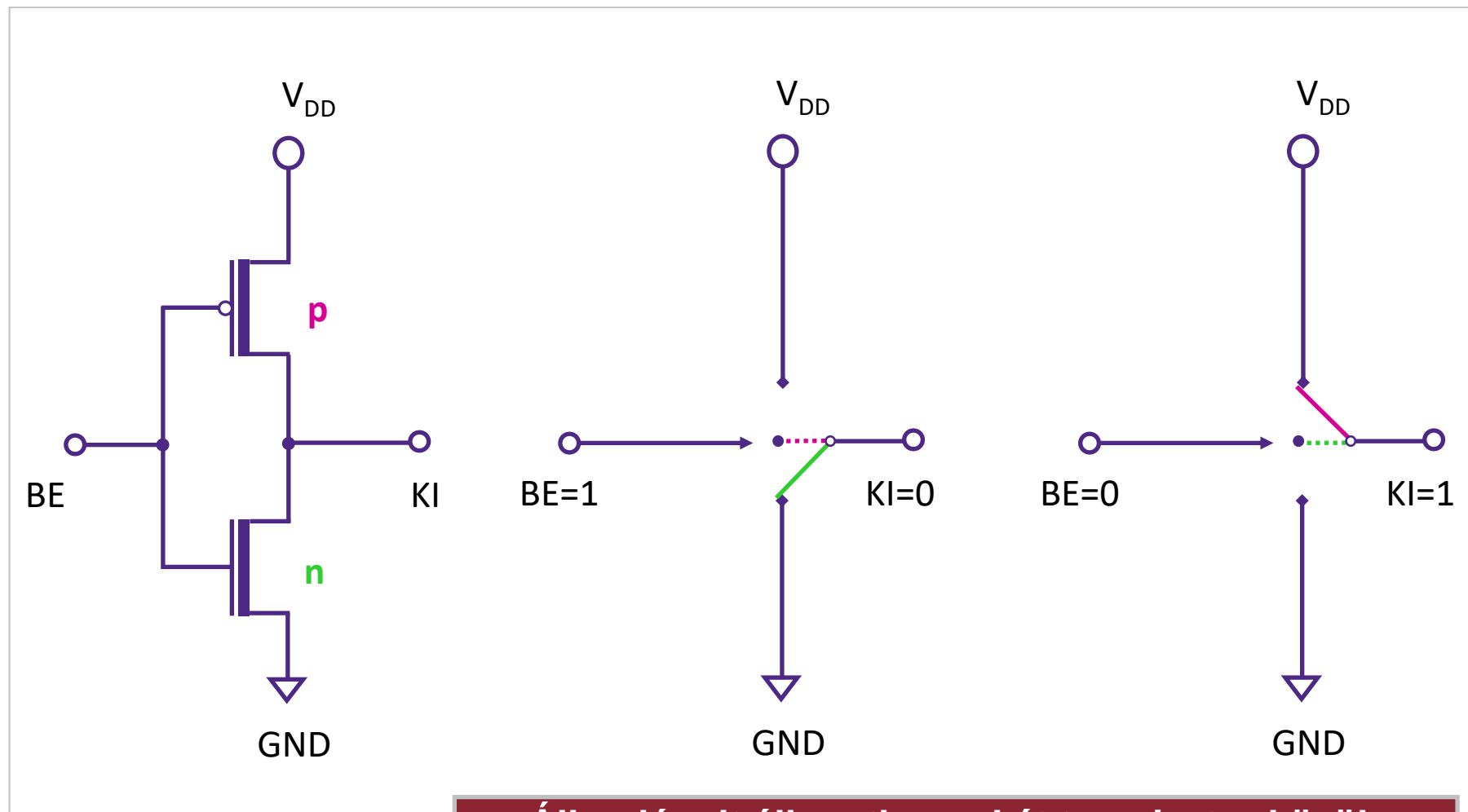
# A CMOS inverter

- Egy n és egy p típusú növekményes tranzisztorból áll
- **Aktív terhelésű inverter:** a két tranzisztort **egyszerre vezéreljük**

**Állandósult állapotban a két tranzisztor közül mindig csak az egyik vezet (on), a másik "szakadásban" van, azaz nem vezet (off).**



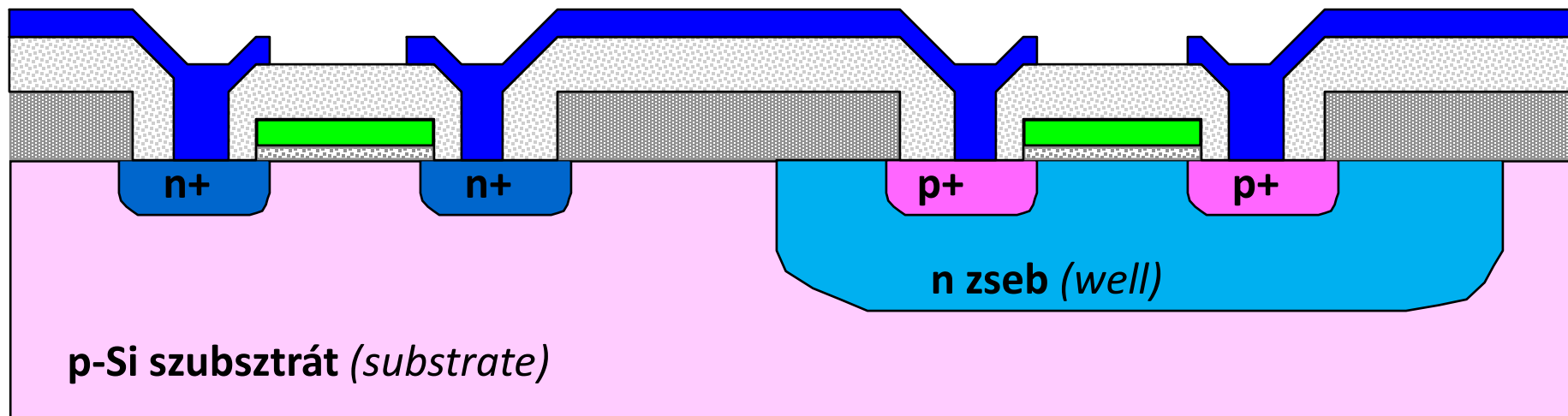
# CMOS inverter



Állandósult állapotban a két tranzisztor közül mindig csak az egyik vezet, a másik lezárt

# CMOS inverter

## ■ CMOS inverter keresztmetszeti képe



- nMOS-hoz képest többlet maszkok és többlet lépések, nagyobb helyfoglalás
  - n-zseb kialakítása, p-csatornás tranzisztorok S/D régiói
- Többletköltségek ellenére hatalmas előnyök az nMOS-hoz képest:
  - tiszta feszültség szintek ( $1 = V_{DD}$ ,  $0 = GND$ ),
  - Gyakorlatilag zéró statikus fogyasztás,
  - szimmetrikus karakterisztikák

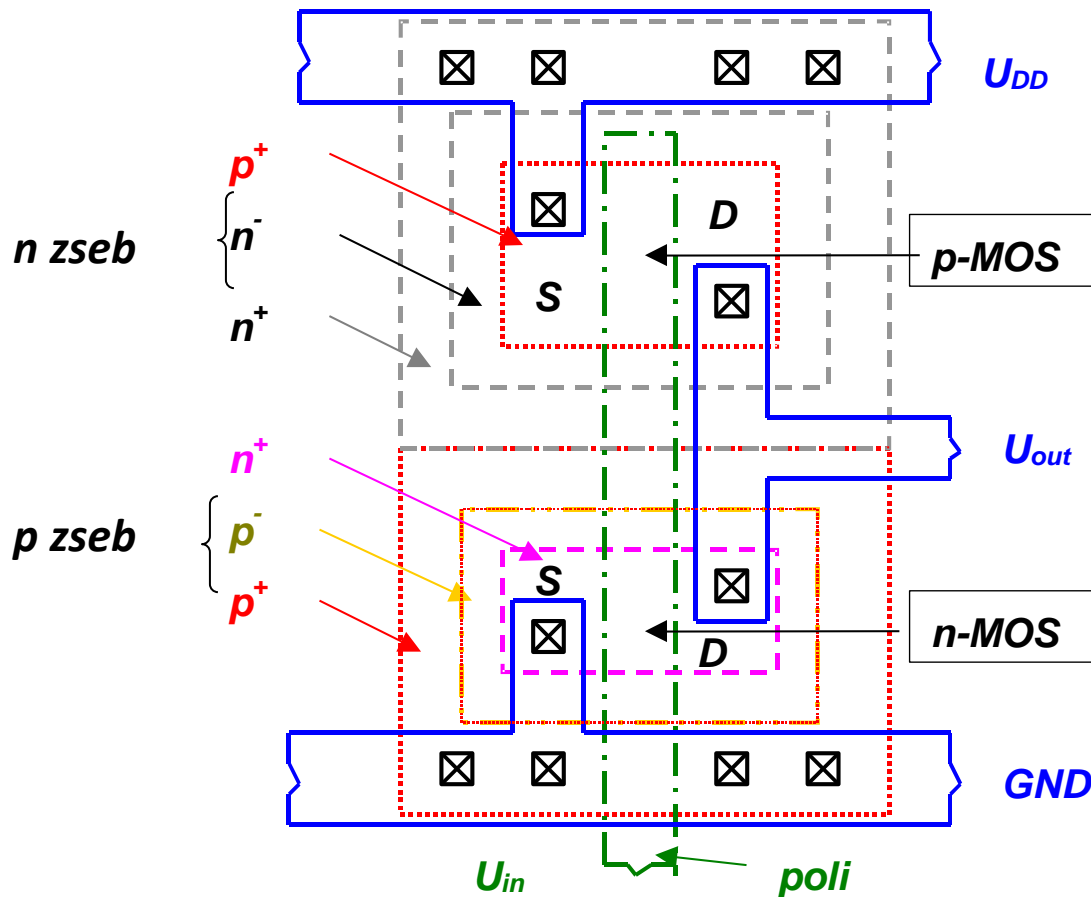


# CMOS technológia

- Többlet maszkok:
  - n-zseb (vagy p-zseb, a szubsztrát típusától függően)
  - p diffúzió (vagy n-diffúzió, a szubsztrát típusától függően)
- Több fémréteges CMOS:
  - minden fémréteghez saját maszk,
  - kontaktusok, viák
- Több poli réteg is lehetséges (analóg CMOS)
- Tipikus: 15..20 maszk
- Bizonyos szabályok betartandók a gyárthatósághoz: **tervezési szabályok (Design Rules)**
  - *a technológiából következnek, IC gyár adja*

# CMOS inverter

## ■ Inverter konstrukciók - CMOS kapcsolástechnika



# CMOS alapkapuk

Statikus CMOS áramköri logikák

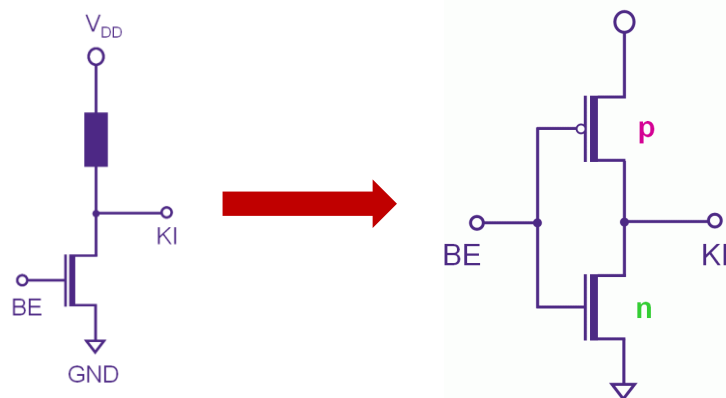
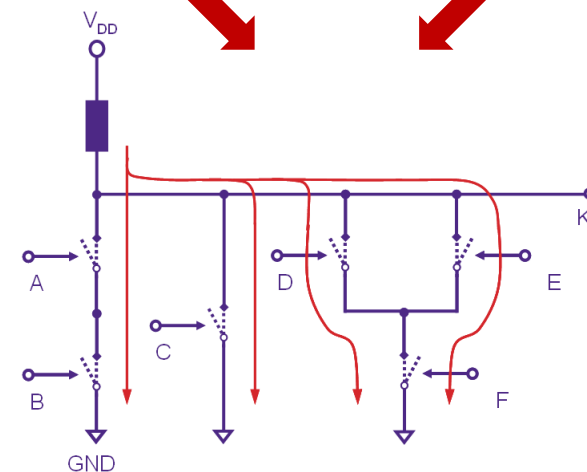
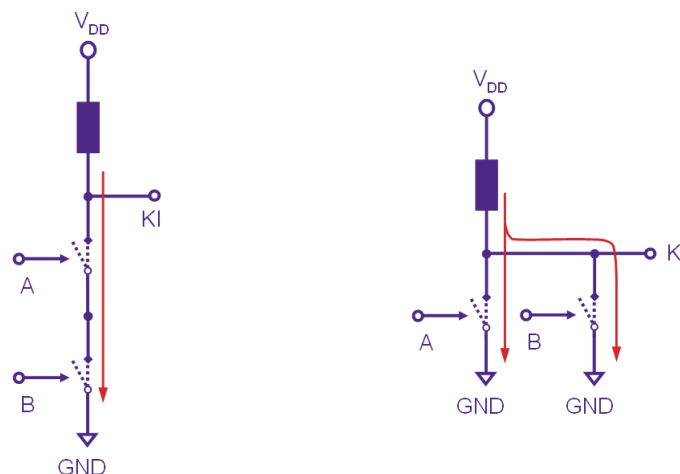
# CMOS kapuk konstrukciója

## 1. nMOS kapcsolóhálózat szerkesztése:

- *soros áramút: NAND kapcsolat*
- *párhuzamos áramút: NOR kapcsolat*
- *ezek kombinációja: komplex kapu*

## 2. Kapcsolók helyett nMOS tranzisztorok

## 3. Load helyett nMOS áramkör duálisa:

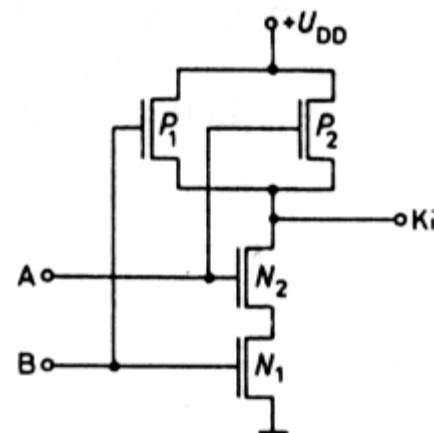
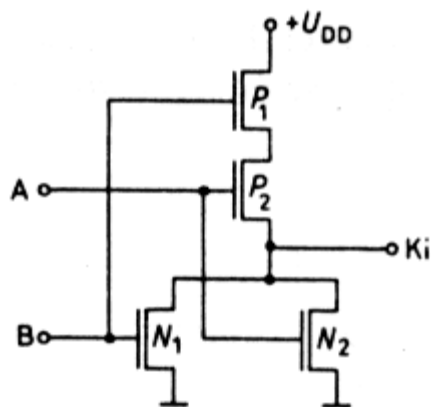


# CMOS kapuk konstrukciója

- A CMOS inverterben mindkét tranzisztort vezéreljük
- A kapuk esetében egy "felső" (pMOS PUN) ill. "alsó" (nMOS PDN) hálózat fog megjelenni, mindkét hálózat annyi tranzisztorból áll, ahány bemenete van a függvénynek.
  - Azoknál a bemeneti kombinációknál, ahol a függvény értéke 0, az alsó hálózat rövidzár a kimenet és a föld között, míg a felső hálózat szakadás a kimenet és a táp között
  - ha a függvény értéke 1, akkor az alsó hálózat szakadás, a felső hálózat rövidzár
- A p ill. n tranzisztorokkal duális hálózatokat kell megvalósítani!
- Azonos bemenetek tranzisztorait össze kell kötni

# CMOS kapuk konstrukciója

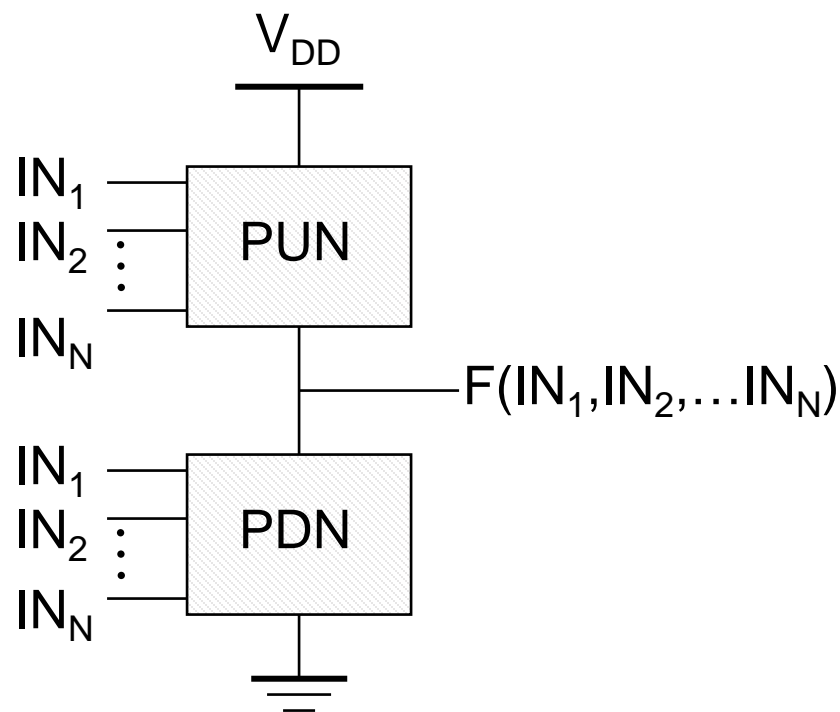
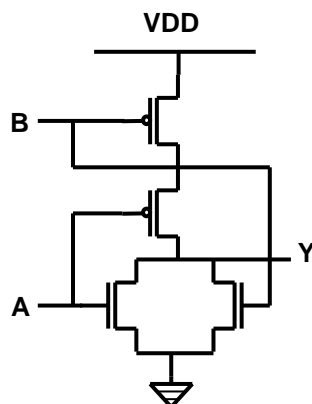
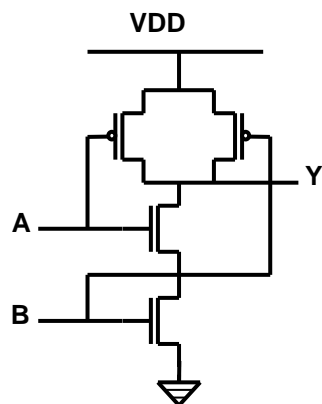
- NOR és NAND kapu



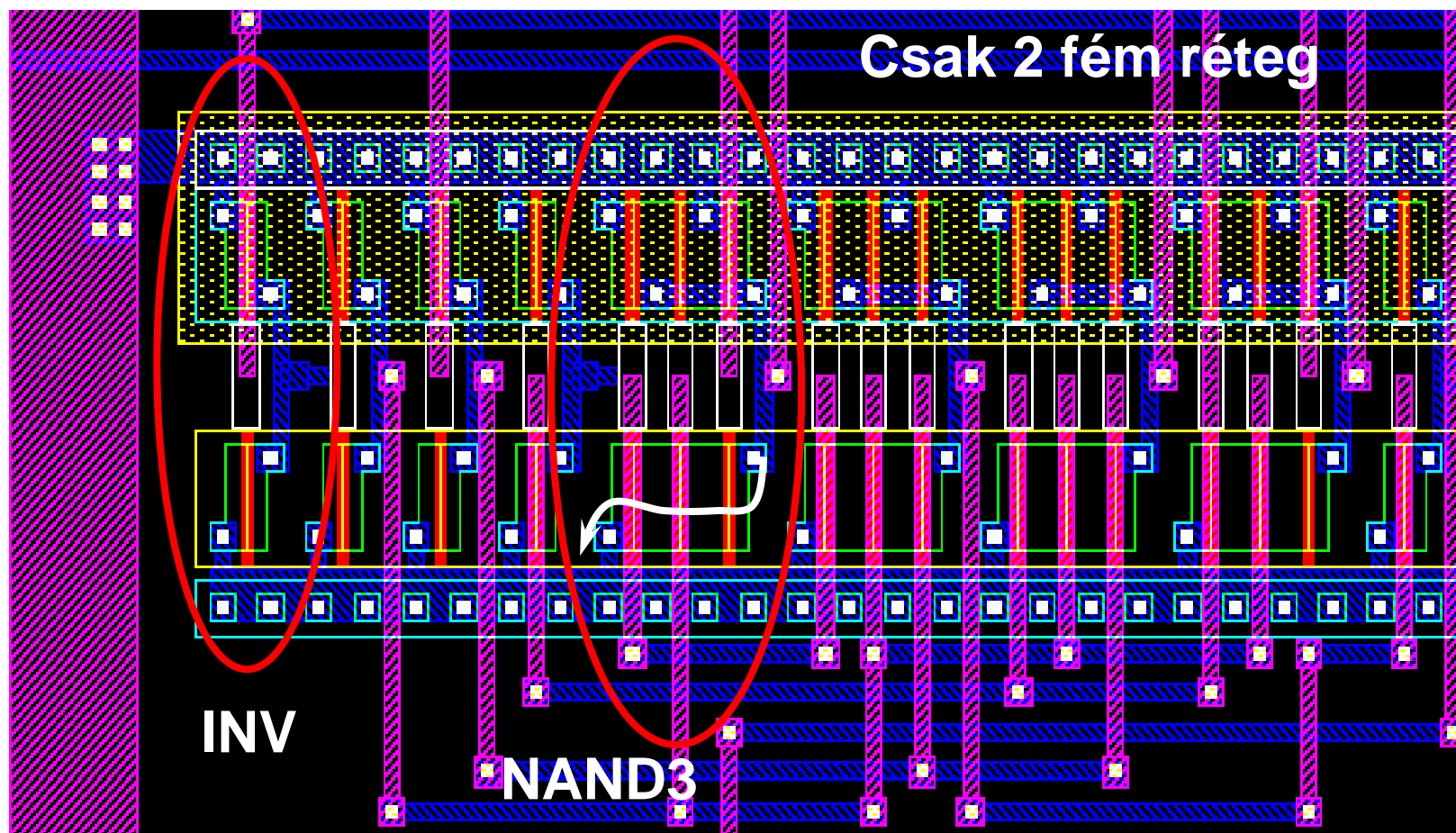
- **Egy  $n$  bemenetű CMOS kapuhoz  $2n$  db tranzisztorra van szükség**  
(passzív terhelésű kapuknál csak  $n+1$  kell)

# CMOS kapuk konstrukciója

- **nMOS hálózat:** GND-re húzza le a kimenetet: **Pull-Down Network**
- **pMOS hálózat:** VDD-re húzza fel a kimenetet: **Pull-Up Network**
- PUN a PDN duálisa



# Egy CMOS áramkör layout részlete

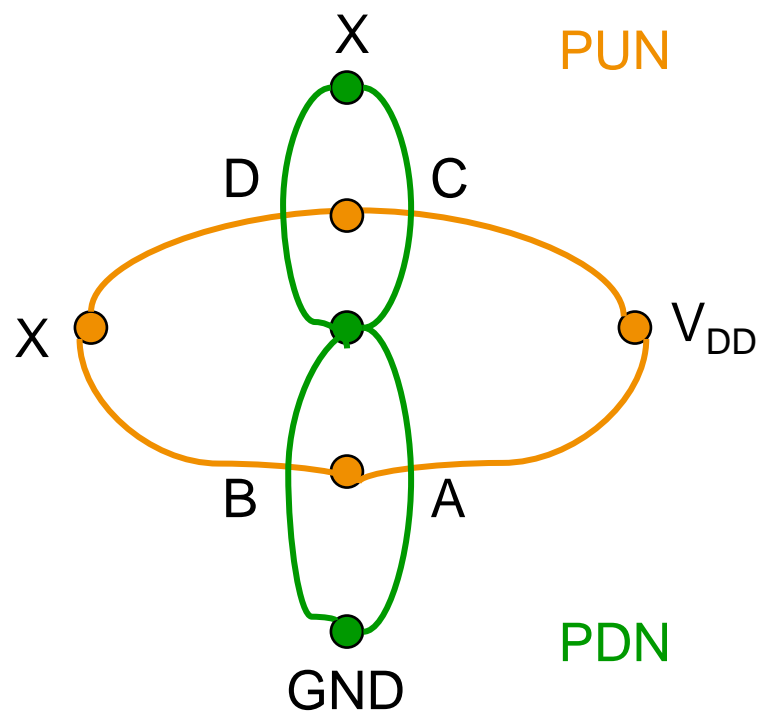
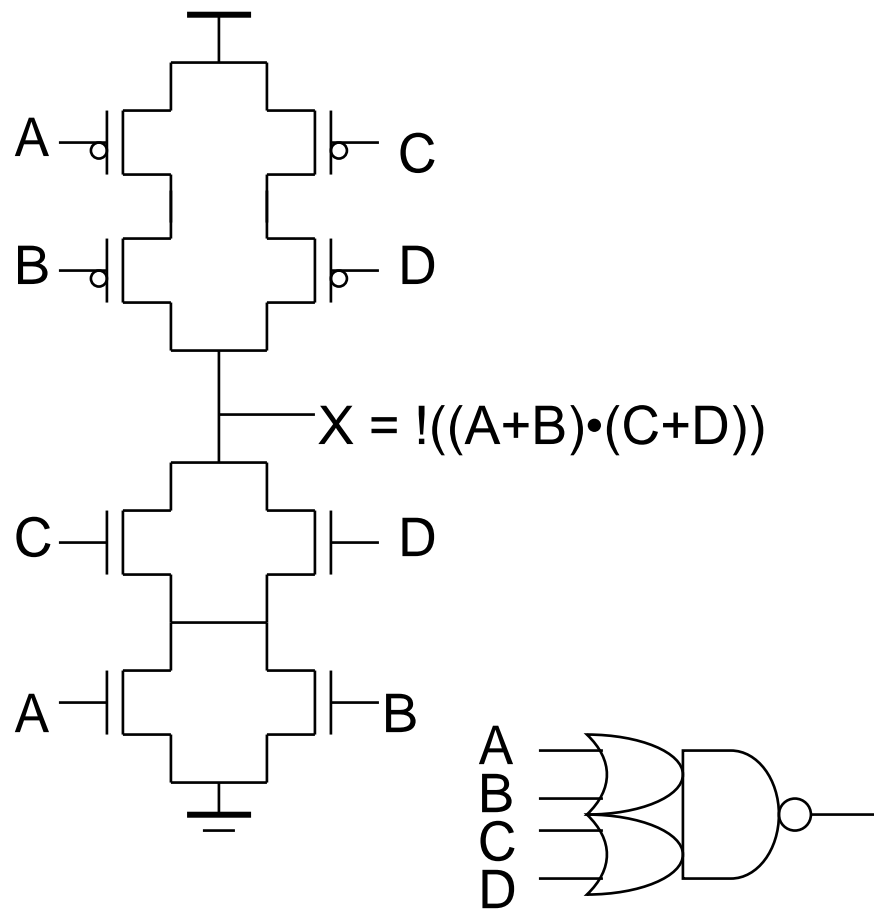


A layout jól visszafejthető (extract): ellenőrzés, valós késleltetések



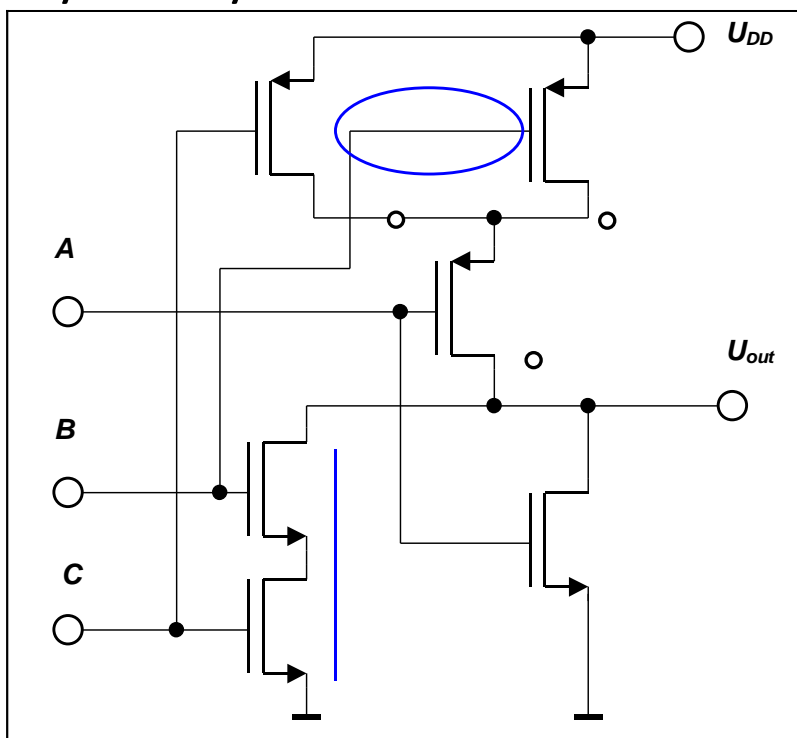
# CMOS kapuk konstrukciója

- Még „átlátható” komplex kapu kapcsolások



# CMOS kapuk konstrukciója

- Komplex CMOS kapuk szerkesztésének lépései:
  - duális topológia (hurokból vágat, vágatból hurok)
  - duális alkatrészekkel: nMOS helyett pMOS
  - azonos bemenetekhez tartozó tranzisztorok gate-jeit összekötni
  - W/L arányok helyes méretezése



$$F = \overline{A + BC}$$