

# MIKROELEKTRONIKA, VIEEAB00

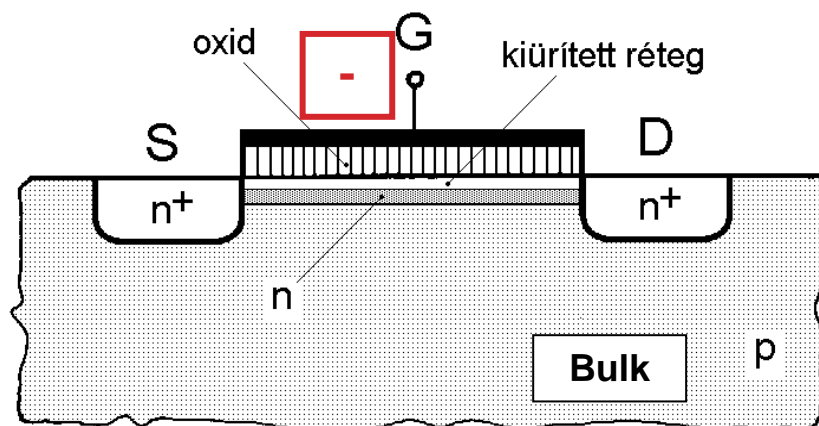
**Térvezérelt tranzisztorok II.**

**MOS-FET tranzisztorok**

# MOS-FET tranzisztorok

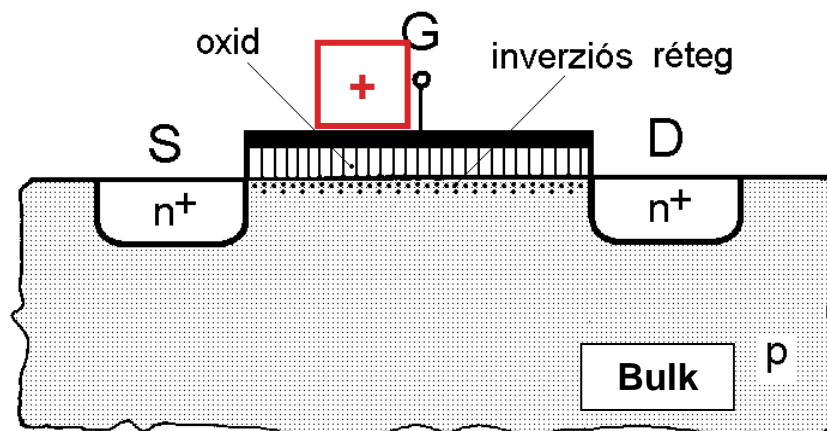
# Térvezérelt tranzisztorok 2

- MOSFET: **M**etal-**O**xide-**S**emiconductor **FET**



Első alaptípus: **kiürítéses**  
(depletion mode)

Legfontosabb paraméter:  
 $U_0$  elzáródási feszültség



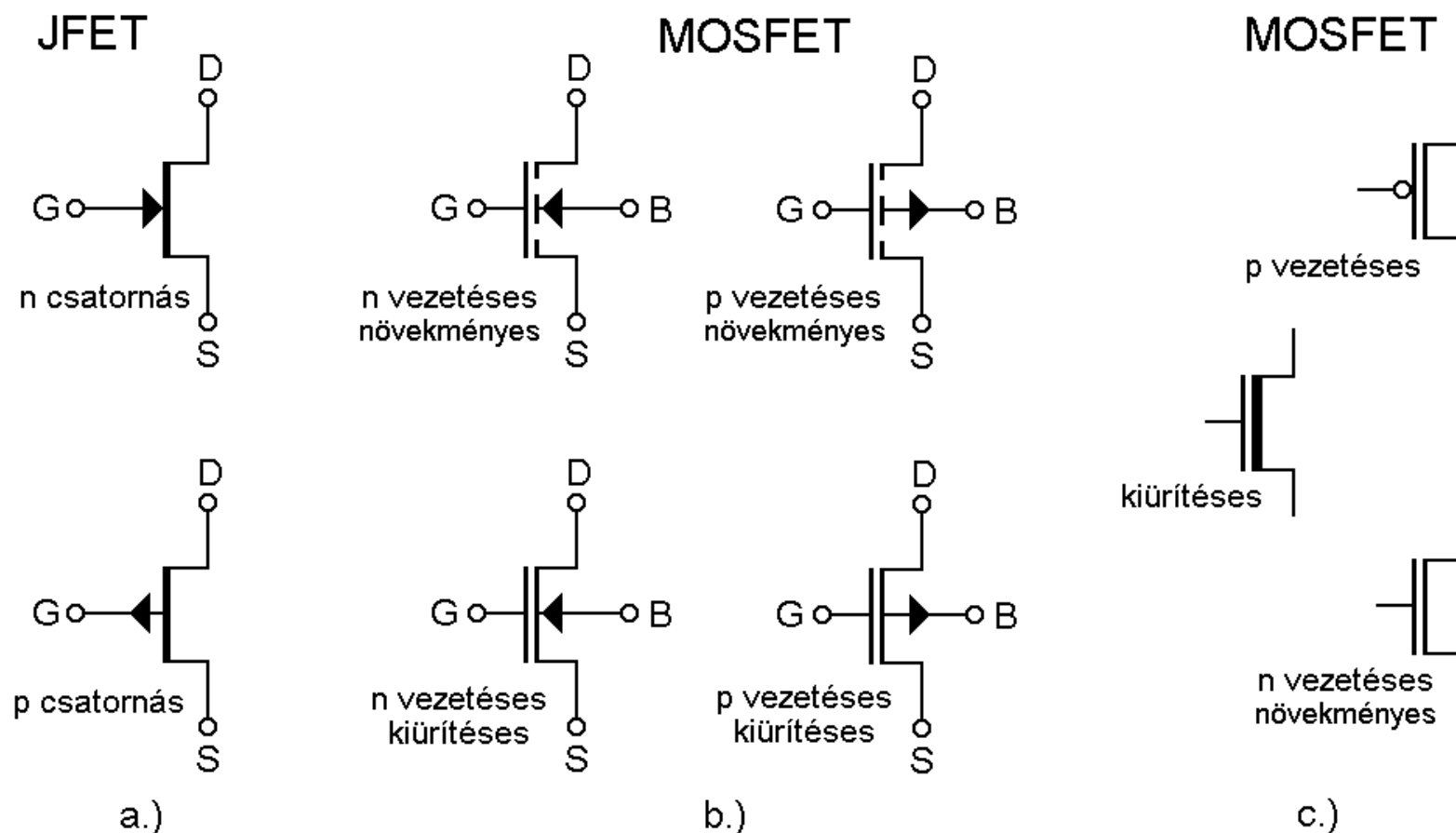
Második alaptípus: **növekményes**  
(enhancement mode)

Legfontosabb paraméter:  
 $V_T$  küszöbfeszültség  
(threshold voltage)

**Ezt használjuk a leggyakrabban**

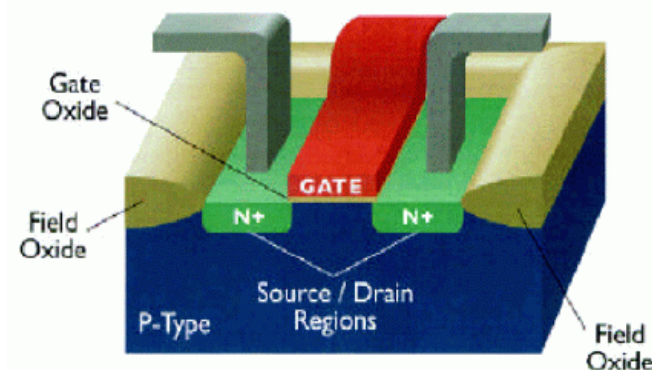
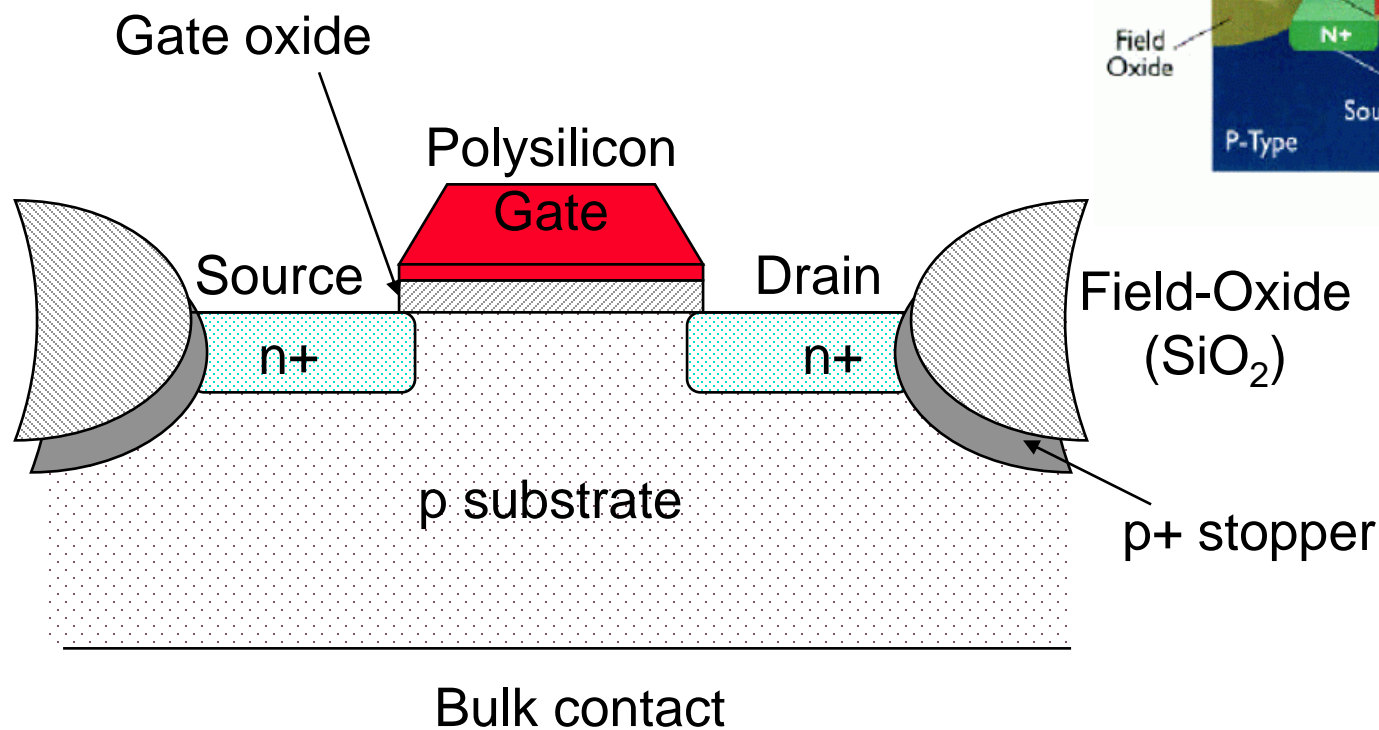
# Térvezérelt tranzisztorok 3

## ■ Jelölések:



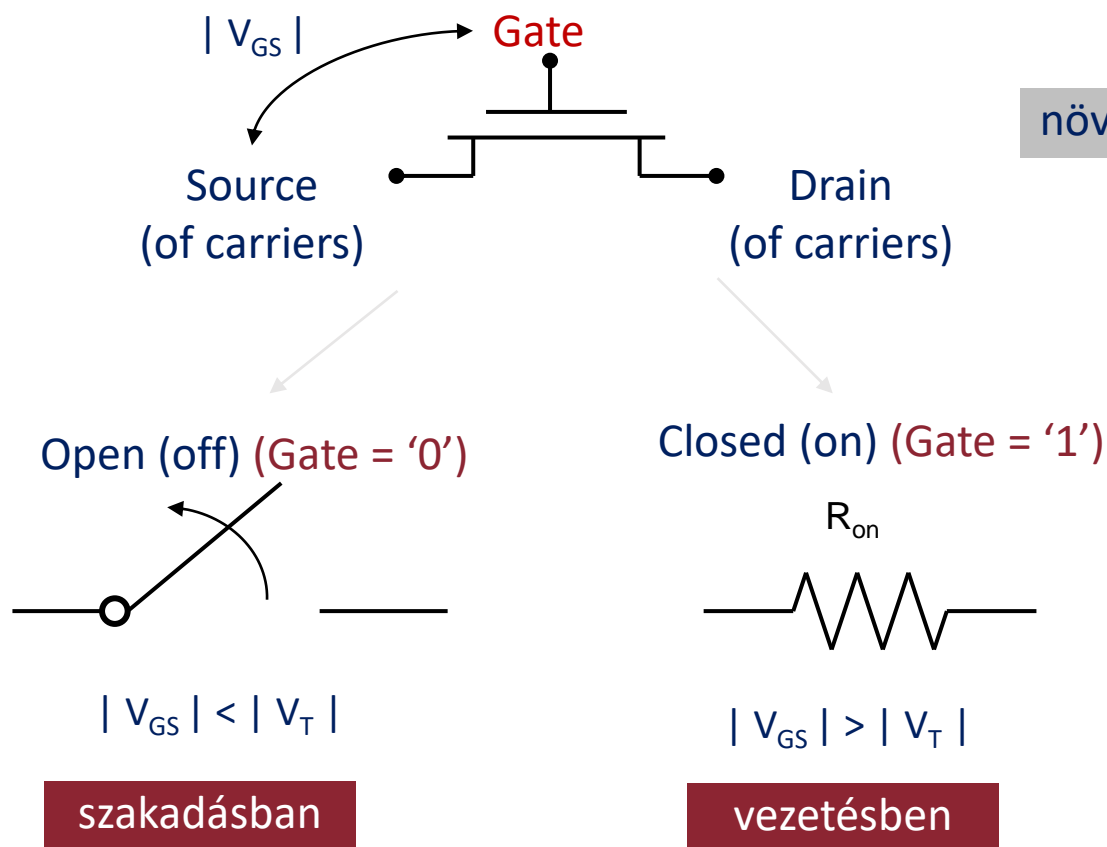
# MOSFET-ek

- Növekményes MOSFET „realisztikusabb” keresztmetszeti rajza:



# MOSFET-ek működése

- A működés legegyszerűbb (logikai) modellje (logikai kapcsolások):
  - nem vezet (off) / vezet (on)



# MOSFET-ek működése

- n-csatornás eszköz:
  - elektronok vezetnek
- p-csatornás eszköz:
  - lyukak vezetnek
  - működés elve u.a., mint az n-csatornás eszközök esetében; előjel váltás
- **Normally OFF device:** 0 vezérlőfeszültség esetén "szakadásban" (növekményes tranzisztor)
- **Normally ON device:** 0 vezérlőfeszültség esetén "vezetésben" (kiürítéses tranzisztor)

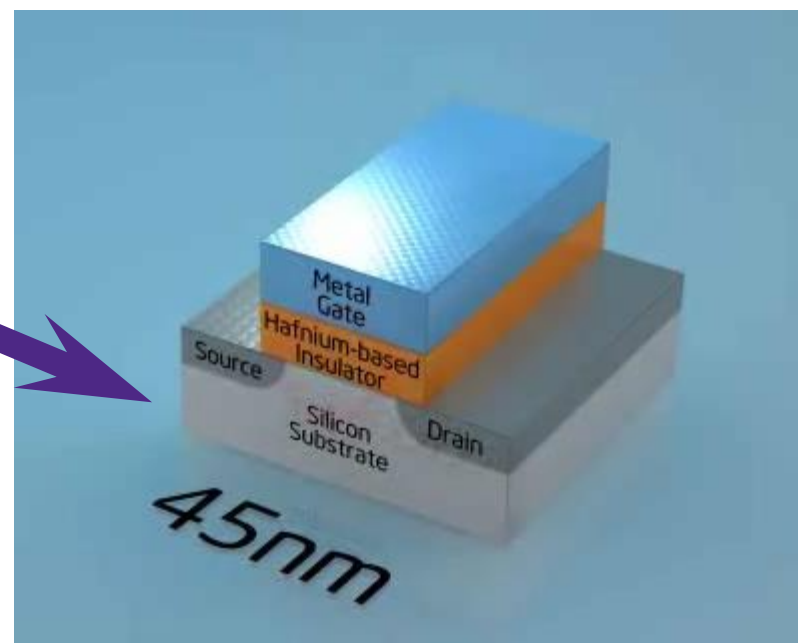
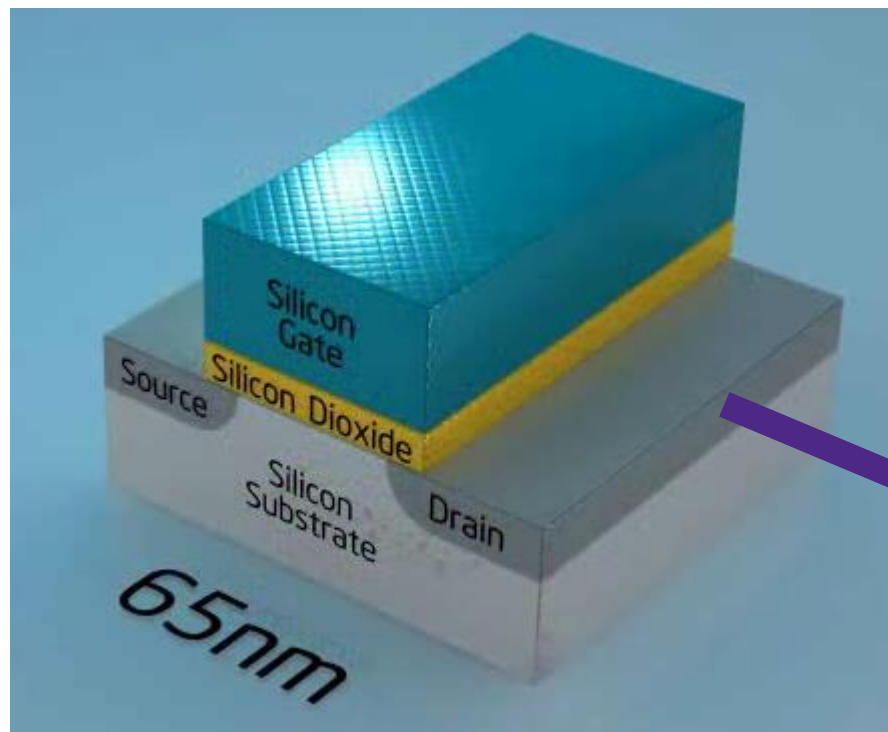
# MOSFET típusok áttekintése

Type	Circuit Symbol	Cross Section	Output Characteristics	Transfer Characteristics
n-Channel Enhancement (Normally Off)				
n-Channel Depletion (Normally On)				
p-Channel Enhancement (Normally Off)				
p-Channel Depletion (Normally On)				



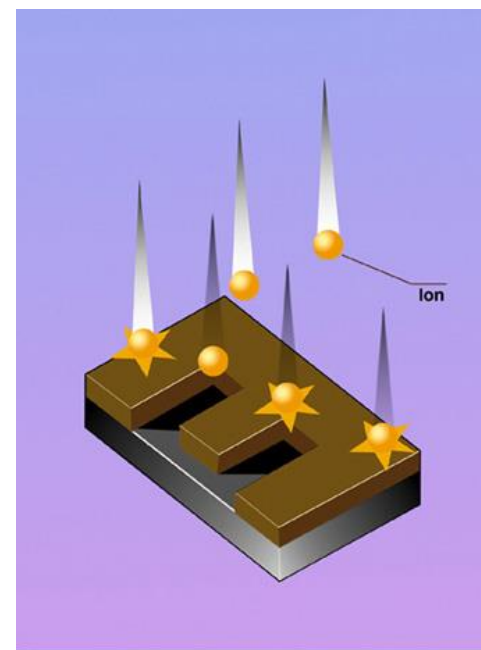
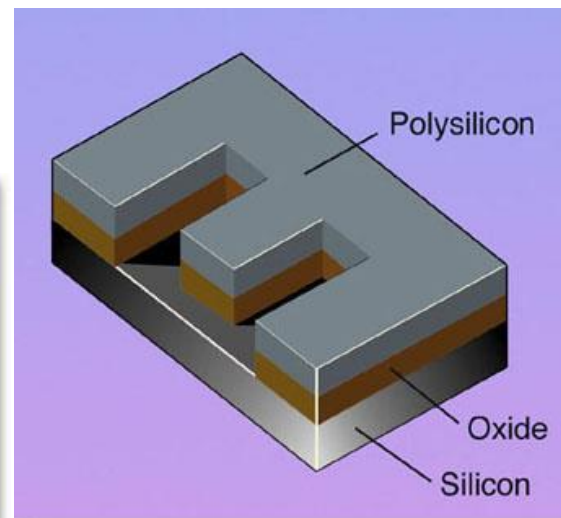
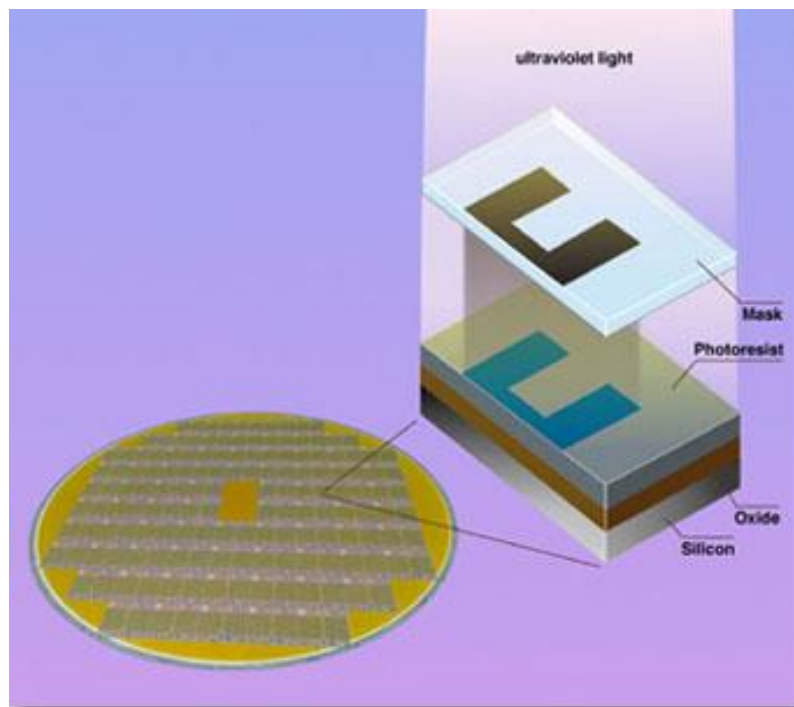
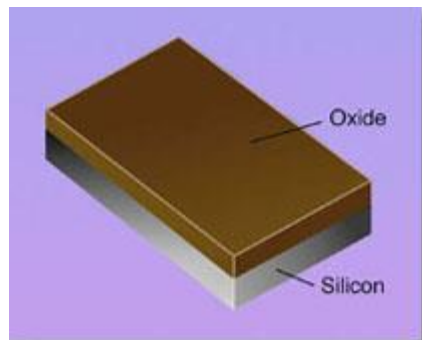
# MOSFET tranzisztorok folyamatos fejlődése

- 2007/2008, Intel



**Modernebb megvalósításokkal MSc-n foglalkozunk!**

# Hogyan készül?



**Fotolitográfia a kulcskérdés!**

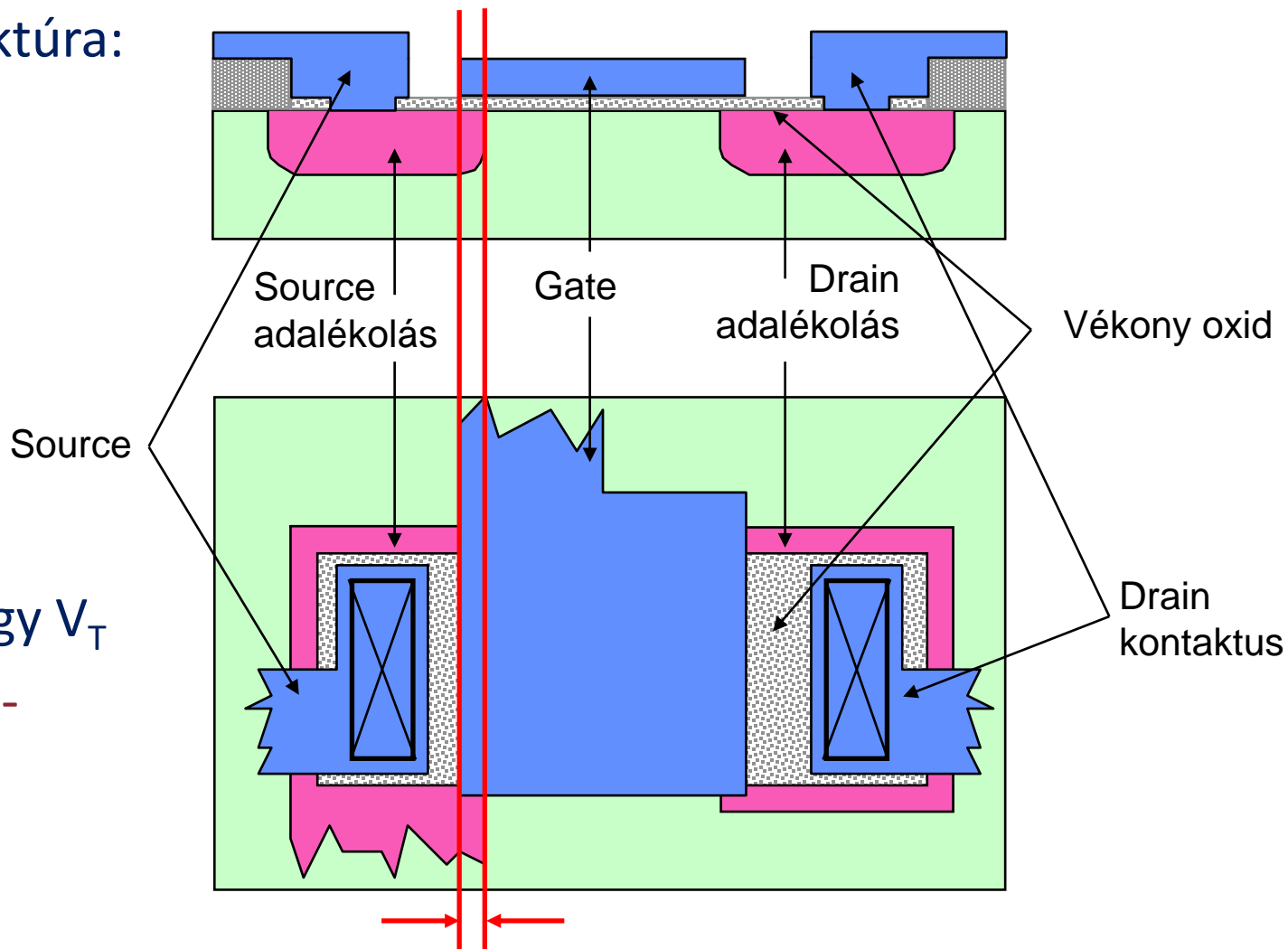
# Fém gate-es MOS tranzisztor

A mélységi struktúra:

Layout rajzolat:

**Gondok:**

- fém gate – nagy  $V_T$
- pontos maszk-illesztés kell !



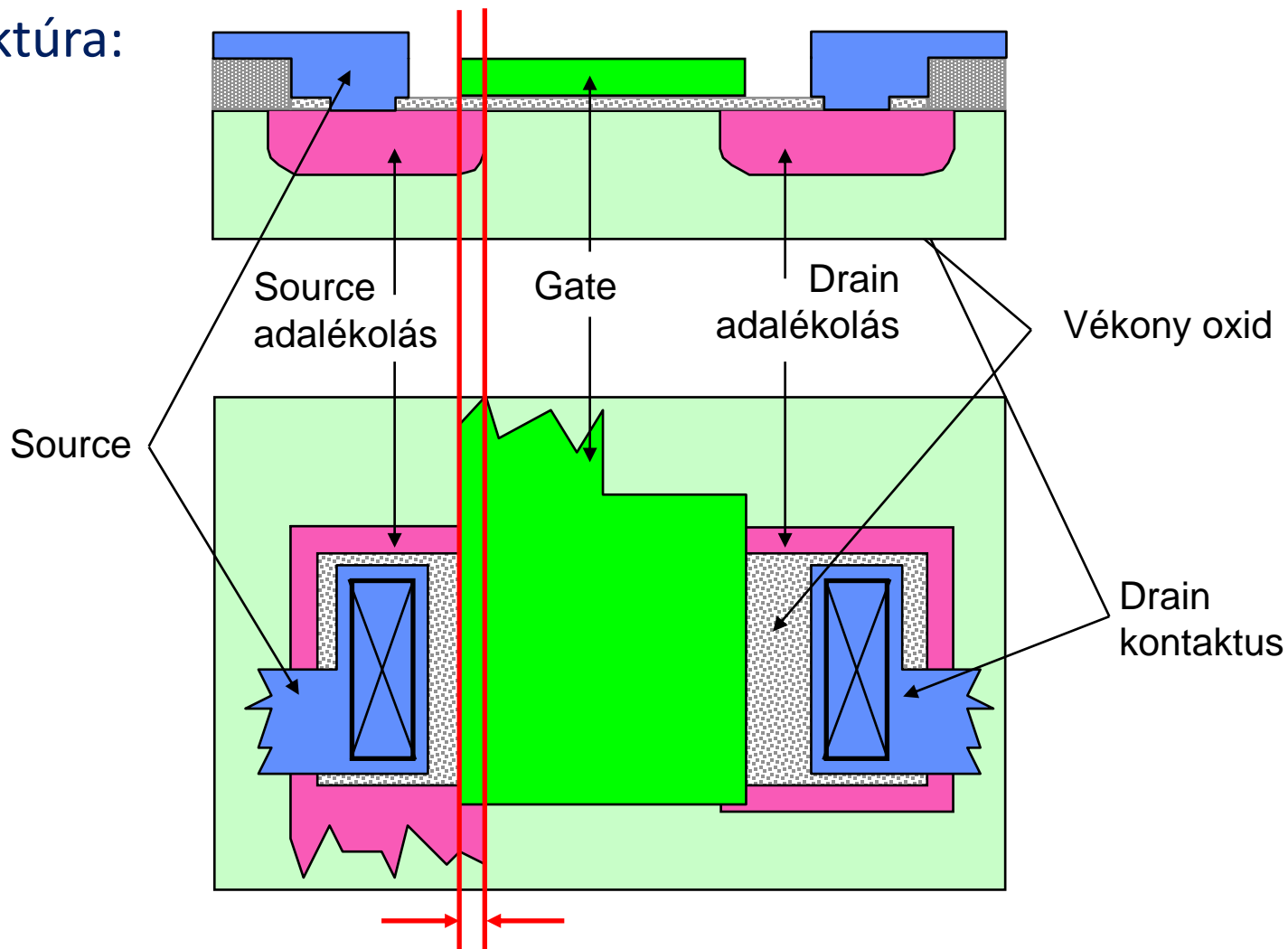
# Poli-Si gate-es MOS tranzisztor

A mélységi struktúra:

Layout rajzolat:

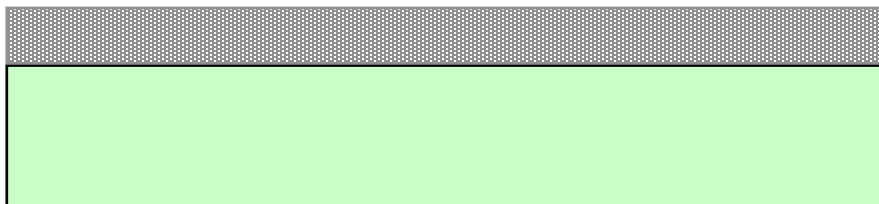
## Előnyei

- kisebb  $V_T$
- önillesztés



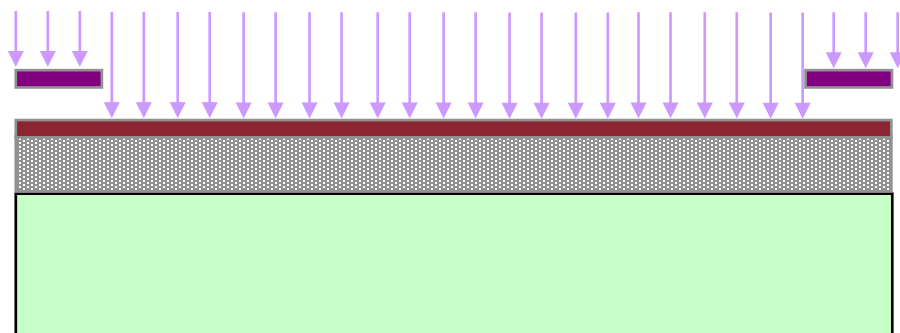
# A poli-Si gate-es nMOS technológia

- Kiindulás: p típusú szubsztrát (Si szelet)
  - tisztítás,
  - majd vastag  $\text{SiO}_2$  (*field oxide*) növesztése

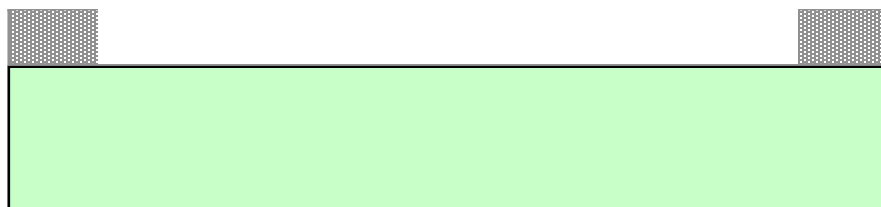


# A poli-Si gate-es nMOS technológia

- Aktív zóna kialakítása fotolitográfiával
  - fotoreziszt felvitele,
    - exponálás UV fénnel maszkon keresztül,
    - előhívás, exponált reziszt eltávolítása
    - $\text{SiO}_2$  kémiai marása, fotoreziszt maradékának eltávolítása



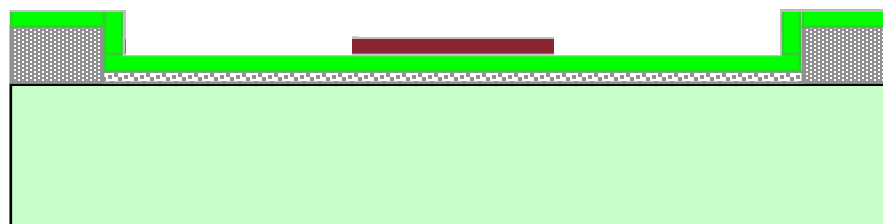
**M1: aktív zóna**



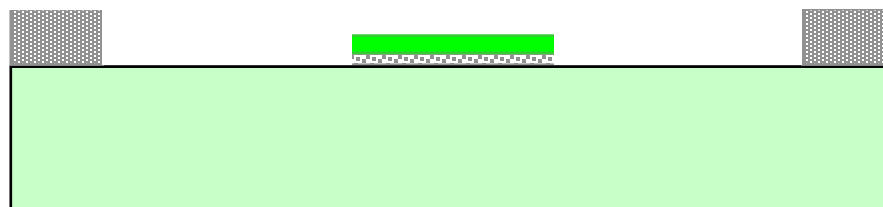
# A poli-Si gate-es nMOS technológia

## ▪ Gate kialakítása:

- vékony oxid növesztése
- poli-Si leválasztása
- poli-Si mintázat kialakítása fotolitográfiával (reziszt, exponálás, előhívás)
- poli-Si marása, exponált reziszt eltávolítása, vékony oxid marása

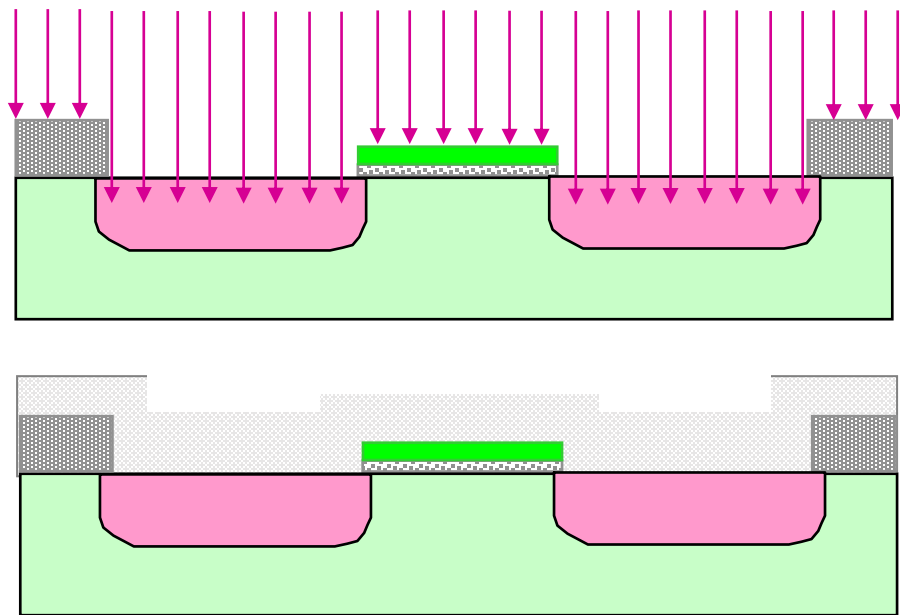


**M2: poli-Si mintázat**



# A poli-Si gate-es nMOS technológia

- S/D adalékolás (implantáció)
  - az oxid (vastag) és a gate maszkolja az adalékolást
  - megvalósul a gate önillesztése
- Foszfor-szilikát üveg (PSG) leválasztása: passziválás

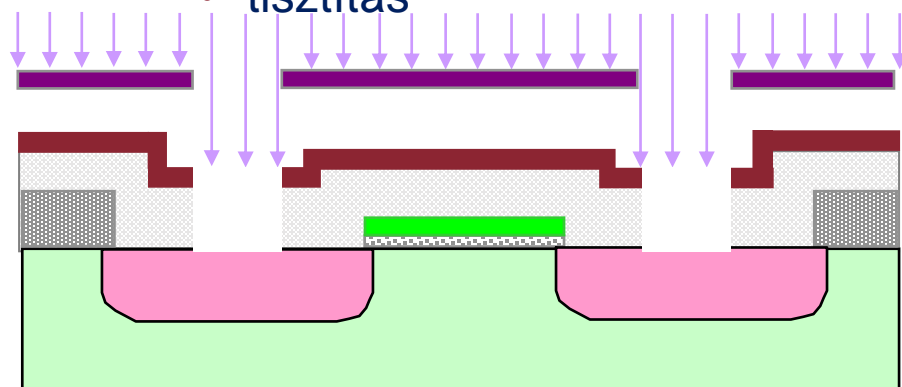




# A poli-Si gate-es nMOS technológia

## ▪ Kontaktusablakok nyitása

- fotolitográfia (reziszt, mintázat fényképezése, előhívás)
- marás (mintázat átvitele)
- tisztítás

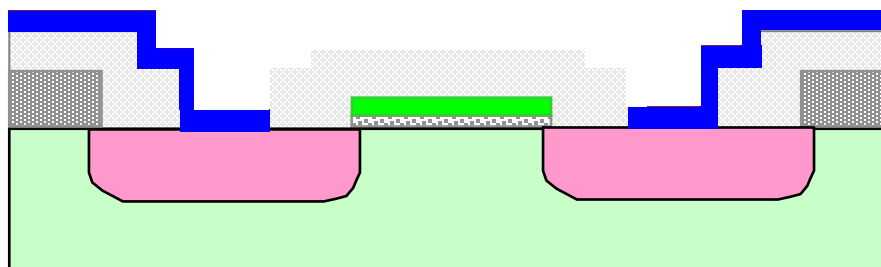


**M3: kontaktus-mintázat**

# A poli-Si gate-es nMOS technológia

## ▪ Fémezés kialakítás

- Al leválasztása
- fotolitográfia, marás, tisztítás

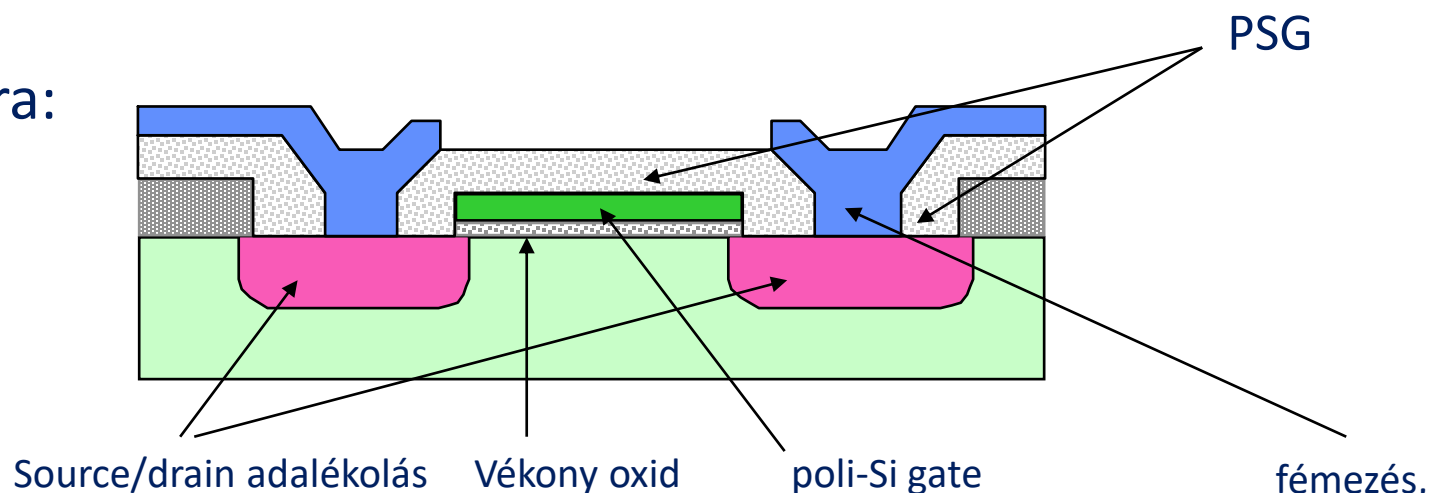


**M4: fémezés-mintázat**

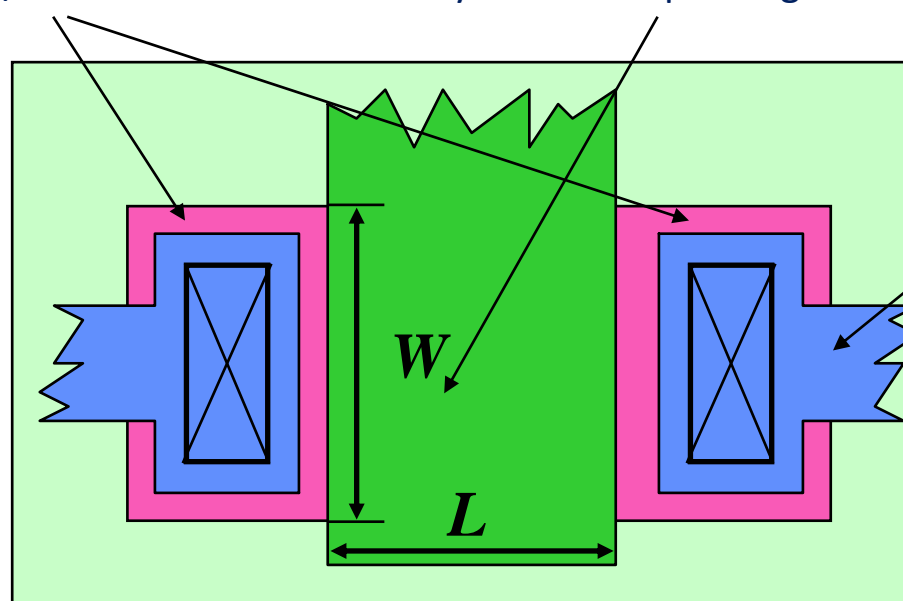
- ▶ A technológia receptje kötött, a mélységi struktúrát egyértelműen meghatározzák az egymást követő maszkok
- ▶ Elegendő a maszkon kialakítandó alakzatokat megadni
  - az egymást követő **maszkokon kialakítandó rajzolatok együttesét layout-nak nevezzük**

# Poli-Si gate-es tranzisztor

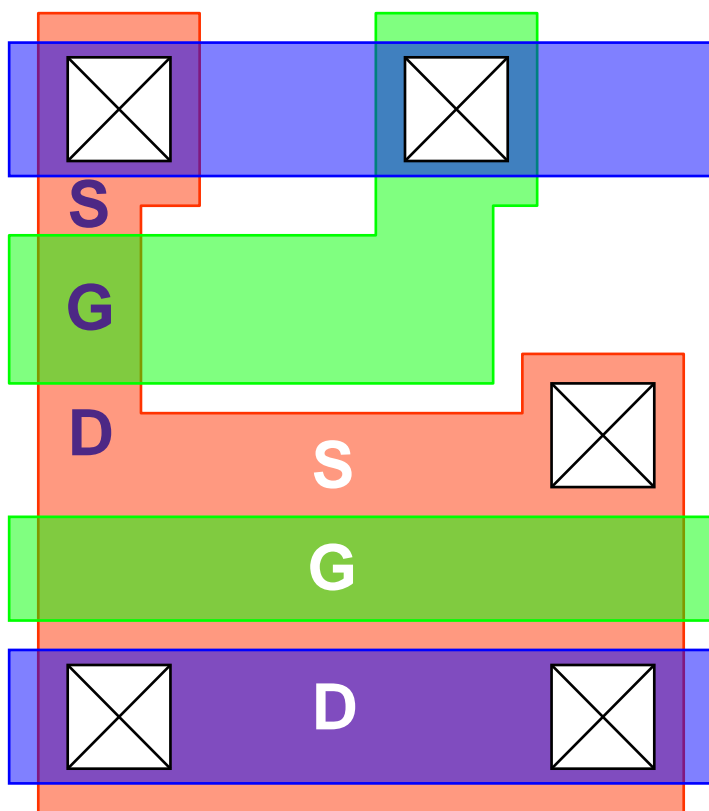
Struktúra:



Layout:



# Egy kiürítéses inverter layout rajza



- Layout = az egymást követő maszkokon kialakítandó 2D-s alakzatok együttese
- Minden egyes maszkhoz színkódot rendelünk:
  - aktív terület: **piros**
  - poli-Si: **zöld**
  - kontaktusok: **fekete**
  - fémezés: **kék**
- Maszk == layout sík (réteg)

**Inverter működés: lásd később**

Hol van tranzisztor? Adalékolt régiók között csatorna van

CHANNEL = **ACTIVE** AND **POLY**

# Egy önillesztő poli-Si gate-es MOS technológia

## 1) Ablaknyitás az aktív területnek

- Fotolitográfia, oxidmarás

**1. Maszk**

## 2) Vékony oxid növesztése

## 3) Bújtatott kontaktusok kialakítása

A következőkben leválasztandó poli-Si réteg a hordozóval érintkezik. Adalékolás után az aktív réteggel kontaktusba kerül.

**2. Maszk**

## 3) Poli-Si leválasztás

## 4) Poli-Si mintázat kialakítása

**3. Maszk**

## 5) Ablaknyitás a vékony oxidon át

# Egy önillesztő poli-Si gate-es MOS technológia

## 6) n+ adalékolás:

Source és drain valamint diffúziós vezetékek kialakítása.

Bújtatott kontaktusnál a poli-Si-ot a diffúziós réteghez köti.

## 7) Foszfor-szilikát üveg (PSG) szigetelő réteg leválasztása

## 8) Kontaktus ablakok nyitása a PSG-n

**4. Maszk**

## 9) Fémezés felvitele

## 10) Fémezés mintázat kialakítása

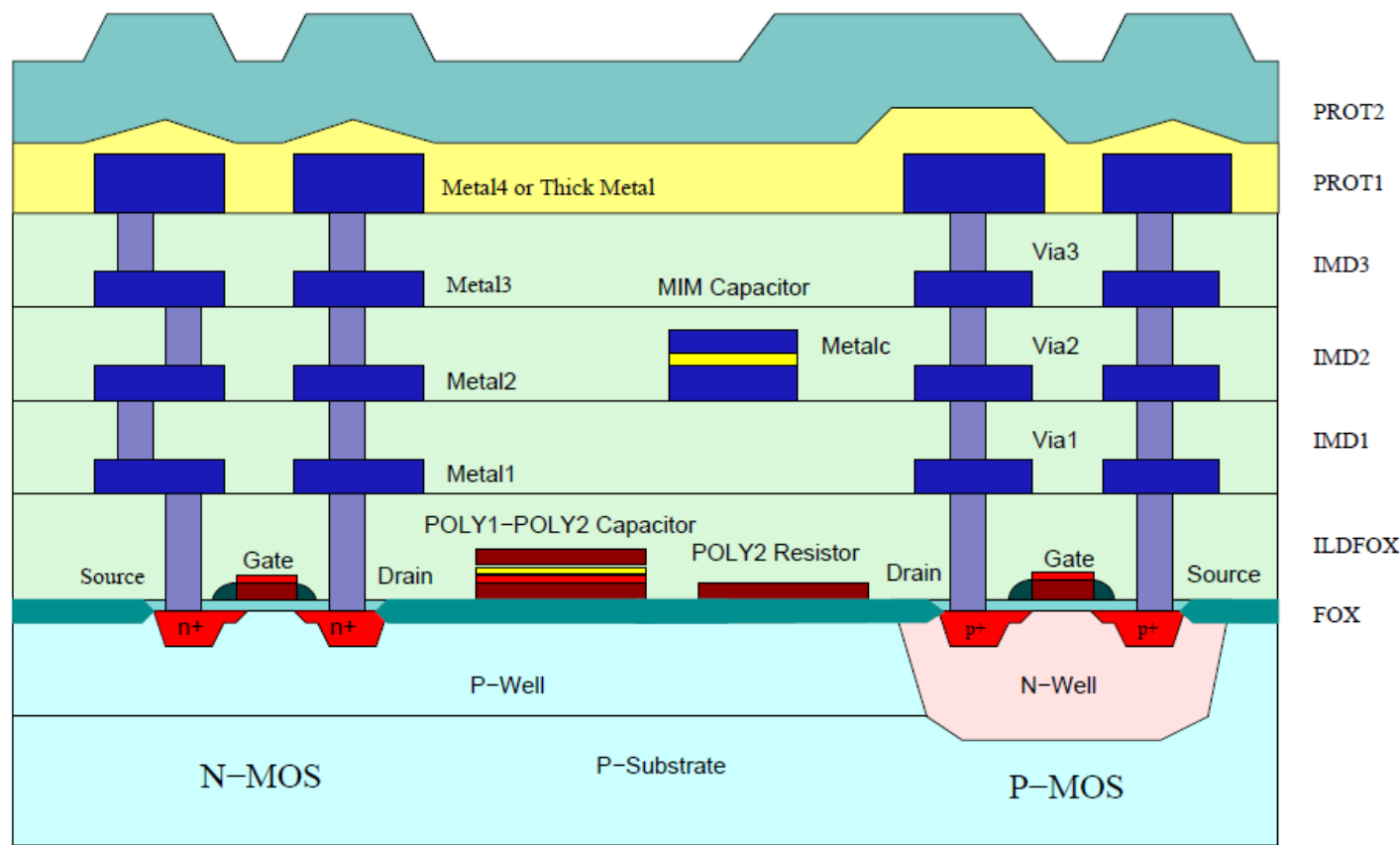
**5. Maszk**

# AMS 0.35 $\mu\text{m}$ CMOS technológia

- A pontos **process steps**, **layer-ek/maszkok listája**, a **keresztmetszeti kép**, stb. szigorúan **bizalmasan** kezelendő! Nagyon ritkán érhető el nyilvánosan!

**Confidential  
information**

**PDK**



Libor Rufer, „Fabless Approach to the Fabrication of Electroacoustic Micro-transducers”, CFA 2016 / VISHNO, April 2016

# AMS 0.35 $\mu\text{m}$ CMOS technológia

- Maszkok száma az igényelt kiegészítőktől is függ
  - Alap:  $p^-$  hordozó, 1 polySi, 3 fémréteg,  $3.3\text{V } V_{DD}$
  - Kiegészítő lehetőségek: polySi-polySi C,  $5\text{V } V_{DD}$  mid-oxid, nagy ellenállású polySi, 4. fémréteg, fém-fém precíziós kapacitás, alacsonyabb  $V_{th}$ , stb.

Process name	No. of reticles	Core module	PIP capacitor module	5V gate module	high resistive poly module	low TC poly module	Metal 4 module	Thick metal module	MIM capacitor module	Low VT module
C35A3B0	13	x								
C35B3C0	14	x	x							
C35B3C1	17	x	x	x						
C35B3C3	18	x	x	x	x					
C35B3L3	20	x	x	x	x					x
C35B4C0	16	x	x				x			
C35B4C3	20	x	x	x	x		x			
C35B4T1	20	x	x	x				x		
C35B4M3	22	x	x	x	x			x	x	
C35B4M6	18	x	x		x		x		x	
C35B4Z1	20	x	x	x		x	x			



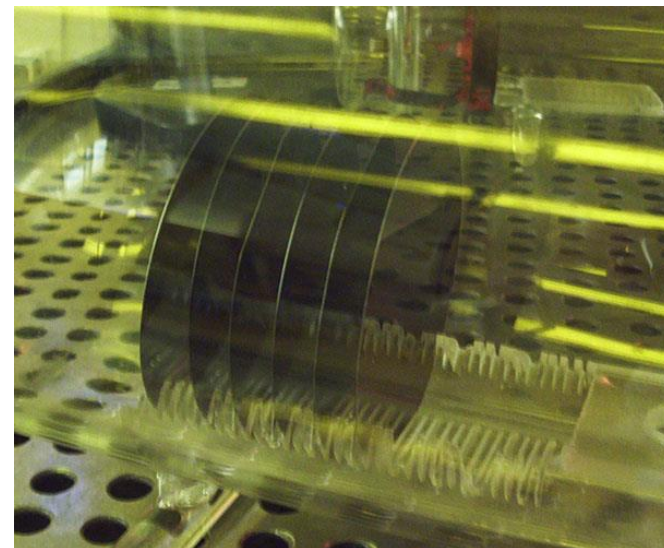
# AMS 0.35 $\mu\text{m}$ CMOS technológia

- Layout tervezés során alkalmazott rétegek (layer)
  - **Process layers**
    - **Az adott rétegen tervezett rajzolatból ténylegesen maszk készül**
    - Pl.: diffúzió, n-zseb, polySi, fém, kontaktus / VIA
  - **Definition layers**
    - Ezek a rétegek nem kerülnek alkalmazásra a chip gyártása során
    - A tervező rendszernek szükségesek (DRC, LVS, stb.)
    - Pl.: *CAPDEF, IPDEF (IP), METRES, RESDEF*, stb.
  - **Structures**
    - Különböző rétegeken megtervezett rajzolatok logikai kapcsolatából definiált struktúrák.
    - **Készülhet belőlük valóságos, a gyártáshoz szükséges maszk.**
    - Pl.: *GATE: DIFF and POLY* (aktív terület kialakításához),  
*DIFFCON: CONT and DIFF* (kontaktus a diffúzióhoz)
  - **Elements**
    - Felismert alkatrészek
    - A tervező rendszer szolgáltatása (LVS, Extract)
    - Pl.: *NMOS: NGATE & PSUB; RDIFFN: NDIFF & RESDEF, RPOLY: POLY & RESDEF*

# UC Berkeley Marwell Nanolab

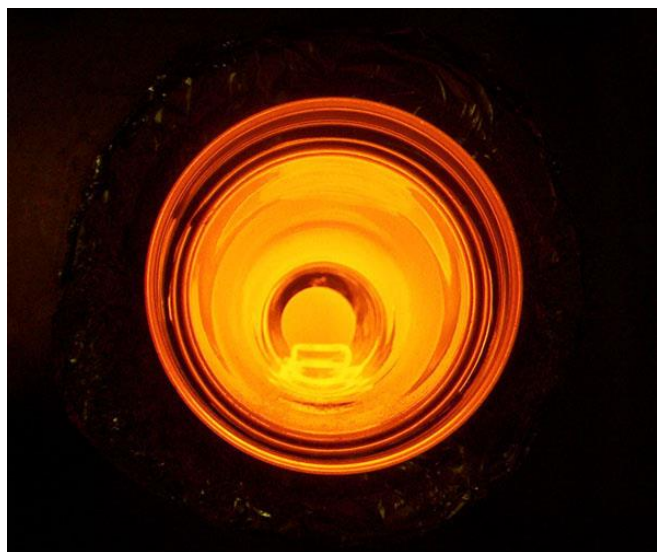
- Pontos process leírások, kísérleti eredmények, nyilvánosan elérhető
  - Vörös Katalin 25 éven át vezette a Berkeley mikroelektronikai technológia laboratóriumát (Microfabrication Laboratory)
  - Rengeteg magyar kutató, postdoc dolgozott itt
  - MEMS & CMOS integráció, tesztstruktúrák tervezése, stb.
- 0.35  $\mu\text{m}$  CMOS technológia, 22 maszk  
[Laszlo Petho and Anita Pongracz, 0.35  \$\mu\text{m}\$  CMOS PROCESS ON SIX-INCH WAFERS, Baseline Report VI.](#)
- <https://nanolab.berkeley.edu/public/process/baseline/baseline.shtml>

# P-csatornás monolit IC készítése



**Szelettisztítás**

# P-csatornás monolit IC készítése



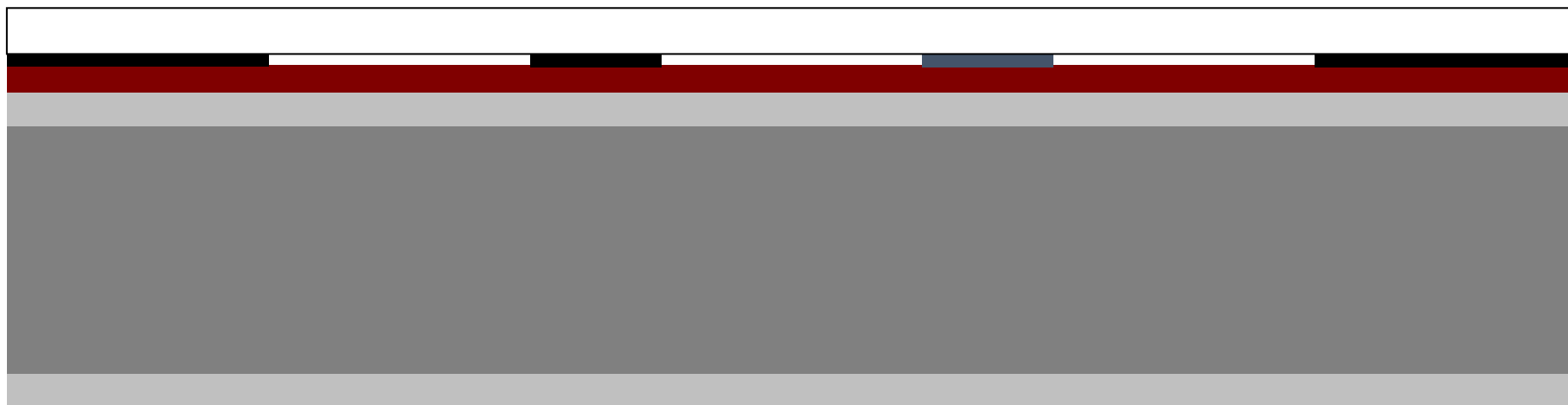
**Vastagoxid-növesztés (ún. *field oxide*)**

# P-csatornás monolit IC készítése



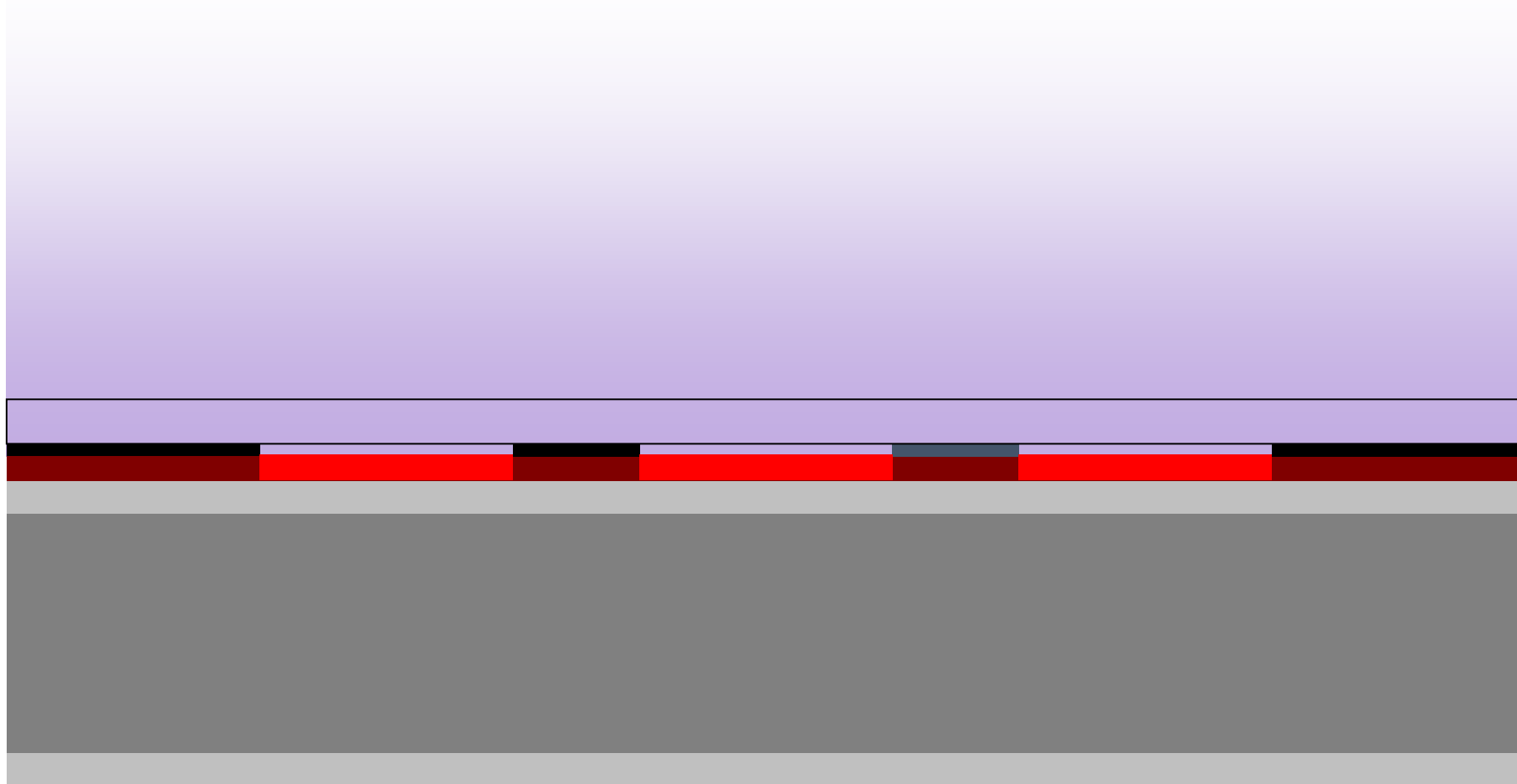
**Fotolitográfia: reziszt cseppentés, felpörgetés**

# P-csatornás monolit IC készítése



**Fotolitográfia: maszkillesztés**

# P-csatornás monolit IC készítése



**Fotolitográfia: megvilágítás**

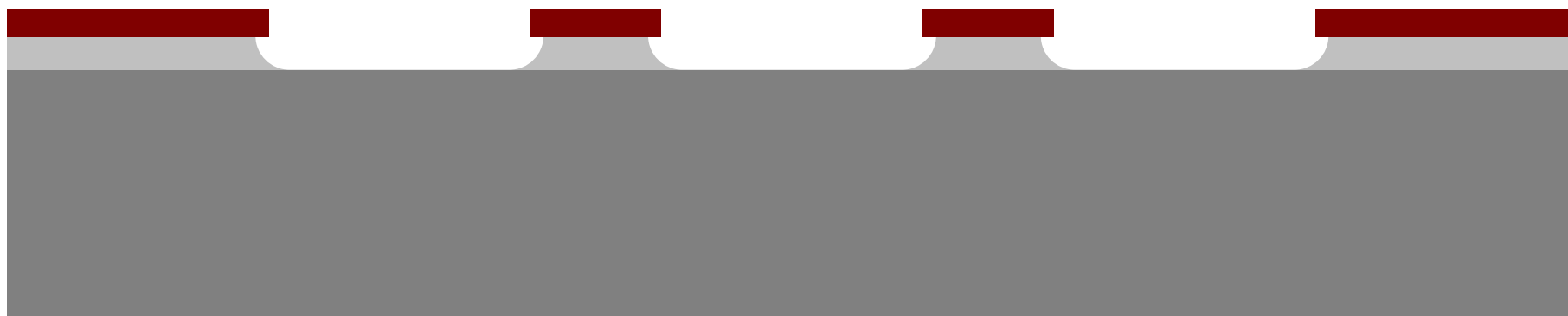
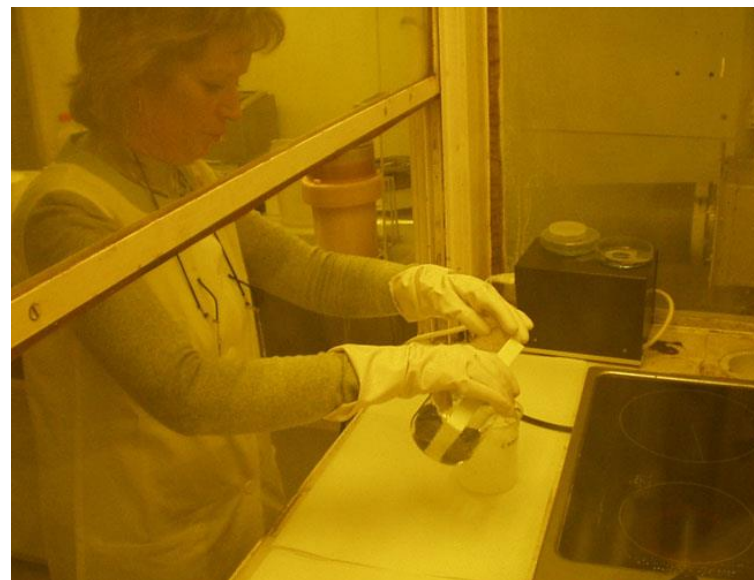
# P-csatornás monolit IC készítése



**Fotolitográfia: előhívás**

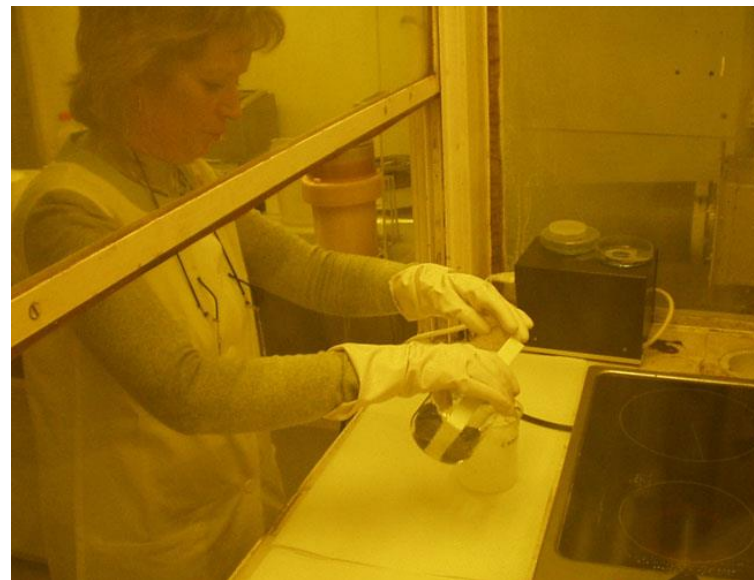


# P-csatornás monolit IC készítése



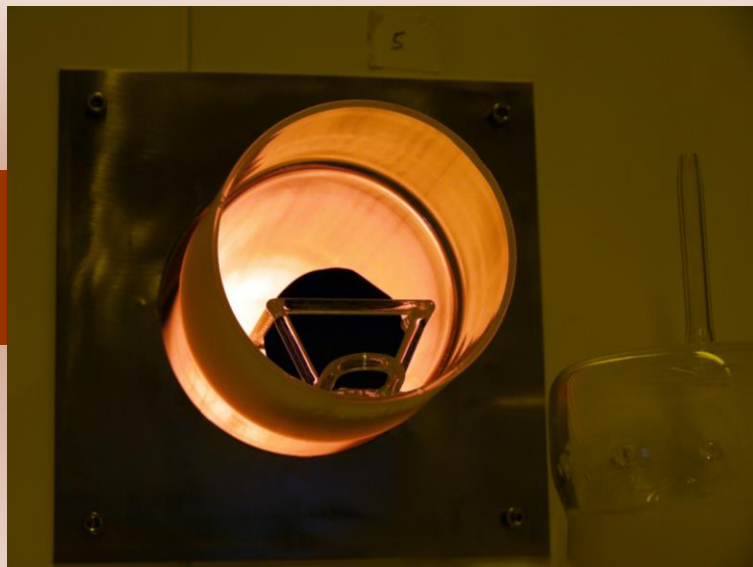
**Fotolitográfia: Oxidmarás, mintázat átmásolása**

# P-csatornás monolit IC készítése



## Fotolitográfia: lakkeltávolítás

# P-csatornás monolit IC készítése



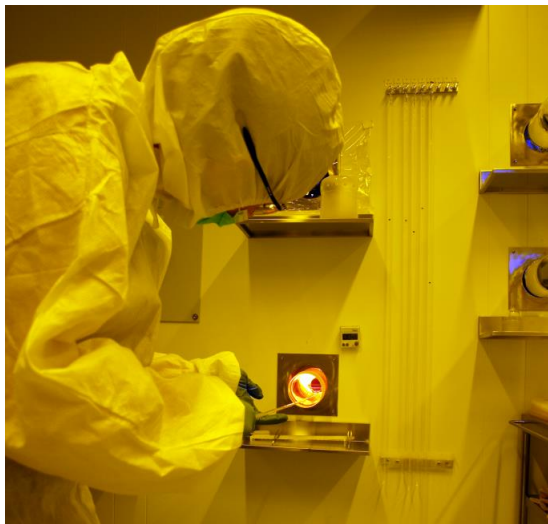
**Bórdiffúzió szilárd fázisból, elődiffúzió**

# P-csatornás monolit IC készítése



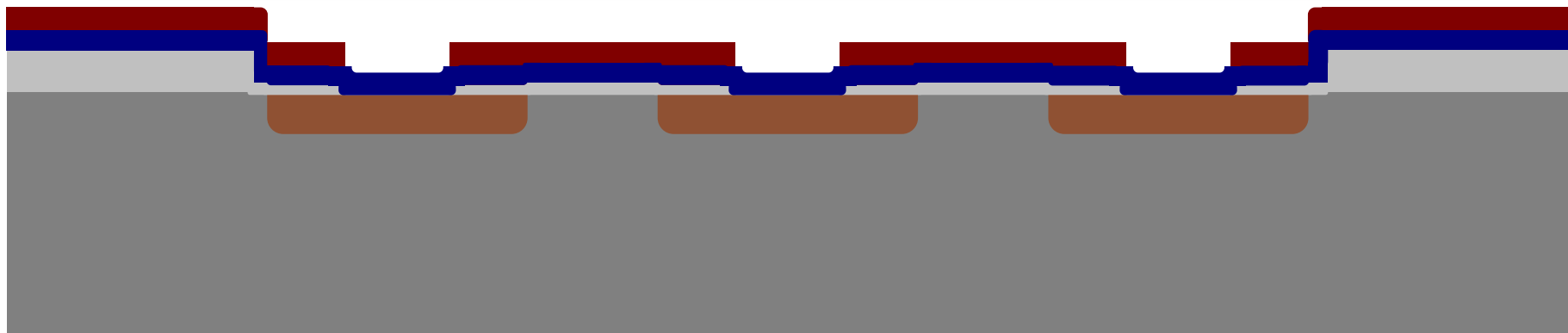
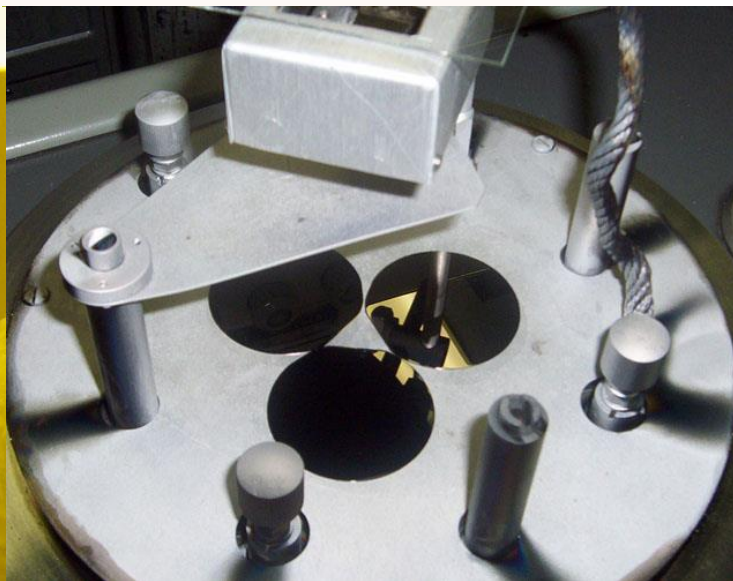
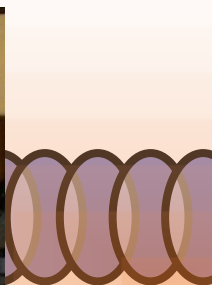
## Bórüveg eltávolítása

# P-csatornás monolit IC készítése



**Bórdiffúzió második lépése: behajtás (oxigénben)**

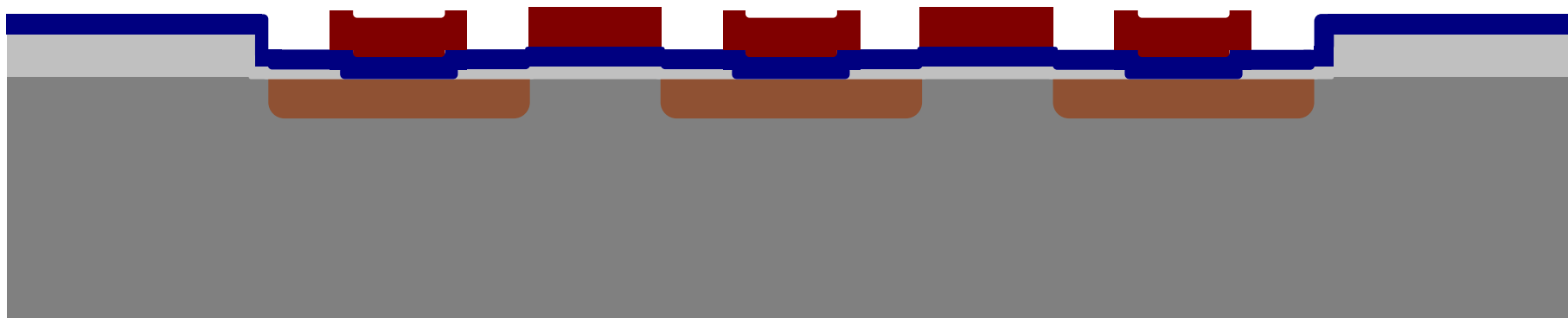
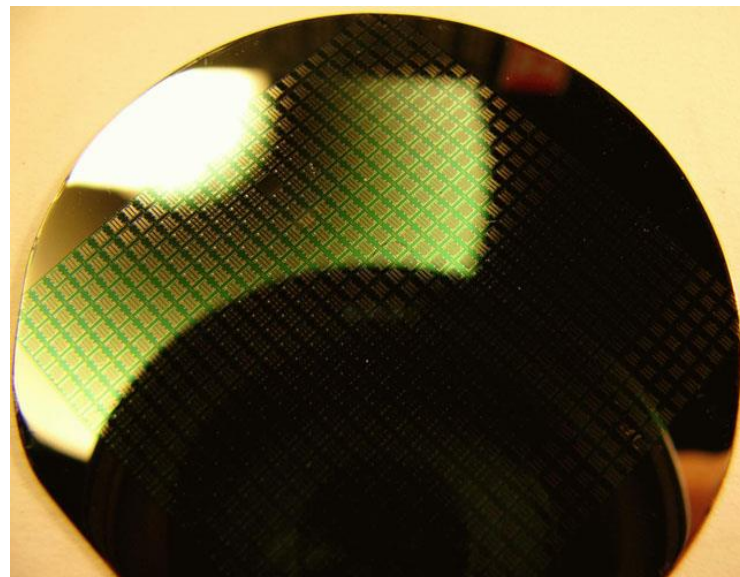
# P-csatornás monolit IC készítése



**Készítve a BME VEEAB01 tanteremében a**



# P-csatornás monolit IC készítése



**Kétlisztogramra a félkörvezetőkhálózat kialakítása**

# P-csatornás monolit IC készítése



**Darabolás, eutektikus kötés, termokompresszió**



## P-csatornás monolit IC & napelem készítése

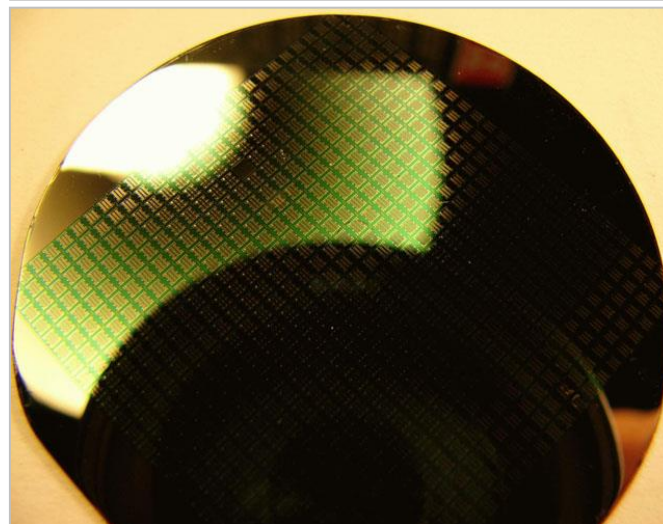
- Akit érdekel, érdeklődhet  
**Plesz Balázsnál & Neumann Péternél**

- Lehetőségek:
  - *Monolit IC készítése*
  - *Napelem készítés*

**választható tárgyak,**

valamint:

- **TDK** (érdeklődni: **Bognár Györgynél**)
- *Önálló labor és Szakdolgozat témák,* érdeklődni lehet a [tanszéki honlapon](#) és Bognár Györgynél



# High-K fém gate-es MOS tranzisztor

A mélységi struktúra:

## Gate engineering:

- Többrétegű dielektrikum szerkezet (High-K)
- Összetett, többrétegű “fém” gate elektróda

## Előnyei

- kisebb  $V_T$
- továbbra is önillesztett
- kisebb szivárgási áram
- gyorsabb tranzisztorok

45 nm HK + MG

