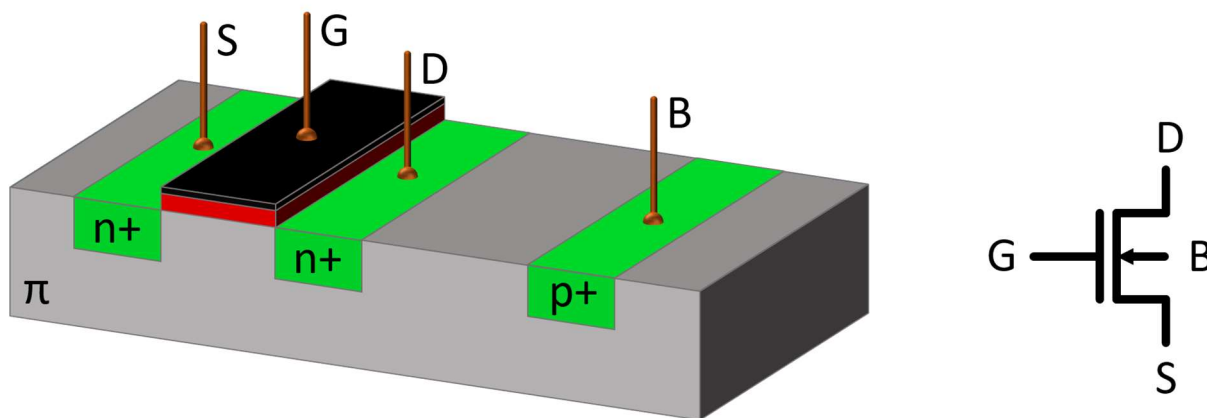


5. Analóg áramkörtervezés I. - CMOS komplex kapu

Szerző: Dr. Bognár György, Dr. Takács Gábor

5.1. MOS tranzisztorok felépítése és karakterisztikái

A MOS tranzisztor gate elektródájára adott feszültség nagyságától és irányától függően a félvezetőben három féle felületi állapot alakulhat ki: kiürülés, akkumuláció és inverzió. A gate-oxid alatti tartományt, ahol az inverzió hatására kialakul területet – ahol áramvezetés megvalósul – nevezzük csatornának. A vezető csatornában mozgó töltéshordozók típusa szerint bármelyik lehet p - vagy n -csatornás. Ma nagy többségben CMOS gyártástechnológiával megvalósult integrált áramköröket használunk, ahol általában növekményes nMOS és pMOS tranzisztorokat alkalmazunk. A felépítést a 5-1. ábra egy n -csatornás tranzisztoron szemlélteti.



5-1. ábra nMOS tranzisztor vázlatos felépítése és szimbóluma

A kiindulás egy akceptorokkal gyengén adalékolt (π vezetési típusú) szubsztrát. Ebben diffúzióval vagy ionimplantációval két, donorokkal erősen adalékolt ($n+$ vezetési típusú) zónát hozunk létre. Ezek lesznek a tranzisztor *source*-a (S), és *drain*-je (D). Ezek a π -típusú szubsztrát környezettel egy-egy pn átmenetet képeznek, ahol megfelelő előfeszítés mellett kialakul a kiürített réteg. A szubsztrátot, amelyet ebben a vonatkozásban tömbnek (bulk-nak, B) neveznek, a legnegatívabb potenciálra (GND-re vagy VSS-re) kötik, így tehát mind a drain-bulk, mind a source-bulk átmenet záróirányú előfeszítést kap. Ohmikus kontaktust csak erősen adalékolt félvezetővel lehet létrehozni, ezért a bulk csatlakozás számára $p+$ zónát állítunk elő. A source és drain között ilyenformán külső beavatkozás nélkül nincs számottevő vezetés.

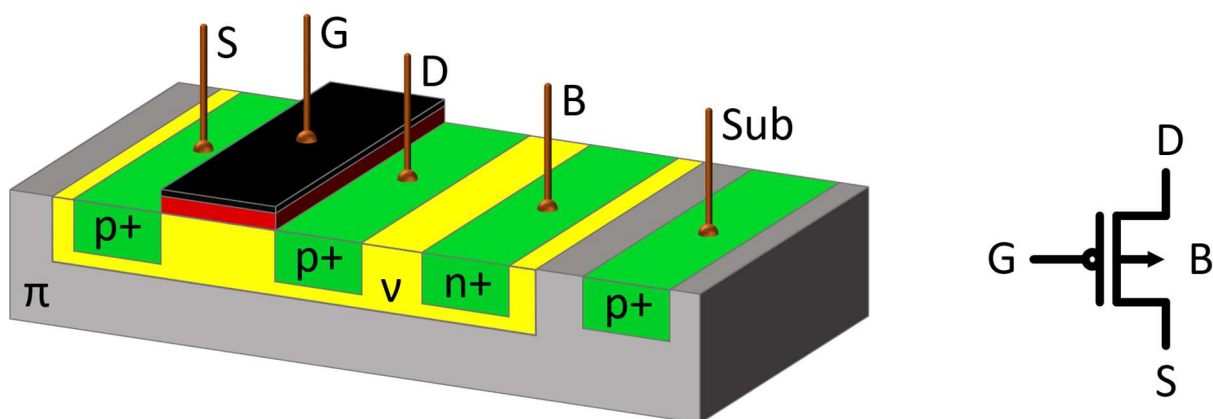
A két elektróda között azonban a leendő vezetési csatorna fölött ott van a vékony oxidréteg és rajta a *gate* elektróda (G). Ez korábban fém volt, innen a MOS (metal-oxide-semiconductor) elnevezés. Később poliszilícium gate-es technológiára tértek át, ahol a gate anyaga polikristályos szilíciumra cserélték. Ennek a módszernek az volt a legnagyobb előnye, hogy az gate-oxid-ra leválasztott poliszilícium maszkoló réteggént szolgált a következő technológiai lépések során, így a maszkillesztésből származó hiba nem

befolyásolta a tranzisztor méretét. A módszert önillesztő technológiának nevezik. A gate-elektrodaként használt polikristályos szilíciumot a drain és source régiókkal egyszerre adalékolják, így csökkentve annak négyzetes ellenállását. A legújabb, szubmikronos technológián a gyártók ismét visszatértek a fém gate-re, viszont a technológiai lépéssorban a fém gate-t is önillesztő módszerrel készítik el. (Ennek részletes magyarázata azonban túlmutat a jelenlegi tananyagon.)

Ha a gate-re a bulk-hoz képest pozitív feszültséget kapcsolunk, akkor a π -típusú félvezetőben először a lyukak koncentrációja csökken, majd elektronok gyűlnek össze és a vezetés típusa átfordul n -típusúra (bekövetkezik az inverzió jelensége) – itt definiálják a V_T küszöbfeszültséget (erős inverzió határhelyzete, az az állapot, amikor a kisebbségi töltéshordozók száma megegyezik az adalékolásból eredő többségi töltéshordozók számával). Ezzel a csatorna két végén a source és drain felé megszűnik a pn átmenet és megindulhat az elektromos vezetés. A drain-re pozitív feszültséget adva megindul az elektronok áramlása a source-tól a drain felé. Egészen kis feszültségeknél a rendszer úgy viselkedik, mintha egy ellenállás lenne.

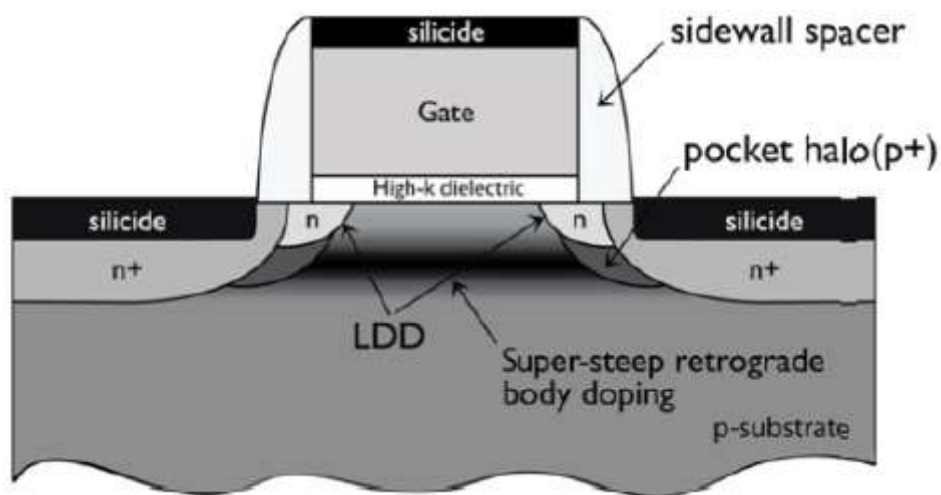
U_{DS} növelése azonban ellene dolgozik az inverziót létrehozó potenciálkülönbségnek a gate-oxid két oldalán. Ha U_{DS} és U_{GS} különbsége V_T alá kerül, a drain-nél megszűnik az inverzió, megjelenik a kiürített réteg, elzáródik a csatorna. A kiürített rétegben jelen levő nagy térerő azonban átsodorja rajta a töltéshordozókat. Az áram növekedése itt megszűnik, mert U_{DS} ettől kezdve első közelítésben nem befolyásolja a csatorna elektromos állapotát. Beáll a telítés.

Az n -csatornás tranzisztor komplementer párja a p -csatornás, amit elvileg az előzőből szisztematikus előjel-fordítással lehet nyerni. Nem szabad azonban elfelejteni, hogy a CMOS integrált áramkörben egy közös szubsztrátra építkezünk. Ha az n -csatornás tranzisztorokat egy π -típusú szubsztráton építjük fel, akkor ugyanitt a p -csatornás tranzisztorok számára előbb egy donorokkal gyengén adalékolt v -típusú *zsebet* kell létrehozni. Ezt a felépítést szemlélteti a 5-2. ábra. A p -csatornás tranzisztor bulk-ja a zseb lesz, amihez itt egy n^+ zóna közvetítésével hozunk létre ohmikus kontaktust, és ezt többnyire a legpozitívabb potenciálra (V_{DD} -re) kötjük. A π -típusú szubsztrátot (*Sub*) a legnegatívabb potenciálra kötik, így azt a zsebtől egy lezárt pn átmenet választja el.



5-2. ábra pMOS tranzisztor vázlatos felépítése és szimbóluma

A 5-3. ábrán látható egy szubmikronos (<100nm) csíkszélességű technológián készített poliszilícium gate-es tranzisztor keresztmetszeti képe.



5-3. ábra Modern, szubmikronos tranzisztor felépítése

[http://central.oak.go.kr/journalist/journaldetail.do?article_seq=10163&tablename=abst&resource_seq=-1&keywords=null]

A korábban bemutatott változathoz képest lényegesen bonyolultabb, több technológiai lépéssel készíthető el ez az eszköz. A legfeltűnőbb változás a drain és source tartománynál látható. Az n+ erősen adalékolt – ohmikus kontaktust biztosító – source és drain rétegek mellett egy gyengébben adalékolt (nMOS FET esetén n- típusú), sekély réteget figyelhetünk meg, ami a gate alá nyúlik. Ezt a réteget Lightly Doped Drain (LDD) adalékolásnak nevezik, célja az ún. forró elektronok kialakulásának megakadályozása. Nagy térerősségek esetén ugyanis a töltéshordozók úgy felgyorsulhatnak a csatorna elzáródott részén, hogy elegendő energiájuk lehet, hogy a Gate dielektrikumba jussanak. Ott csapdába esve egy lassú degradációs folyamatot indítanak el (V_T jelentősen változhat, így a g_m , A_u , stb.).

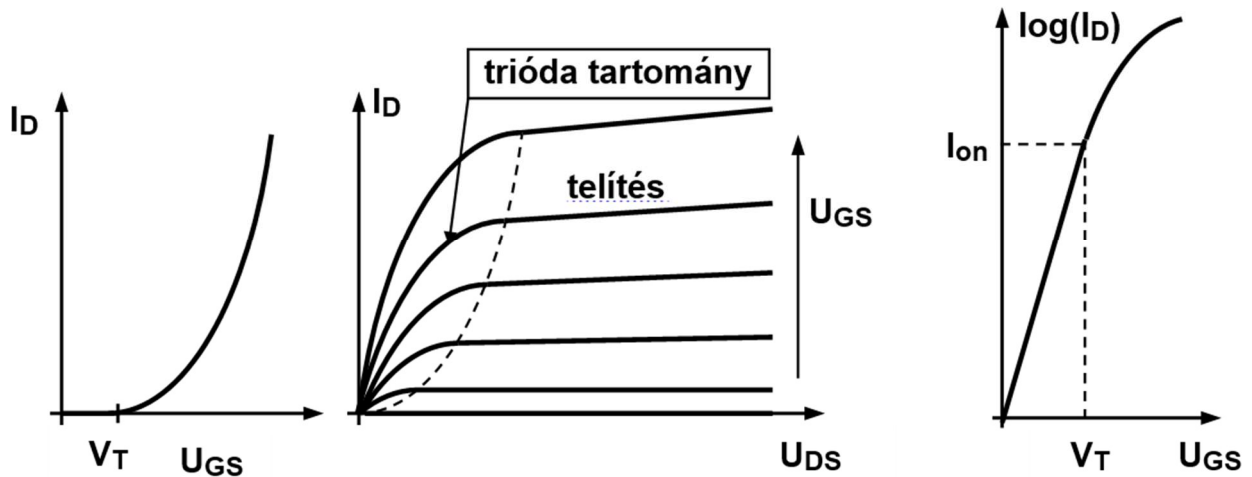
Másik különbség az LDD alatt látható, mély ionimplantációval kialakított erős adalékolású zseb, melynek típusa mindig a bulk adalékolásával egyezik meg és egy glória alakban veszi körbe a drain és source adalékolást (innét ered a neve, halo angolul glóriát is jelent). Tehát nMOS FET eszköz esetén erős, p+ adalékolású zsebről beszélünk. HALO zseb alkalmazásának fő célja az ún. átszúrás (punch through) jelenség kialakulásának megakadályozása. Ez akkor lép fel, amikor a drain-bulk és a source-bulk záróirányban előfeszített diódák kiürített rétegei összeérnek. Ebben az esetben egy, a Gate elektródára kapcsolt feszültségtől független áramút keletkezik a drain és a source között. Erősebb adalékolású rétegben a kiürített réteg szélessége jóval kisebb, így elkerülhető, hogy átszúrás alakuljon ki. Továbbiakban szerepe van az ún rövidcsatornás effektusok csökkentésében. Ugyanis a gate alatti teljes kiürített réteg egy része a source-bulk és a drain-bulk dióda tértöltés rétegének részét képezik, ezek nem a gate töltésével tartanak egyensúlyt. A drain feszültség változásának hatására a kiürített réteg szélessége, így az ott található tértöltések mennyisége is változik, ami a küszöbfeszültség értékének változásához vezet (ezt hívja a szakirodalom DIBL Drain Induced Barrier Lowering jelenségnek). Ha a HALO implant miatt ennek a kiürített rétegnek eleve kisebb a kiterjedése (százada, ezrede), az a küszöbfeszültség függését jelentősen csökkenti.

A csatorna adalékolásával a gyártás során állítják be a küszöbfeszültséget, valamint a 5-3. ábrán látható módon a felszíntől lejjebb is meg kell adalékolni a bulk-ot, hogy megakadályozzuk a kiürített réteg kiterjedését. Ez utóbira további jó megoldást jelent a SOI technológia.

A source és drain tartomány szintén erősen adalékoltak, illetve megfelelően mélyek ahhoz, hogy a felületen az úgynevezett szilicid (innét ered a SALICID elnevezés - self-aligned silicid, azaz önillesztett fém-félvezető intermetallikus átmenet) réteget lehessen létrehozni annak érdekében, hogy a drain és source kontakt tisztán ohmikus és fémes vezetési jellegű legyen (ne alakuljon ki Schottky-dióda). A tranzisztorok fejlődésének [2] ajánlott irodalomban lehet részletesebb információkat találni.

Inverziós nMOS tranzisztor karakterisztikáit mutatja be a 5-4. ábra:

- a transzfer karakterisztikát a telítési tartományban,
- a kimenő karakterisztikát,
- valamint a küszöb(feszültség) alatti áramokra is kiterjesztett transzfer karakterisztikát logaritmikus léptékben.



5-4. ábra nMOS tranzisztor karakterisztikái

E karakterisztikák a következő egyszerű közelítő összefüggésekkel írhatók le, (amelyek lényegében megfelelnek a ma már elavultnak tekintett *SPICE Level-2* modellnek [1]).

A transzfer karakterisztika a *telítési* tartományban, $U_{GS} > V_T$ esetére:

$$I_D = K \cdot \frac{W}{L} \cdot (U_{GS} - V_T)^2 \quad (4 - 1)$$

A *trióda* tartományban az áram függ U_{DS} -től is:

$$I_D = K \cdot \frac{W}{L} \cdot \{2 \cdot (U_{GS} - V_T) \cdot U_{DS} - U_{DS}^2\} \quad (4 - 2)$$

Itt V_T a küszöbfeszültség, W és L a csatorna szélessége és hossza, K pedig egy konstans:

$$K = \mu \cdot \frac{C_{ox}}{2} \quad (4 - 3)$$

ahol μ az elektronok mozgékonyága a csatornában, C_{ox} pedig a vékonyoxid fajlagos kapacitása. Felhívjuk azonban a figyelmet, hogy a K konstans használata *meglehetősen rugalmas*. A felhasználás körülményeitől függően gyakran a kétszeresét ($K = \mu C_{ox}$) értjük alatta, más esetekben pedig, amikor a W/L viszony nem változik, azt is beleértjük.

A MOS tranzisztorok matematikai kezelése könnyebb és szemléletesebb a *hatásos vezérlőfeszültség*, röviden a hatásos feszültség segítségével:

$$U_h = U_{GS} - V_T \quad (4 - 4)$$

amely megmondja, hogy a gate feszültség mennyivel van a küszöbfeszültség fölött. Tulajdonképpen ez a feszültség nyitja, vezérli a tranzisztort. Ezzel a karakterisztika egyenlete egyszerűbbé válik:

$$I_D = K \cdot \frac{W}{L} \cdot U_h^2 \quad (4 - 5)$$

A kimenő karakterisztika telítési részében a csatorna a drain-nél elzáródik. A drain feszültség növelésével a kiürített réteg növekedése az effektív csatornahossz csökkenését eredményezi. Ez a csatornahossz-moduláció, amelynek az a következménye, hogy a drain áram enyhén növekszik a drain-source feszültség növelésével. Minél rövidebb a csatorna, annál jelentősebb a csatorna-moduláció hatása, annál jobban növekszik a drain-áram a drain feszültség emelkedésével (*rövidcsatornás effektus*). Ezt a telítési tartományban az alábbi formulával vesszük figyelembe:

$$I_D = K \cdot \frac{W}{L} \cdot U_h^2 \cdot (1 + \lambda \cdot U_{DS}) \quad (4 - 6)$$

Itt a λ konstans reciprok feszültség ($1/V$) dimenziójú, $1/\lambda$ értéke 20-30V körül szokott lenni. Ezzel a karakterisztika oly módon alakul, hogy a telítési tartomány ferde szakaszait meghosszabbítva azok a feszültségtengelyt az $U_{DS} = -1/\lambda$ értéknél metszik.

Amint a 5-4. ábra harmadik karakterisztikája mutatja, az áram alakulása a V_T küszöbfeszültség környezetében nem követi a négyzetes összefüggést, hanem a lezáródás helyett átmegy egy exponenciális karakterisztikába. Ez a *küszöb alatti tartomány*:

$$I_D = I_{on} \cdot \exp\left(\frac{U_h}{n \cdot U_T}\right) \quad (4 - 7)$$

Itt I_{on} a küszöbfeszültségnél folyó áram, n pedig egy 1,2 körüli konstans.

Az egyszerű négyzetes összefüggéseket a technológia és a modellezés korai fázisában alkották meg. 5-10 μm -es technológia mellett a csatorna rövidülés csak csekély mértékben módosította a karakterisztikát, így a kimenő karakterisztika jó közelítéssel független volt az U_{DS} feszültségtől. A technológia mai állása mellett ez már durva közelítés, ma többnyire a *BSIM* modelleket használják helyettük. Arra viszont nagyon jók, hogy a tervező segítségükkel az áramkör működését – éppen egyszerűségüknél fogva – jól át tudja tekinteni, és becsléseket tudjon tenni. Segítségükkel könnyen lehet kézzel, papíron közelítő számításokat “felskiccelni”, és az áramkör beállítását nagy vonalakban felvázolni. A tervező láthatja, hogy mely paraméterek változására érzékeny az áramkör, és ennek megfelelően készítheti elő a szimulációt. A többi már a jó minőségű modellekkel (és modellparaméterekkel) felszerelt szimulátor dolga.

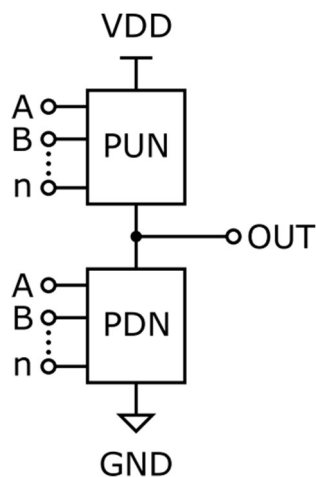
Az alábbi fejezetben MOS tranzisztorokból felépített komplex logikai kapuk működését és tervezését mutatjuk be. Az első alfejezet a MOS tranzisztorok felépítésével és karakterisztikáival foglalkozik, viszont csak olyan mélységben, amely a laboratóriumi feladat megoldásához feltétlenül szükséges, és nem helyettesíti az előadásokon elhangzottakat. A második alfejezetben az adott logikai függvényt megvalósító CMOS komplex kapu tervezési lépései ismerhetők meg.

5.2. CMOS komplex kapu tervezése

CMOS (Complementary Metal-Oxide Semiconductor) digitális kapcsolástechnikában a kapuáramkörök n-csatornás és p-csatornás MOS tranzisztorokból állnak [3]. Az analóg áramkörökkel szemben a tranzisztorok jó közelítéssel kapcsolóként működnek. Az n-csatornás tranzisztor gate kapcsára tápfeszültséget kapcsolva azt mondjuk, hogy a tranzisztor "ki van nyitva" (a drain és source között áram folyhat). A p-csatornás tranzisztor gate kapcsára viszont logikai alacsony jelet kell kényszeríteni ahhoz, hogy az eszköz képes legyen áramvezetésre. Ezt az elvet kihasználva lehetséges logikai kapukat építeni növekményes MOS tranzisztorok felhasználásával.

A logikai kapu kimenete alapvetően két feszültségértéket vehet fel állandósult állapotban: vagy a pozitív tápfeszültséget (VDD), vagy a nulla feszültséget (GND). A kapuban lévő alkatrészeknek kell biztosítaniuk az alacsony impedanciás áramutat a tápfeszültség kapcsai és a kimenet között. Tervezéskor biztosítani kell azt, hogy egyszerre csak az egyik áramút álljon elő. Ha mindkét áramút egyszerre lenne jelen, akkor a kapun keresztül rövidzár alakulna ki a tápfeszültség és a föld között, ami végzetes lenne az áramkör számára. (Érdemes megemlíteni, hogy ez az úgynevezett keresztirányú vezetés átkapcsoláskor is létrejöhét, ha a tápfeszültség nagyobb, mint a két tranzisztor küszöbfeszültségének összege.)

Azt az n-csatornás tranzisztorokból álló hálózatot, amely a kimenet és a föld között teremt áramutat a logikai függvény 0 értékeinél *pull-down network (PDN)* hálózatnak nevezzük. Azt a p-csatornás tranzisztorokból álló kapcsolást, amely a logikai függvény 1 értékeinél hoz létre áramutat a tápfeszültség pozitív kapcsa és a kimenet között *pull-up network (PUN)* hálózatnak nevezzük. Mindkét hálózatnak annyi bemenete van, ahány változója van a logikai függvénynek. A PDN-nek és PUN-nek megfelelő CMOS logikai kapu black-box szintű elvi rajza az 5-5. ábrán látható.



5-5. ábra n-bementű komplex CMOS logikai kapu elvi rajza

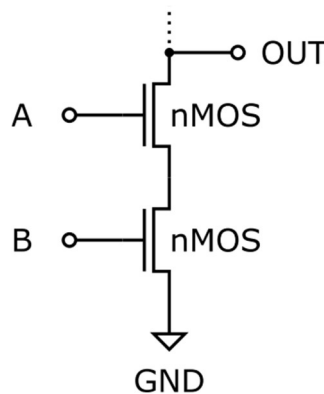
A *PUN* hálózat pontosan annyi p-csatornás MOS tranzisztorból áll, ahány változója van a logikai függvénynek (n darab). A *PDN* hálózat pedig n-csatornás tranzisztorból tartalmaz

annyit, amennyi változó van a logikai függvényben (n darab). Az összes tranzisztorigény tehát a bemeneti logikai változók számának kétszerese ($2n$)

Tekintsük példaként a kétbemetű NAND kaput, amelynek logikai függvénye

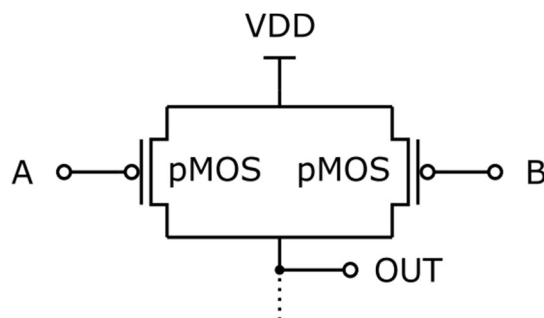
$$Y = \overline{A \cdot B}. \quad (4 - 8)$$

Első lépésként tervezzük meg a PDN hálózatot, amely a függvény logikai 0 értékénél kapcsolja a kimenetet a tápfeszültség GND szintjére. A logikai ÉS kapcsolat az n-csatornás tranzisztorok soros kapcsolatának felel meg, így a PDN hálózat elvi kapcsolási rajza az 5-6. ábra szerinti.



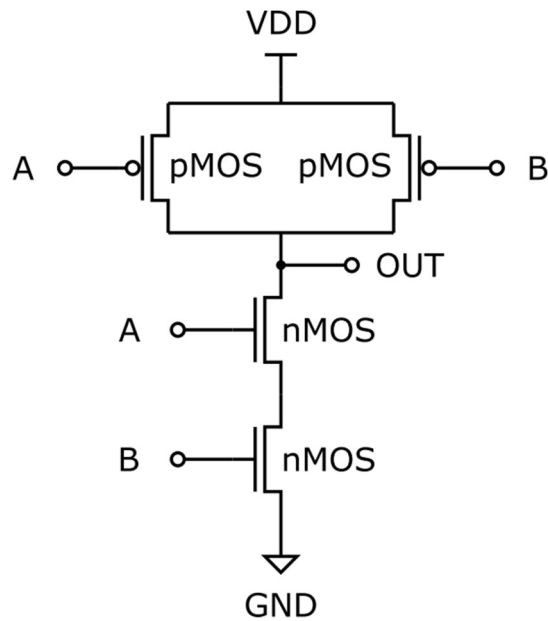
5-6. ábra CMOS NAND-kapu pull-down network áramköre

A felhúzó-hálózatot (PUN) legegyszerűbben a lehúzó ágból (PDN) kiindulva tervezhetjük meg úgynevezett duális topológiai kialakításával. Első lépésként az nMOS tranzisztorokat azok duálisára, tehát p-csatornás tranzisztorokra kell cserélni. A duális topológiában a hurkokból vágatokat, a vágatokból pedig hurkokat kell kialakítani. Ez azt jelenti, hogy amely tranzisztorok egymással korábban soros kapcsolásban álltak, azokat egymással párhuzamosan kell kötni. Ugyanez fordítva is igaz: a párhuzamosan kapcsolt tranzisztorok soros kapcsolást fognak alkotni az új topológiában. Ez a NAND kapu esetén a 5-7. ábrán látható kapcsolást eredményezi.



5-7. ábra CMOS NAND-kapu pull-up network áramköre

A két részáramkörből áll össze a CMOS NAND kapu, amelynek kapcsolási rajza az 5-8. ábrán látható.



5-8. ábra CMOS NAND-kapu kapcsolási rajza

5.3. Ajánlott irodalom

- [1] Foty, Daniel P. **MOSFET modeling with SPICE: principles and practice**. Prentice-Hall, Inc., 1997.
- [2] Sah, R.L-Y., **Evolution of the MOS transistor-from conception to VLSI**, in Proceedings of the IEEE , vol.76, no.10, pp.1280-1326, Oct 1988
- [3] Baker, R. Jacob. **CMOS: circuit design, layout, and simulation**. Vol. 1. John Wiley & Sons, 2008. Richard S. Sandige, Michael L. Sandige, Fundamentals of Digital and Computer Design with VHDL, McGraw-Hill Companies, Inc., 2012
- [4] Sheu, Bing J., et al. **BSIM: Berkeley short-channel IGFET model for MOS transistors**. Solid-State Circuits, IEEE Journal of 22.4 (1987): 558-566.