

Обобщенная схема процессора P6

Системная шина

Команды, данные

Устройство шинного интерфейса

Кэш память второго уровня (L2)

Блок выборки команд (FIU)

Буфер переупорядочивания запросов к памяти (MOB)

Кэш память данных первого уровня (L1D)

Буфер быстрого страничного преобразования (DTLB)

Кэш память команд/микрокоманд первого уровня (L1I)

Буфер быстрого страничного преобразования (ITLB)

Блок вычисления адреса следующей команды

Буфер меток перехода (BTB)

Память микропрограмм

Предекодер

Декодер

Декодер

Декодер

Таблица регистровых псевдонимов (RAT)

Буфер переупорядочивания микрокоманд (ROB)

Регистры замещения (физические)

Архитектурные регистры

Устройство арифметики переходов

Блок связи с памятью (MIU)

Порты запуска

ALU

ALU

MMX

FPU

SSE

Внутренняя шина данных

Организация IBM

ИУВ6

20

Обращение происходит по шине в память, никаких контроллеров. Процессор может общаться с `cache set` и с другими процессорами. Процессор прослушивает шину общую для всех. Системная шина — единый элемент для доступа к памяти. Захватывается одним процессором, другой прослушивает ее. Шинный интерфейс должен получить из конвейера команд адрес исполняемой команды.

Обращается к кэш 2 уровня. Если промах, то запрос транслируется в сис шину. Оттуда копируются в кэш 2-го уровня.

Система шин — двойная независимая шина.

2. Блок выборки команд.

Чтобы выполнять предсказания направления ветвления, требуется сформировать физ адрес и передать его в блок выборки команд.

3. Буфер быстрого страничного преобразования — позволяет по виртуальному адресу найти физический, если не найдено совпадение — требуется подгрузка.

4. Блок вычисления адреса след команды — преобразует виртуальный адрес в физический и предсказывает направление перехода.

Процессор за один такт — не более одного предсказания направления ветвления.

5. Выявление команд условных переходов. Команды выбираются пакетом размером 16 байт (только половина пакета).

6. Декодеры — самое узкое место. Преобразуют команды в последовательность микрокоманд и выделить регистры для хранения результатов.

7. Предекодер распределяет команды на декодеры. 2 декодера простых инструкций (инструкция преобразуется во внутренний формат), 1 декодер работает с памятью микропрограмм. Переупорядочивание инструкций отсутствует.

8. Инструкции переходят в таблицу регистровых псевдонимов. Таблица заменяет арх регистры на номера регистров замещения.

В первых моделях Р6 регистры EAX, EBX, существовали.