

Entwicklung eines BLDC-Motorcontrollers

Studienarbeit II (T3_3200)

des Studienganges Elektrotechnik

an der Duale Hochschule Baden-Württemberg Karlsruhe

von

Pascal Lauer

Abgabedatum:	09.04.2026
Bearbeitungszeitraum:	12 Wochen
Matrikelnummer, Kurs:	5558179, TEL23B1
Dualer Partner:	ARKU Maschinenbau GmbH 76532 Baden-Baden
Betreuer der Dualen Hochschule:	Prof. Dr. Markus Bell

Eidesstattliche Erklärung

Ich versichere hiermit, dass ich meine Studienarbeit mit dem Thema: „Entwicklung eines BLDC-Motorcontrollers“ selbstständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Baden-Baden, 5. Februar 2026

Ort, Datum

Unterschrift

Gender-Disclaimer

Die in der vorliegenden Arbeit verwendeten Personenbezeichnungen beziehen sich gleichermaßen auf weibliche, männliche und diverse Personen. Auf eine Doppelnennung und gegenderte Bezeichnung wird zugunsten einer besseren Lesbarkeit verzichtet.¹

KI-Disclaimer

Zur sprachlichen Überarbeitung einzelner Abschnitte wurde das Sprachmodell Gemini von Google verwendet. Die inhaltliche Verantwortung liegt vollständig beim Verfasser. Es wurden ausschließlich vorhandene, selbst verfasste Inhalte überarbeitet, nicht generiert.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	1
1.2	Zielsetzung	1
1.3	Abgrenzung	1
2	Theoretische Grundlagen der Ansteuerung	2
2.1	Der bürstenlose Gleichstrommotor (BLDC)	2
2.2	Topologie des B6-Wechselrichters	2
2.3	Raumzeigermodulation (SVPWM)	2
3	Hardware-Entwurf und Dimensionierung	4
3.1	Hardwareaufbau des Prototyps	4
3.2	Dimensionierung der Leistungsstufe	4
3.2.1	Auswahl des MOSFETs	5
3.2.2	Berechnung der Verlustleistung	5
3.3	Auslegung der Gate-Treiber-Stufe	6
3.3.1	Dimensionierung der Bootstrap-Kapazität	6
3.4	Zwischenkreis-Auslegung	7
4	Thermisches Management	9
4.1	Thermisches Ersatzschaltbild	9
4.2	Auslegung des Kühlkörpers	9
5	PCB-Design und Layout	10
5.1	Masseführung	10
5.2	Strompfade	10
6	Software-Implementierung und Validierung	11
6.1	STM32 Konfiguration	11
6.2	Messergebnisse	11
7	Fazit und Ausblick	12
7.1	Zusammenfassung	12

7.2 Ausblick	12
Literatur	13

1 Einleitung

Zielumfang: ca. 2 Seiten

1.1 Motivation

Beschreiben: Trend zur E-Mobilität, Anforderungen an hochintegrierte Antriebe im E-Kart-Bereich.

1.2 Zielsetzung

Ziel dieser Arbeit ist die Entwicklung und Validierung einer Motorsteuerung für einen 36 V BLDC-Motor. Der Controller soll für einen Dauerphasenstrom von 30 A ausgelegt werden. Als Ansteuerungsverfahren wird Space Vector PWM (SVPWM) implementiert.

1.3 Abgrenzung

Im Rahmen dieser Arbeit wird bewusst auf eine feldorientierte Regelung (FOC) verzichtet. Stattdessen liegt der Fokus auf einer ****Open-Loop SVPWM-Ansteuerung****.

Diese Entscheidung wurde getroffen, um:

- einen robusten und sicheren Anlauf des Motors zu gewährleisten,
- die Komplexität der Software (Vermeidung von Park-/Clarke-Transformationen und PID-Reglern) für den ersten Prototypen zu reduzieren,
- den Fokus auf das Hardware-Design und die thermische Auslegung zu legen.

2 Theoretische Grundlagen der Ansteuerung

Zielumfang: ca. 4-5 Seiten. Hier mathematisches Verständnis beweisen!

2.1 Der bürstenlose Gleichstrommotor (BLDC)

Kurz: Statoraufbau, Rotorlageerkennung via Hall-Sensoren. Ersatzschaltbild (R, L, BEMF).

2.2 Topologie des B6-Wechselrichters

Die Ansteuerung erfolgt über eine 3-phasige Brückenschaltung (B6-Topologie).

Erklären: Kommutierungszelle. Was passiert in der Totzeit? (Freilaufdioden-Strom).

2.3 Raumzeigermodulation (SVPWM)

Im Gegensatz zur blockförmigen Kommutierung ermöglicht die SVPWM eine bessere Ausnutzung der Zwischenkreisspannung um den Faktor $2/\sqrt{3} \approx 1,15$.

Das Hexagon-Diagramm einfügen. Sektoren erklären.

Die Einschaltzeiten T_1, T_2 und T_0 (Nullzeiger) für einen Referenzvektor V_{ref} im Sektor 1 berechnen sich trigonometrisch:

$$T_1 = \frac{\sqrt{3} \cdot T_s \cdot |V_{ref}|}{V_{DC}} \cdot \sin\left(\frac{\pi}{3} - \theta\right) \quad (2.1)$$

$$T_2 = \frac{\sqrt{3} \cdot T_s \cdot |V_{ref}|}{V_{DC}} \cdot \sin(\theta) \quad (2.2)$$

$$T_0 = T_s - T_1 - T_2 \quad (2.3)$$

3 Hardware-Entwurf und Dimensionierung

Ziel des Hardware-Entwurfs ist die Realisierung einer robusten 3-Phasen-Brückenschaltung (B6-Topologie), die für einen Nennstrom von 30 A bei einer Zwischenkreisspannung von 36 V ausgelegt ist. Im folgenden Kapitel werden die zentralen Komponenten die Leistungshalbleiter und deren Ansteuerung ausgewählt und dimensioniert.

3.1 Hardwareaufbau des Prototyps

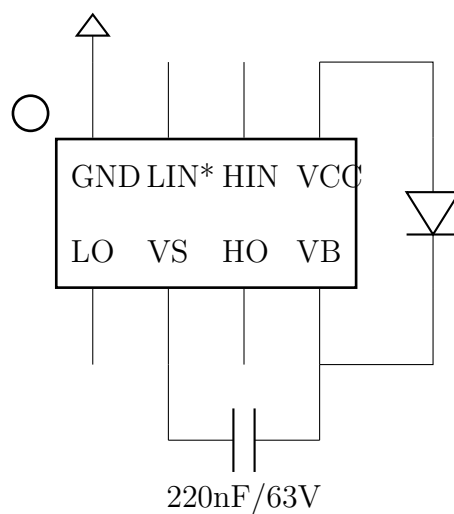


Abbildung 3.1:

3.2 Dimensionierung der Leistungsendstufe

Die Auswahl der Schaltelemente ist entscheidend für den Wirkungsgrad und die thermische Stabilität des Controllers. Aufgrund der Anforderungen an hohe Schaltgeschwindigkeiten und geringe Verluste kommen N-Kanal-MOSFETs zum Einsatz.

3.2.1 Auswahl des MOSFETs

Für diese Anwendung fiel die Wahl auf den **Infineon IPP034N08N5** im TO-220-Gehäuse. Diese Entscheidung basiert auf einer Analyse der kritischen Parameter Spannungsfestigkeit und Einschaltwiderstand.

Da die Ladeschlussspannung des 36 V-Akkus bis zu 42 V betragen kann und beim generatorischen Bremsen oder durch parasitäre Induktivitäten Spannungsspitzen auftreten, ist eine Sperrspannung (V_{DS}) deutlich oberhalb der Batteriespannung notwendig. Der IPP034N08N5 bietet mit 80 V eine Sicherheitsreserve von fast Faktor 2, was den Verzicht auf komplexe Netzwerke ermöglicht.

Ein weiteres entscheidendes Kriterium ist der statische Drain-Source-Einschaltwiderstand ($R_{DS(on)}$). Mit einem Maximalwert von $3,4\text{ m}\Omega$ gehört dieser Transistor zu den effizientesten seiner Klasse. Ein geringer $R_{DS(on)}$ ist essenziell, da die Durchlassverluste quadratisch mit dem Laststrom steigen.

Die wesentlichen Kennwerte sind in Tabelle 3.1 zusammengefasst.

Tabelle 3.1: Zentrale Parameter des IPP034N08N5

Parameter	Symbol	Wert
Max. Drain-Source-Spannung	V_{DS}	80 V
Max. Dauerstrom ($T_C = 25^\circ\text{C}$)	I_D	120 A
Einschaltwiderstand	$R_{DS(on)}$	$3,4\text{ m}\Omega$
Gate-Ladung (0..10 V)	Q_G	69 nC
Eingangskapazität	C_{iss}	4800 pF

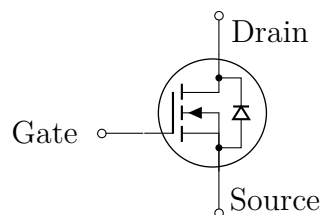


Abbildung 3.2: Symbol des verwendeten N-Kanal MOSFETs mit interner Freilaufdiode.

3.2.2 Berechnung der Verlustleistung

Um die thermische Auslegung in Kapitel 4 vorzubereiten, werden die zu erwartenden Verluste im Nennbetrieb abgeschätzt. Die Gesamtverluste setzen sich aus den Durchlassverlusten (P_{Cond}) und den Schaltverlusten (P_{SW}) zusammen.

Die statischen Durchlassverluste lassen sich über das Ohmsche Gesetz herleiten. Bei einem angenommenen maximalen Phasenstrom von $I_{rms} = 30 \text{ A}$ ergibt sich pro Schalter:

$$P_{Cond} = I_{rms}^2 \cdot R_{DS(on)} = (30 \text{ A})^2 \cdot 0,0034 \Omega = 3,06 \text{ W} \quad (3.1)$$

Dies stellt den dominanten Anteil der Verluste dar. Hinzu kommen die Schaltverluste, die durch das nicht-ideale Schalten (gleichzeitiges Anliegen von Strom und Spannung während der Umschaltphasen) entstehen. Diese werden maßgeblich durch die Gate-Treiber-Stufe und die gewählte Schaltfrequenz beeinflusst.

3.3 Auslegung der Gate-Treiber-Stufe

Da N-Kanal-MOSFETs in der High-Side-Position einer Brückenschaltung eine Ansteuerungsspannung oberhalb des Versorgungspotentials benötigen ($V_G > V_S + V_{th}$), ist der Einsatz spezialisierter Halbbrückentreiber erforderlich. Für dieses Design wurde der **IR2104** ausgewählt.

Der Baustein übernimmt zwei zentrale Aufgaben: Zum einen generiert er mittels einer internen Logik die notwendige Totzeit (Deadtime) von typisch 520 ns, um ein gleichzeitiges Leiten beider Transistoren (Shoot-Through) hardwareseitig zu unterbinden. Zum anderen ermöglicht er über eine externe Bootstrap-Beschaltung die Versorgung des High-Side-Schalters.

3.3.1 Dimensionierung der Bootstrap-Kapazität

Ein kritischer Aspekt des Designs ist die Dimensionierung des Bootstrap-Kondensators (C_{BS}). Dieser Kondensator fungiert als schwimmende Spannungsquelle für den High-Side-Treiber. Er muss genügend Ladung Q_{Total} speichern, um das Gate des MOSFETs vollständig umzuladen und Leckströme während der Leitphase zu kompensieren, ohne dass die Spannung signifikant einbricht.

Die benötigte Gesamtladung Q_{Total} setzt sich additiv aus drei Komponenten zusammen: der Gateladung Q_{Gate} , dem Verbrauch des Level-Shifters Q_{LS} und den Verlusten durch Leckströme Q_{Leak} .

1. Ermittlung der Gateladung

Der Treiber wird mit einer Spannung von $V_{CC} = 15\text{ V}$ betrieben. Da das Datenblatt des MOSFETs die Gateladung nur für 10 V spezifiziert, muss der Wert extrapoliert werden. Unter Berücksichtigung der Eingangskapazität C_{iss} ergibt sich eine effektive Ladungsmenge von:

$$Q_{Gate} \approx Q_{G(10V)} + (V_{CC} - 10\text{ V}) \cdot C_{iss} \approx 111\text{ nC} \quad (3.2)$$

2. Leckströme und Gesamtladung

Zusätzlich muss der Kondensator die Leckströme der Schaltung während der maximalen Einschaltdauer (t_{on}) puffern. Für den Worst-Case ($f_s = 20\text{ kHz} \rightarrow t_{on} = 50\text{ }\mu\text{s}$) summieren sich die Leckströme von Treiber, Diode und Kondensator auf ca. $115\text{ }\mu\text{A}$. Dies entspricht einem Ladungsverlust von $Q_{Leak} \approx 5,8\text{ nC}$.

Mit einer Reserve für den Level-Shifter ($Q_{LS} \approx 3\text{ nC}$) resultiert eine Gesamtladung von:

$$Q_{Total} = 111\text{ nC} + 5,8\text{ nC} + 3\text{ nC} \approx 120\text{ nC} \quad (3.3)$$

3. Ergebnis

Um sicherzustellen, dass die Gate-Spannung auch am Ende der Einschaltdauer stabil bleibt, wird ein maximal zulässiger Spannungsabfall (Ripple) von $\Delta V_{BS} = 1\text{ V}$ definiert. Die Mindestkapazität berechnet sich somit zu:

$$C_{BS,min} = \frac{Q_{Total}}{\Delta V_{BS}} = \frac{120\text{ nC}}{1\text{ V}} = 120\text{ nF} \quad (3.4)$$

Um Toleranzen und Alterungseffekte (DC-Bias bei Keramik kondensatoren) auszugleichen, wird der nächsthöhere Normwert gewählt. Es kommt ein **220 nF** Keramik kondensator (X7R) zum Einsatz.

3.4 Zwischenkreis-Auslegung

Der Zwischenkreis (DC-Link) dient als Energiespeicher und stabilisiert die Spannung bei den hochfrequenten Schaltvorgängen.

Hier folgt später der Text zu den Elkos.

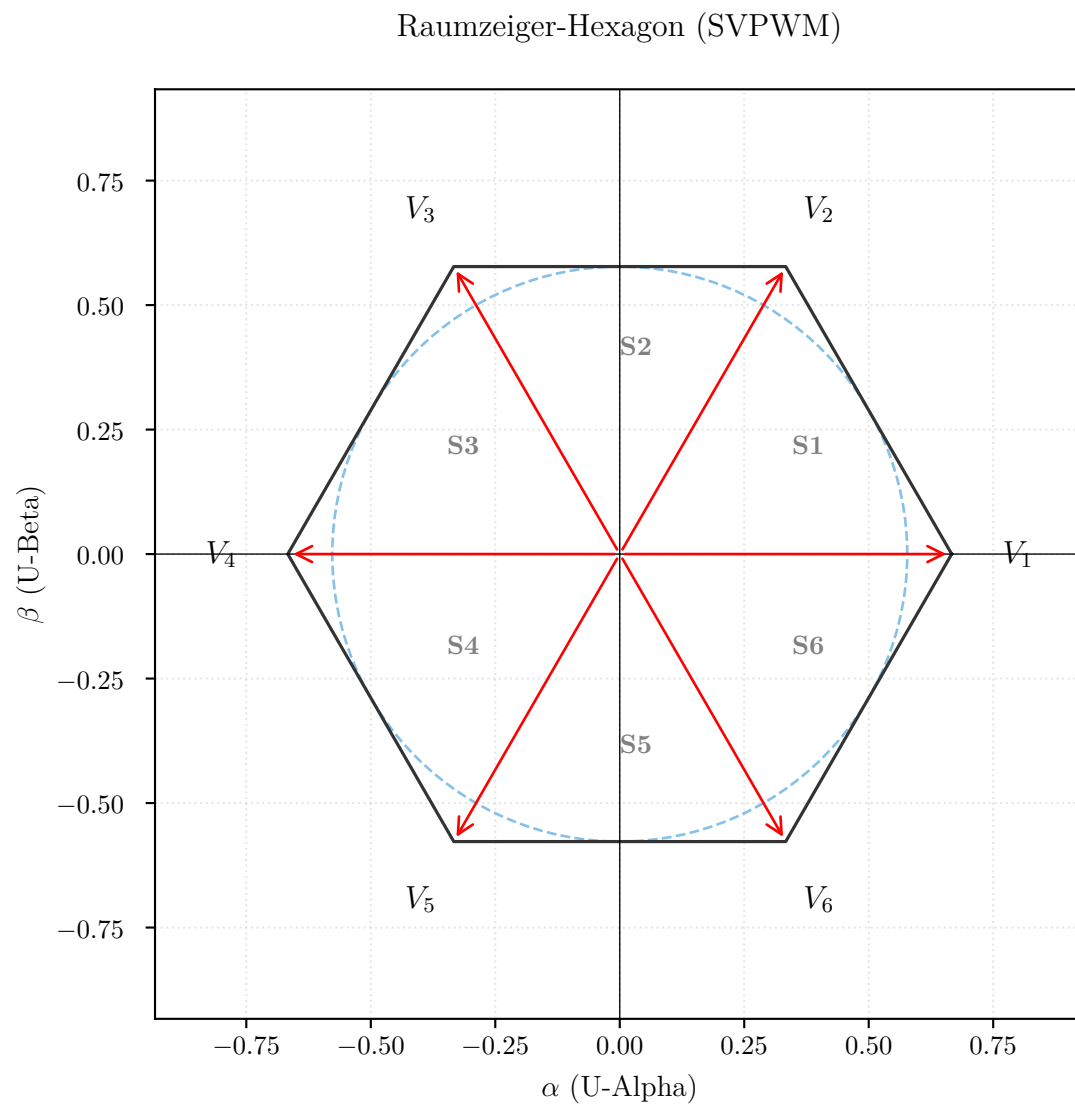


Abbildung 3.3: PGF-Grafik aus Matplotlib

4 Thermisches Management

Ingenieurs-Aspekt: Kühlkörperberechnung.

4.1 Thermisches Ersatzschaltbild

Um die Junction-Temperatur T_J unter dem Maximum (175 °C) zu halten, gilt:

$$T_J = P_{tot} \cdot (R_{thJC} + R_{thCH} + R_{thHA}) + T_{Amb} \quad (4.1)$$

Dabei ist:

- R_{thJC} : Wärmewiderstand Chip-Gehäuse (aus Datenblatt: 1,1 K/W).
- R_{thCH} : Wärmewiderstand Gehäuse-Kühlkörper (Isolierscheibe! Glimmer $\approx 0,5$ K/W).
- R_{thHA} : Wärmewiderstand Kühlkörper-Luft (zu berechnen).

4.2 Auslegung des Kühlkörpers

Rechnung: Welchen Rth-Wert muss der Kühlkörper haben, um bei 30A (ca. 4-5W Gesamtverlust pro FET) stabil zu bleiben?

5 PCB-Design und Layout

5.1 Masseführung

Trennung von Power-GND und Signal-GND (Sternpunkt beim Elko).

5.2 Strompfade

Minimierung der Leiterschleifen in der Kommutierungszelle zur Reduktion parasitärer Induktivitäten.

6 Software-Implementierung und Validierung

6.1 STM32 Konfiguration

Timer-Setup: Center-Aligned PWM für SVPWM. ADC-Triggerung in der PWM-Mitte.

6.2 Messergebnisse

Platzhalter für Oszi-Bilder: Gate-Signale, Totzeit-Überprüfung, Phasenstrom.

7 Fazit und Ausblick

7.1 Zusammenfassung

In dieser Studienarbeit wurde erfolgreich ein Motorcontroller für einen 36 V E-Kart-Antrieb entwickelt. Die Hardware wurde für Ströme bis 30 A dimensioniert, wobei besonderer Wert auf die thermische Auslegung und die Dimensionierung der Bootstrap-Schaltung gelegt wurde.

Die Entscheidung für die Ansteuerung mittels SVPWM (statt FOC) hat sich für diesen Anwendungsfall als zielführend erwiesen. Sie ermöglichte eine schnelle Inbetriebnahme und einen zuverlässigen Motoranlauf, ohne die hohe Rechenlast und Reglerkomplexität einer FOC-Lösung.

7.2 Ausblick

Für zukünftige Iterationen des Projekts könnten folgende Erweiterungen betrachtet werden:

- Integration einer Strommessung zur Überlastsicherung (Hardware-Schutz).
- Untersuchung, ob eine FOC-Regelung bei niedrigen Drehzahlen akustische Vorteile bietet (obwohl die SVPWM bereits effizient arbeitet).
- Layout-Optimierung zur weiteren Verkleinerung der Platine.

Literatur

- [1] ON Semiconductor, *AN-6076: Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC*, Rev. 3, 2021. Adresse: <https://www.onsemi.com/download/application-notes/pdf/and9674-d.pdf>.