**VHDL语言实现一位比较器**

**一、实验内容**

**用数据流描述写一个一位比较器，当输入相同时，输出为1；输入不同时，输出为0；**

**二、实验过程**

**1、编写Bitcompare代码**

**1’ 引进标准库**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.ALL;**

**2’ 编辑实体**

**entity bitcom is**

**Port ( a : in STD\_LOGIC;**

**b : in STD\_LOGIC;**

**clk : in STD\_LOGIC;**

**q : out STD\_LOGIC);**

**end bitcom;**

**实体bitcom中定义了四个端口，a、b两个输入端口，clk时钟输入，q为输出端口**

**3’ 定义逻辑函数**

**architecture Behavioral of bitcom is**

**begin**

**bitc: process(a,b,clk)**

**begin**

**if rising\_edge(clk) then**

**if (a=b) then**

**q <= '1';**

**else**

**q <= '0';**

**end if;**

**end if;**

**end process bitc;**

**end Behavioral;**

**定义了bitc过程，于上升沿触发，当当输入相同时，输出为1；输入不同时，输出为0；**

**2、编写testbench代码**

**1’ 引进标准库**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.ALL;**

**2’ 初始化定义**

**ARCHITECTURE behavior OF testbench IS**

**-- Component Declaration for the Unit Under Test (UUT)**

**COMPONENT bitcom**

**PORT(**

**a : IN std\_logic;**

**b : IN std\_logic;**

**clk : IN std\_logic;**

**q : OUT std\_logic**

**);**

**END COMPONENT;**

**--Inputs**

**signal a : std\_logic := '0';**

**signal b : std\_logic := '0';**

**signal clk : std\_logic := '0';**

**--Outputs**

**signal q : std\_logic;**

**-- Clock period definitions**

**constant clk\_period : time := 10 ns;**

**3’ 端口映射以及设置时钟周期**

**BEGIN**

**-- Instantiate the Unit Under Test (UUT)**

**uut: bitcom PORT MAP (**

**a => a,**

**b => b,**

**clk => clk,**

**q => q**

**);**

**-- Clock process definitions**

**clk\_process :process**

**begin**

**clk <= '0';**

**wait for clk\_period/2;**

**clk <= '1';**

**wait for clk\_period/2;**

**end process;**

**4’ 设计仿真过程**

**stim\_proc: process**

**variable max\_count : integer :=10;**

**variable cycle\_count : integer := 0;**

**begin**

**-- hold reset state for 100 ns.**

**wait for 100 ns;**

**wait for clk\_period\*10;**

**-- insert stimulus here**

**while(cycle\_count< max\_count) loop**

**a <= '1';**

**b <= '0';**

**wait for 100 ns;**

**a <= '1';**

**b <= '1';**

**wait for 100 ns;**

**a <= '0';**

**b <= '1';**

**wait for 100 ns;**

**end loop;**

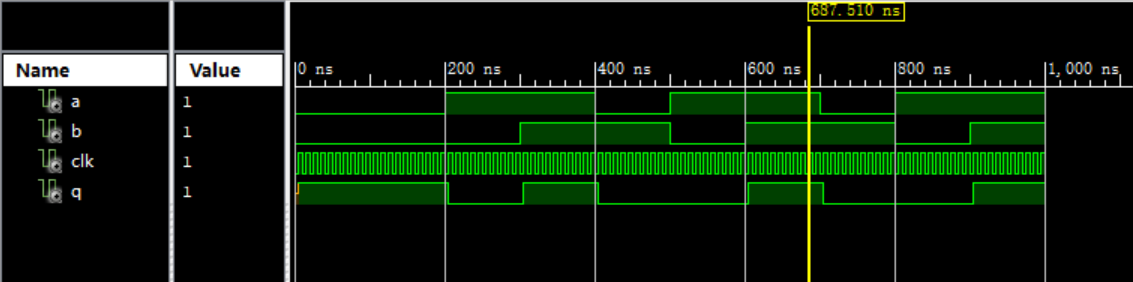
**wait;**

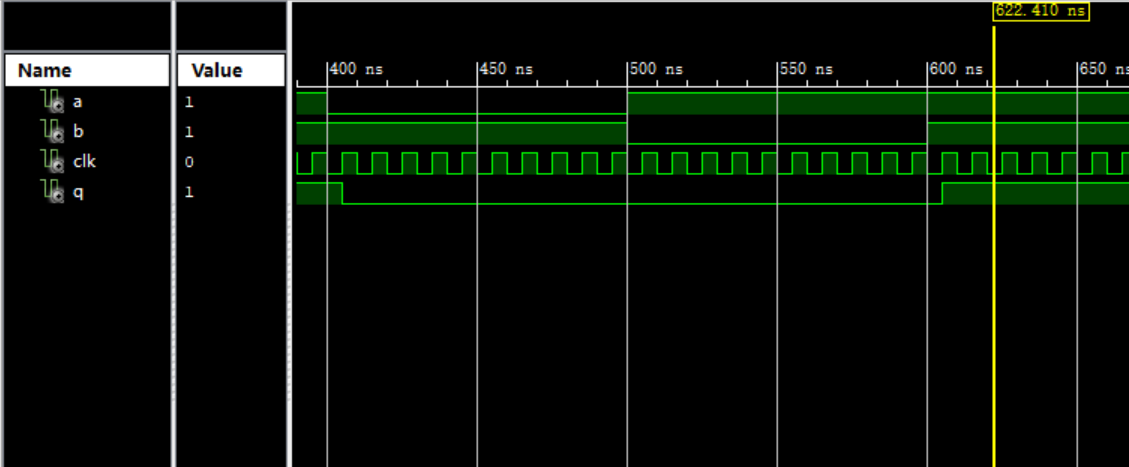
**end process;**

**其实是一个死循环，结束时间为仿真时间**

**三、实验结果**

**仿真波形如下：**

****

****

**仿真结果与预期一致。**

**四、实验总结**

**通过这次实验，编写了简单的uut和testbench实现了一位比较器的功能，对VHDL语言的结构有了进一步的了解，收获良多。**