



Unité de transmission/réception série asynchrone Vue structurelle du composant à implanter sur le FPGA

1 Circuit du FPGA

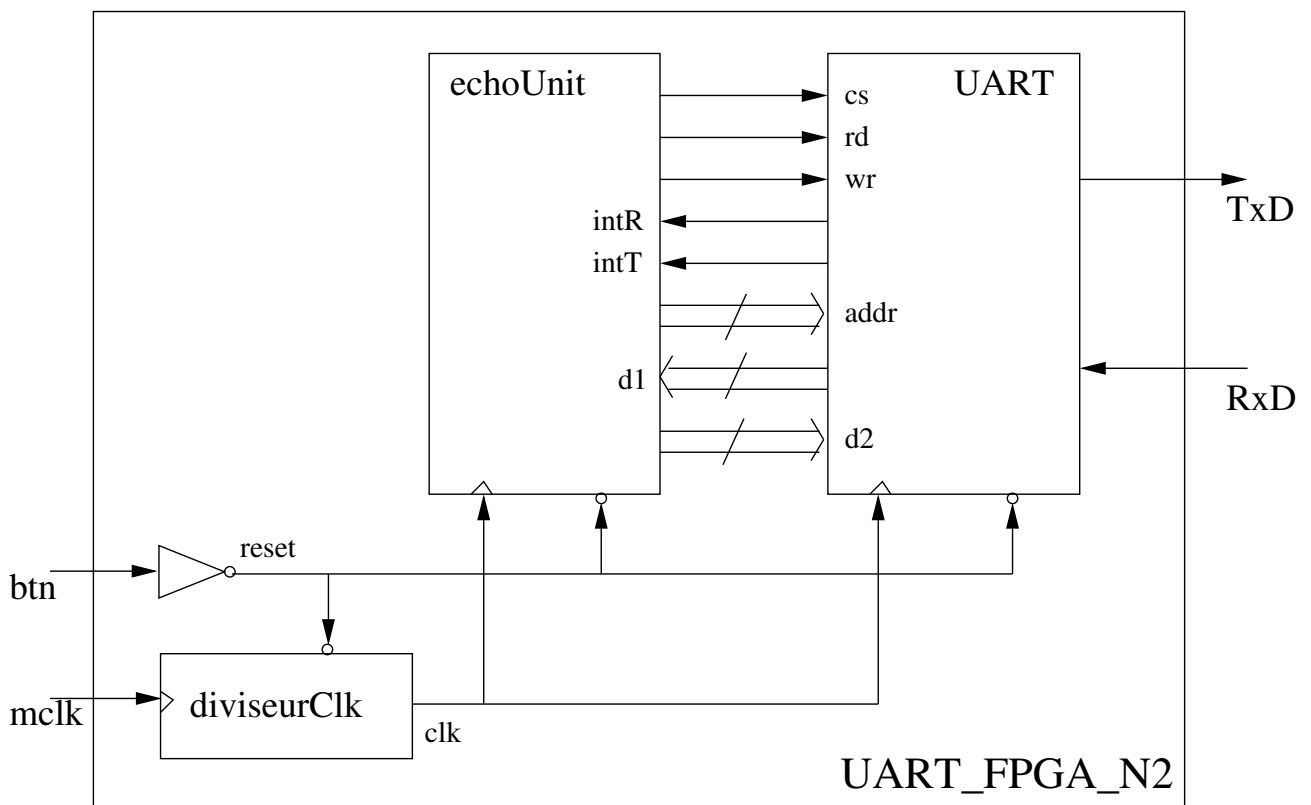


FIGURE 1 – Vue Structurelle du composant UART_FPGA_N2

2 Interfaces

2.1 diviseurClk

```
entity diviseurClk is
  port (
    clk, reset : in  std_logic;
    nclk       : out std_logic);
end diviseurClk;
```

2.2 echoUnit

```
entity echoUnit is
  port (
    clk, reset : in  std_logic;
    cs, rd, wr : out std_logic;
    IntR       : in  std_logic;
    IntT       : in  std_logic;
    addr       : out std_logic_vector(1 downto 0);
    data_in    : in  std_logic_vector(7 downto 0);
    data_out   : out std_logic_vector(7 downto 0));
end echoUnit;
```