

华为-逻辑电平接口设计规范

Q/DKBA

深圳市华为技术有限公司技术规范

Q/DKBA0. 200. 035-2000

逻辑电平接口设计规范

1

2000-06-20 发布 2000-06-20 实施

深圳市华为技术有限公司发布

2

Q/DKBA0. 200. 035-2000

本规范起草单位:各业务部、研究技术管理处硬件工程室。

本规范主要起草人如下:赵光耀、钱民、蔡常天、容庆安、朱志明,方光祥、王云飞。

在规范的起草过程中,李东原、陈卫中、梅泽良、邢小昱、李德、梁军、何其慧、甘云慧等提出了很好的建议。在此,表示感谢~

本规范批准人:周代琪

本规范解释权属于华为技术有限公司研究技术管理处硬件工程室。

本规范修改记录:

3

Q/DKBA0. 200. 035-2000

目 录

1、目的 5 2、范围 5 3、名词定义 5 4、引用标准和参考资料 6 5、TTL 器件和 CMOS 器件的逻辑电平 8

5.1:逻辑电平的一些概念	8
5.2:常用的逻辑电平	9
5.3:TTL 和 CMOS 器件的原理和输入输出特性	9
5.4:TTL 和 CMOS 的逻辑电平关系	10
6、TTL 和 CMOS 逻辑器件	12
6.1:TTL 和 CMOS 器件的功能分类	12
6.2:TTL 和 MOS 逻辑器件的工艺分类特点	13
6.3:TTL 和 CMOS 逻辑器件的电平分类特点	13
6.4:包含特殊功能的逻辑器件	14
6.5:TTL 和 CMOS 逻辑器件的选择	15
6.6:逻辑器件的使用指南	15
7、TTL、CMOS 器件的互连	17
7.1:器件的互连总则	17
7.2:5V TTL 门作驱动源	20
7.3:3.3V TTL/CMOS 门作驱动源	20
7.4:5V CMOS 门作驱动源	20
7.5:2.5V CMOS 逻辑电平的互连	20
8、EPLD 和 FPGA 器件的逻辑电平	21
8.1:概述	21
8.2:各类可编程器件接口电平要求	21
8.3:各类可编程器件接口电平要求	21
8.3.1:EPLD/CPLD 的接口电平	21
8.3.2:FPGA 接口电平	25
9、ECL 器件的原理和特点	35
9.1:ECL 器件的原理	35
9.2:ECL 电路的特性	36
9.3:PECL/LVPECL 器件的原理和特点	37

9.4:ECL 器件的互连 38

9.4.1:ECL 器件和 TTL 器件的互连 38

9.4.2:ECL 器件和其他器件的互连 39

9.5:ECL 器件的匹配方式 39

9.6:ECL 器件的使用举例 41

9.6.1:SYS100E111 的设计 41

9.6.2:SY100E57 的设计 42

4

Q/DKBA0.200.035-2000

9.1:ECL 电路的器件选择 43 9.2:ECL 器件的使用原则 43

10、LVDS 器件的原理和特点 45 10.1:LVDS 器件简介 45 10.2:LVDS 器件的标准 45

10.2.1:ANSI/TIA/EIA-644 45

10.2.2:IEEE 1596.3 SCI-LVDS 46 10.3:LVDS 器件的工作原理 46 10.4:LVDS 的特点 47 10.5:LVDS 的设计 48

10.5.1:LVDS 在 PCB 上的应用 48

10.5.2:关于 FAIL-SAFE 电路的设计 48

10.5.3:LVDS 在电缆中的使用 49

10.5.4:LVDS 在接插件中的信号分布和应

用 50 10.6:LVDS 信号的测试 51 10.7:LVDS 器件应用举例 52

10.7.1:DS90CR217/218 的设计 52

10.7.2:DS92LV1021/1201 的设计 52

11、GTL 器件的原理和特点 55 11.1:GTL 器件的特点和电平 55 11.2:GTL 信号的 PCB 设计 56

11.2.1:GTL 常见拓扑结构 56

11.2.2:GTL 的 PCB 设计 57 11.3:GTL 信号的测试 59 11.4:GTL 信号的时序 59

12、附录 60

13、附件列表 61

5

Q/DKBA0.200.035-2000

深圳市华为技术有限公司技术规范

Q/DKBA0.200.035-1999

逻辑电平接口设计规范

摘要:本规范介绍了在硬件开发过程中会涉及到的各类逻辑电平,如 TTL、CMOS、ECL、LVDS、GTL 等,解释了它们的输入输出特性、各种接口参数以及设计时要注意的问题等。

关键词:逻辑电平、TTL、CMOS、ECL、LVDS、GTL

主要章节写作人员:

第 5 章:由蔡常天编写

第 6 章:由朱志明编写

第 7 章:由赵光耀、王云飞编写

第 8 章:由荣庆安编写

第 9 章:由方光祥、王云飞编写

第 10 章:由钱民编写

第 11 章:由钱民编写

本规范最后由王云飞修改和整理。

1 、目的

制定此规范的目的在于指导研发人员在硬件开发中如何进行逻辑电平接口设计，并同时实现硬件开发的技术资源的共享，从而提高研发人员开发的效率和开发的质量。 2 、范围

本规范适用于公司所有的产品。

3 、名词定义

JEDEC:Joint Electron Device Engineering Council，联合电子设备工程协会。

逻辑电平:有 TTL、CMOS、ECL、PECL、GTL;RS232、RS422、LVDS 等。

6

Q/DKBA0.200.035-2000

TTL:Transistor-Transistor Logic

CMOS:Complementary Metal Oxide Semiconductor

LVTTL:Low Voltage TTL

LVC MOS:Low Voltage CMOS

ECL:Emitter Coupled Logic，

PECL:Pseudo/Positive Emitter Coupled Logic

LVDS:Low Voltage Differential Signaling

GTL:Gunning Transceiver Logic

BTL: Backplane Transceiver Logic

ETL: enhanced transceiver logic

GTLP:Gunning Transceiver Logic Plus

S - Schottky Logic

LS - Low-Power Schottky Logic

CD4000 - CMOS Logic 4000

AS - Advanced Schottky Logic

74F - Fast Logic

ALS - Advanced Low-Power Schottky Logic

HC/HCT - High-Speed CMOS Logic

BCT - BiCMOS Technology

AC/ACT - Advanced CMOS Logic

FCT - Fast CMOS Technology

ABT - Advanced BiCMOS Technology

LVT - Low-Voltage BiCMOS Technology

LVC - Low Voltage CMOS Technology

LV - Low-Voltage

CBT - Crossbar Technology

ALVC - Advanced Low-Voltage CMOS Technology

AHC/AHCT - Advanced High-Speed CMOS

CBTLV - Low-Voltage Crossbar Technology

7

Q/DKBA0.200.035-2000

ALVT - Advanced Low-Voltage BiCMOS Technology

AVC - Advanced Very-Low-Voltage CMOS Logic

4 、引用标准和参考资料

ANSI/TIA/EIA-644(LVDS)技术标准

IEEE 1596.3 SCI-LVDS 技术标准

EIA/TIA-232-F(RS232)

EIA/TIA-422-B(RS422)

EIA/TIA-485-A(RS485)

《串行通信接口电路设计规范》，公司规范

《单板带电插拔设计规范》，公司规范

《逻辑器件选型规范》，公司规范

8

Q/DKBA0. 200. 035-2000

5 、TTL 器件和 CMOS 器件的逻辑电平

5.1 :逻辑电平的一些概念

要了解逻辑电平的内容，首先要知道以下几个概念的含义：

1:输入高电平(V_{IH}): 保证逻辑门的输入为高电平时所允许的最小输入高电平，当输入电平高于 V_{IH} 时，则认为输入电平为高电平。

2:输入低电平(V_{IL}):保证逻辑门的输入为低电平时所允许的最大输入低电平，当输入电平低于 V_{IL} 时，则认为输入电平为低电平。

3:输出高电平(V_{OH}):保证逻辑门的输出为高电平时的输出电平的最小值，逻辑门的输出为高电平时的电平值都必须大于此 V_{OH} 。

4:输出低电平(V_{OL}):保证逻辑门的输出为低电平时的输出电平的最大值，逻辑门的输出为低电平时的电平值都必须小于此 V_{OL} 。

5:阈值电平(V_T): 数字电路芯片都存在一个阈值电平，就是电路刚刚勉强能翻转作时的电平。它是一个介于 V_{IL} 、 V_{IH} 之间的电压值，对于 CMOS 电路的阈值电平，基本上是二分之一的电源电压值，但为了保证稳定的输出，则必须要求输入高电平 $> V_{IH}$ ，输入低电平 $< V_{IL}$ ，而如果输入电平在阈值上下，也就是 V_{IL} 、 V_{IH} 这个区域，电路的输出会处于不稳定状态。

对于一般的逻辑电平，以上参数的关系如下：

$V_{OH} > V_{IH} > V_T > V_{IL} > V_{OL}$ 。

6: IOH: 逻辑门输出为高电平时的负载电流(为拉电流)。

7: IOL: 逻辑门输出为低电平时的负载电流(为灌电流)。

8: IIH: 逻辑门输入为高电平时的电流(为灌电流)。

9: IIL: 逻辑门输入为低电平时的电流(为拉电流)。

扇出能力也就是输出驱动能力，通常用驱动同类器件的数量来衡量。

TTL: 扇出能力一般在 10 左右。

CMOS: 静态时扇出能力达 1000 以上，但 CMOS 的交流(动态)扇出能力没有这样高，要根据工作频率和负载电容来考虑决定。限制因素是输入信号上升时间: 本身输出

9

Q/DKBA0. 200. 035-2000

电阻和下级输入电容形成积分电路影响输入信号的上升时间(输入信号从低电平上升到 V_{min} 所需时间)，实际电路当中，尽量使被驱动输入端限制在 10 以内。

IH

ECL: 由于 ECL 的工作速度高，考虑到负载电容的影响，ECL 的扇出一般限制在 10 以内。

门电路输出极在集成单元内不接负载电阻而直接引出作为输出端，这种形式的门称为开路门。开路的 TTL、CMOS、ECL 门分别称为集电极开路(OC)、漏极开路(OD)、发射极开路(OE)，使用时应审查是否接上拉电阻(OC、OD 门)或下拉电阻(OE 门)，以及电阻阻值是否合适。对于集电极开路(OC)门，其上拉电阻阻值 R 应 L 满足下面条件:

$$(1): R < (V_{CC}, V_{OH}) / (n \cdot I_{OH}, m \cdot I_{IH}) \quad L$$

$$(2): R > (V_{CC}, V_{OL}) / (I_{OL}, m \cdot I_{IL}) \quad L$$

其中 n : 线与的开路门数; m : 被驱动的输入端数。

5.2 :常用的逻辑电平

逻辑电平:有 TTL、CMOS、ECL、PECL、GTL;RS232、RS422、LVDS 等。如下表所示:

10

Q/DKBA0.200.035-2000

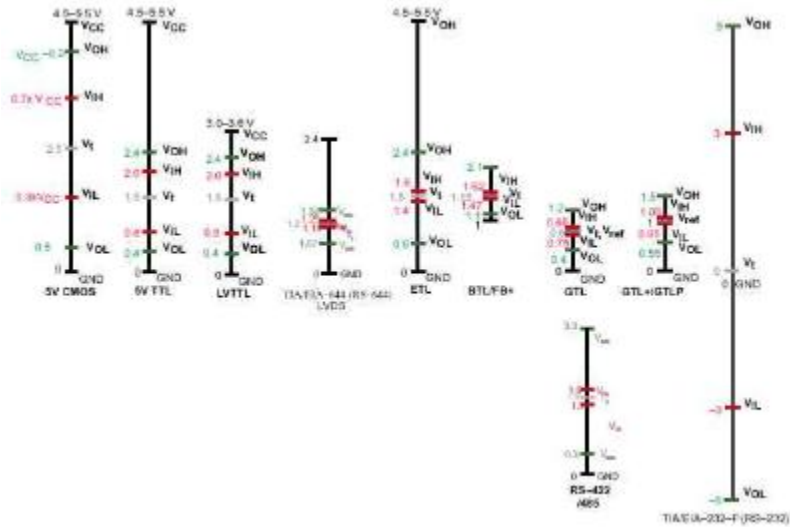


图 5.1:常用逻辑电平图

?其中 TTL 和 CMOS 的逻辑电平按典型电压可分为四类:5V 系列(5V TTL 和 5V CMOS)、3.3V 系列, 2.5V 系列和 1.8V 系列。

5V TTL 和 5V CMOS 逻辑电平是通用的逻辑电平。

3.3V 及以下的逻辑电平被称为低电压逻辑电平, 常用的为 LVTTTL 电平。

, 低电压的逻辑电平还有 2.5V 和 1.8V 两种, 详细见后。

ECL/PECL 和 LVDS 是差分输入输出, 其详细内容见后。

RS-422/485 和 RS-232 是串口的接口标准, RS-422/485 是差分输入输出, RS-232 是单端输入输出, 其相应的逻辑电平标准请参考公司的《串行通信接口电路设计规范》。

5.3 :TTL 和 CMOS 器件的原理和输入输出特性

请参看附件《TTL 和 CMOS 器件的原理输入输出特性.1wp》

5.4 :TTL 和 CMOS 的逻辑电平关系

11

Q/DKBA0. 200. 035-2000

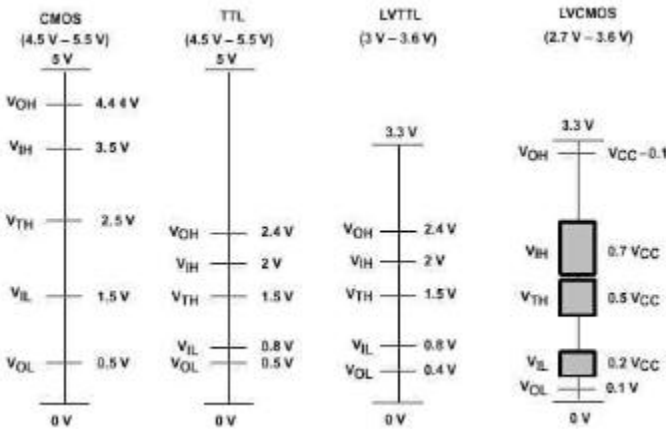


图 5, 2: TTL 和 CMOS 的逻辑电平图

上图为 5V TTL 逻辑电平、5V CMOS 逻辑电平、LVTTL 逻辑电平和 LVCMOS 逻辑电平的示意图。

5V TTL 逻辑电平和 5V CMOS 逻辑电平是很通用的逻辑电平，注意他们的输入输出电平差别较大，在互连时要特别注意。

另外 5V CMOS 器件的逻辑电平参数与供电电压有一定关系，一般情况下， $V_{oh} \geq V_{cc} - 0.2V$ ， $V_{ih} \geq 0.7V_{cc}$ ； $V_{ol} \leq 0.1V$ ， $V_{il} \leq 0.3V_{cc}$ ；噪声容限较 TTL 电平高。

JEDEC 组织在定义 3.3V 的逻辑电平标准时，定义了 LVTTL 和 LVCMOS 逻辑电平标准。

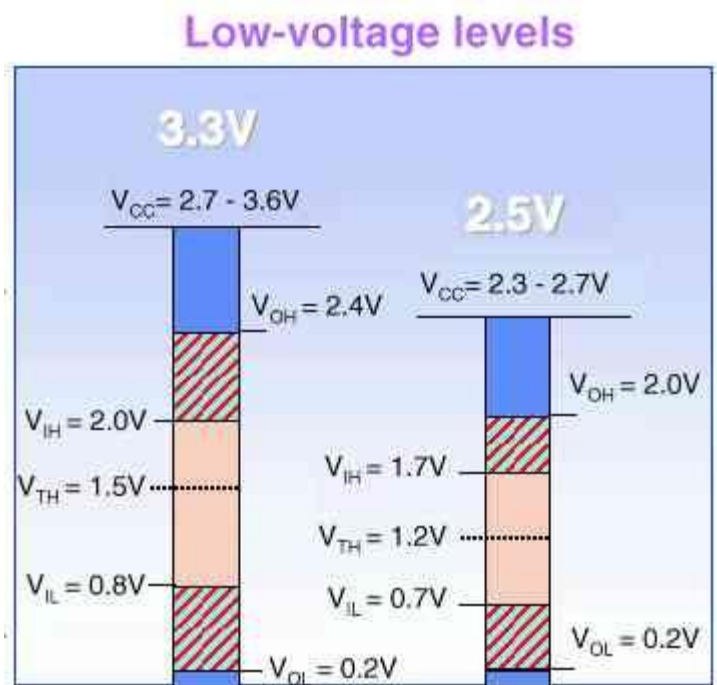
LVTTL 逻辑电平标准的输入输出电平与 5V TTL 逻辑电平标准的输入输出电平很接近，从而给它们之间的互连带来了方便(详细内容见第 7 章)。LVTTL 逻辑电平定义的工作电压范围是 3.0, 3.6V。

LVCMOS 逻辑电平标准是从 5V CMOS 逻辑电平关注移植过来的，所以它的 V_{IH} 、 V_{IL} 和 V_{OL} 与工作电压有关，其值如上图所示。LVCMOS 逻辑电平定义的工作电压范围是 2.7, 3.6V。

5V 的 CMOS 逻辑器件工作于 3.3V 时，其输入输出逻辑电平即为 LVCMOS 逻辑电平，它的 V_{IH} 大约为 $0.7V_{CC}$, 2.31V 左右，由于此电平与 LVTTTL 的 V_{OH} (2.4V) 之间的电压差

12

Q/DKBA0.200.035-2000



太小，使逻辑器件工作不稳定性增加，所以一般不推荐使用 5V CMOS 器件工作于 3.3V 电压的工作方式。由于相同的原因，使用 LVCMOS 输入电平参数的 3.3V 逻辑器件也很少。

JEDEC 组织为了加强在 3.3V 上各种逻辑器件的互连和 3.3V 与 5V 逻辑器件的互连，在参考 LVCMOS 和 LVTTTL 逻辑电平标准的基础上，又定义了一种标准，其名称即为 3.3V 逻辑电平标准，其参数如下：

图 5, 3: 低电压逻辑电平标准

从上图可以看出，3.3V 逻辑电平标准的参数其实和 LVTTTL 逻辑电平标准的参数差别不大，只是它定义的 V_{OL} 可以很低(0.2V)，另外，它还定义了其 V_{OH} 最高可以

到 $V_{CC}-0.2V$ ，所以 3.3V 逻辑电平标准可以包容 LVCMOS 的输出电平。在实际使用当中，对 LVTTTL 标准和 3.3V 逻辑电平标准并不太区分，某些地方用 LVTTTL 电平标准来替代 3.3V 逻辑电平标准，一般是可以的。

13

Q/DKBA0.200.035-2000

JEDEC 组织还定义了 2.5V 逻辑电平标准，如上图所示。另外，还有一种 2.5V CMOS 逻辑电平标准，它与上图的 2.5V 逻辑电平标准差别不大，可兼容。

低电压的逻辑电平还有 1.8V、1.5V、1.2V 的逻辑电平，具体请参考相关的文档。

14

Q/DKBA0.200.035-2000

6 、TTL 和 CMOS 逻辑器件

逻辑器件的分类方法有很多，下面以逻辑器件的功能、工艺特点和逻辑电平等方法来进行简单描述。

6.1 :TTL 和 CMOS 器件的功能分类

按功能进行划分，逻辑器件可以大概分为以下几类：门电路和反相器、选择器、译码器、计数器、寄存器、触发器、锁存器、缓冲驱动器、收发器、总线开关、背板驱动器等。

1:门电路和反相器

逻辑门主要有与门 74X08、与非门 74X00、或门 74X32、或非门 74X02、异或门 74X86、反相器 74X04 等。

2:选择器

选择器主要有 2-1、4-1、8-1 选择器 74X157、74X153、74X151 等。

3: 编/译码器

编/译码器主要有 2/4、3/8 和 4/16 译码器 74X139、74X138、74X154 等。

4:计数器

计数器主要有同步计数器 74X161 和异步计数器 74X393 等。

5:寄存器

寄存器主要有串-并移位寄存器 74X164 和并-串寄存器 74X165 等。

6:触发器

触发器主要有 J-K 触发器、带三态的 D 触发器 74X374、不带三态的 D 触发器 74X74、施密特触发器等。

7:锁存器

锁存器主要有 D 型锁存器 74X373、寻址锁存器 74X259 等。

8:缓冲驱动器

缓冲驱动器主要有带反向的缓冲驱动器 74X240 和不带反向的缓冲驱动器 74X244 等。

15

Q/DKBA0. 200. 035-2000

9:收发器

收发器主要有寄存器收发器 74X245、通用收发器 74X245、总线收发器等。

10:总线开关

总线开关主要包括总线交换和通用总线器件等。

11:背板驱动器

背板驱动器主要包括 TTL 或 LVTTTL 电平与 GTL/GTL+ (GTL P) 或 BTL 之间的电平转换器件。

6.2 :TTL 和 MOS 逻辑器件的工艺分类特点

按工艺特点进行划分，逻辑器件可以分为 Bipolar、CMOS、BiCMOS 等工艺，其中包括器件系列有：

Bipolar 工艺的器件有：TTL、S、LS、AS、F、ALS。

CMOS 工艺的器件有：HC、HCT、CD40000、ACL、FCT、LVC、LV、CBT、ALVC、AHC、AHCT、CBTLV、AVC、GTLP。

BiCMOS 工艺的器件有：BCT、ABT、LVT、ALVT。

6.3 :TTL 和 CMOS 逻辑器件的电平分类特点

TTL 和 CMOS 的电平主要有以下几种:5VTTL、5VCMOS($V_{ih} \geq 0.7 \cdot V_{cc}$, $V_{il} \leq 0.3 \cdot V_{cc}$)、3.3V 电平、2.5V 电平等。

5V 的逻辑器件

5V 器件包含 TTL、S、LS、ALS、AS、HCT、HC、BCT、74F、ACT、AC、AHCT、AHC、ABT 等系列器件

3.3V 及以下的逻辑器件

包含 LV 的和 V 系列及 AHC 和 AC 系列，主要有 LV、AHC、AC、ALB、LVC、ALVC、LVT 等系列器件。

具体情况可以参考下图：

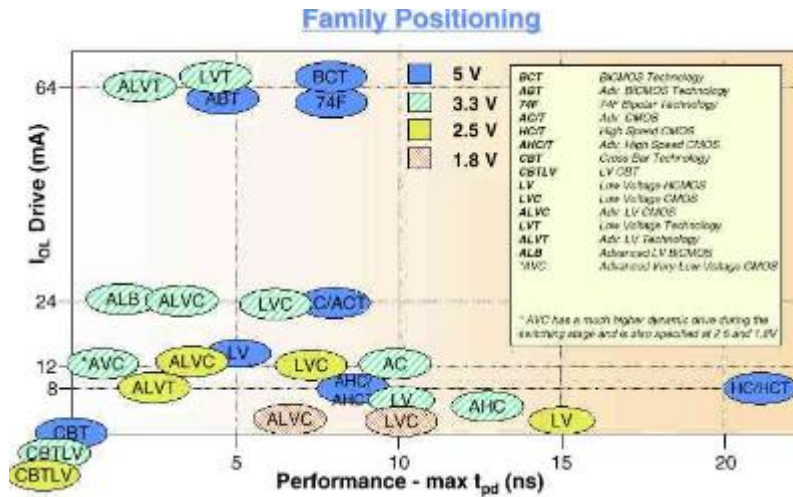


图 6, 2: TI 公司的逻辑器件示例图

6.4 :包含特殊功能的逻辑器件

A(总线保持功能(Bus hold))

由内部反馈电路保持输入端最后的确定状态，防止因输入端浮空的不确定而导致器件振荡自激损坏；输入端无需外接上拉或下拉电阻，节省 PCB 空间，降低了器件成本开销和功耗，见图 6, 3。ABT、LVT、ALVC、ALVCH、ALVTH、LVC、GTL 系列器件有此功能。命名特征为附加了“H”如：74ABTH16244。

17

Q/DKBA0.200.035-2000

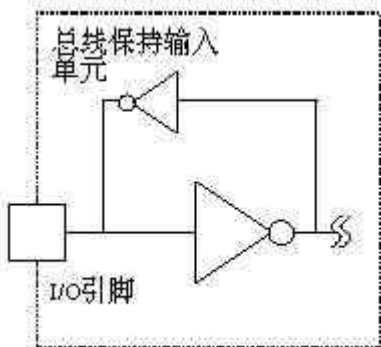
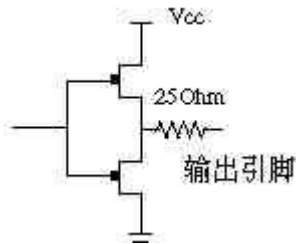


图 6, 3: 总线保持功能图

B(串联阻尼电阻(series damping resistors))

输出端加入串联阻尼电阻可以限流，有助于降低信号上冲/下冲噪声，消除线路振



铃，改善信号质量。如图 6, 4 所示。具有此特征的 ABT、LVC、LVT、ALVC 系列器件在命名中加入了“2”或“R”以示区别，如 ABT162245，ALVCHR162245。对于单向驱动器件，串联电阻加在其输出端，命名如 SN74LVC2244;对于双向的收发器件，串联电阻加在两边的输出端，命名如 SN74LVCR2245。

图 6, 4: 串行阻尼电阻图

C(上电/掉电三态(PU3S, Power up/power down 3-state)

即热拔插性能。上电/掉电时器件输出端为三态，Vcc 阈值为 2.1V;应用于热拔插

18

Q/DKBA0. 200. 035-2000

器件/板卡产品，确保拔插状态时输出数据的完整性。多数 ABT、LVC、LVT、LVTH 系列器件有此特征，有关单板热插拔的技术请参见公司规范《单板带电插拔设计规范》。

D(ABT 器件(Advanced BiCMOS Technology)

结合了 CMOS 器件(如 HC/HCT、LV/LVC、ALVC、AHC/AHCT)的高输入阻抗特性和双极性器件(Bipolar, 如 TTL、LS、AS、ALS)输出驱动能力强的特点。包括 ABT、LVT、ALVT 等系列器件，应用于低电压，低静态功耗环境。

E(Vcc/GND 对称分布

16 位 Widebus 器件的重要特征，对称配置引脚，有利于改善噪声性能。

AHC/AHCT、AVT、AC/ACT、CBT、LVT、ALVC、LVC、ALB 系列 16 位 Widebus 器件有此特征。

F(分离轨器件(Split-rail))

即双电源器件，具有两种电源输入引脚 V_{ccA} 和 V_{ccB} ，可分别接 5V 或 3.3V 电源电压。如 ALVCH164245、ALVC4245 等，命名特征为附加了“4”。

6.5 :TTL 和 CMOS 逻辑器件的选择

具体请参见公司的《逻辑器件选型指导书》。

6.6 :逻辑器件的使用指南

1:多余不用输入管脚的处理

在多数情况下，集成电路芯片的管脚不会全部被使用。例如 74ABT16244 系列器件最多可以使用 16 路 I/O 管脚，但实际上通常不会全部使用，这样就会存在悬空端子。所有数字逻辑器件的无用端子必须连接到一个高电平或低电平，以防止电流漂移(具有总线保持功能的器件无需处理不用输入管脚)。究竟上拉还是下拉由实际器件在何种方式下功耗最低确定。244、16244 经测试在接高电平时静态功耗较小，而接地时静态功耗较大，故建议其无用端子处理以通过电阻接电源为好，电阻值推荐为 1, 10K。

2:选择板内驱动器件的驱动能力，速度，不能盲目追求大驱动能力和高速的器件，应该选择能够满足设计要求，同时有一定的余量的器件，这样可以减少信号过冲，改善信号质量。并且在设计时必须考虑信号匹配。

19

Q/DKBA0. 200. 035-2000

3:在对驱动能力和速度要求较高的场合，如高速总线型信号线，可使用 ABT、LVT 系列。板间接口选择 ABT16244/245 或 LVTH16244/245，并在母板两端匹配，在

不影响速度的条件下与母板接口尽量串阻，以抑制过冲、保护器件，典型电阻值为 10– 200 Ω 左右，另外，也可以使用并接二极管来进行处理，效果也不错，如 1N4148 等(抗冲击较好)。

4:在总线达到产生传输线效应的长度后，应考虑对传输线进行匹配，一般采用的方式有始端匹配、终端匹配等。

始端匹配是在芯片的输出端串接电阻，目的是防止信号畸变和地弹反射，特别当总线要透过接插件时，尤其须做始端匹配。内部带串联阻尼电阻的器件相当于始端匹配，由于其阻值固定，无法根据实际情况进行调整，在多数场合对于改善信号质量收效不大，故此不建议推荐使用。始端匹配推荐电阻值为 10, 51 Ω ，在实际使用中可根据 IBIS 模型模拟仿真确定其具体值。

由于终端匹配网络加重了总线负载，所以不应该因为匹配而使 Buffer 的实际驱动电流大于驱动器件所能提供的最大 Source、Sink 电流值。

应选择正确的终端匹配网络，使总线即使在没有任何驱动源时，其线电压仍能保持在稳定的高电平。

5:要注意高速驱动器件的电源滤波。如 ABT、LVT 系列芯片在布线时，建议在芯片的四组电源引脚附近分别接 0.1 μ 或 0.01 μ 电容。

6:可编程器件任何电源引脚、地线引脚均不能悬空;在每个可编程器件的电源和地间要并接 0.1 μ F 的去耦电容，去耦电容尽量靠近电源引脚，并与地形成尽可能小的环路。

7:收发总线需有上拉电阻或上下拉电阻，保证总线浮空时能处于一个有效电平，以减小功耗和干扰。

8:373/374/273 等器件为工作可靠，锁存时钟输入建议串入 10, 200 欧电阻。

9:时钟、复位等引脚输入往往要求较高电平，必要时可上拉电阻。

10:注意不同系列器件是否有带电插拔功能及应用设计中的注意事项，在设计带电

20

Q/DKBA0. 200. 035-2000

插拔电路时请参考公司的《单板带电插拔设计规范》。

11:注意电平接口的兼容性。 选用器件时要注意电平信号类型，对于有不同逻辑电平互连的情况，请遵守本规范的相应的章节的具体要求。

12: 在器件工作过程中，为保证器件安全运行，器件引脚上的电压及电流应严格控制在器件手册指定的范围内。逻辑器件的工作电压不要超出它所允许的范围。

13:逻辑器件的输入信号不要超过它所能允许的电压输入范围，不然可能会导致芯片性能下降甚至损坏逻辑器件。

14:对开关量输入应串电阻，以避免过压损坏。

15:对于带有缓冲器的器件不要用于线性电路，如放大器。

21

Q/DKBA0. 200. 035-2000

7 、TTL、CMOS 器件的互连

7.1 :器件的互连总则

在公司产品的某些单板上，有时需要在某些逻辑电平的器件之间进行互连。在不同逻辑电平器件之间进行互连时主要考虑以下几点：

1:电平关系，必须保证在各自的电平范围内工作，否则，不能满足正常逻辑功能，严重时烧毁芯片。

2:驱动能力，必须根据器件的特性参数仔细考虑，计算和试验，否则很可能造成隐患，在电源波动，受到干扰时系统就会崩溃。

3:时延特性, 在高速信号进行逻辑电平转换时, 会带来较大的延时, 设计时一定要充分考虑其容限。

4:选用电平转换逻辑芯片时应慎重考虑, 反复对比。通常逻辑电平转换芯片为通用转换芯片, 可靠性高, 设计方便, 简化了电路, 但对于具体的设计电路一定要考虑以上三种情况, 合理选用。

对于数字电路来说, 各种器件所需的输入电流、输出驱动电流不同, 为了驱动大电流器件、远距离传输、同时驱动多个器件, 都需要审查电流驱动能力:输出电流应大于负载所需输入电流;另一方面, TTL、CMOS、ECL 等输入、输出电平标准不一致, 同时采用上述多种器件时应考虑电平之间的转换问题。

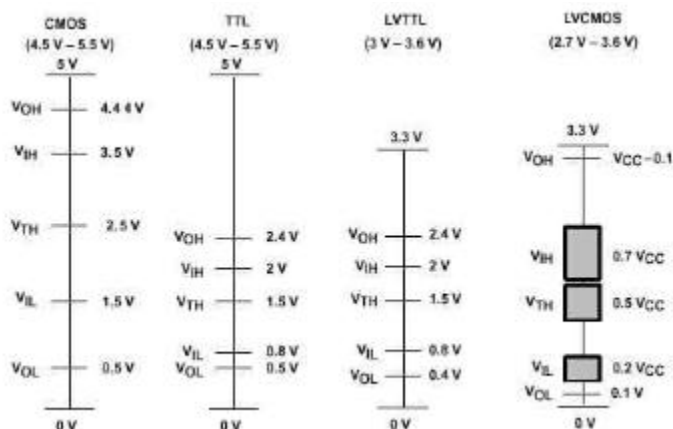
我们在电路设计中经常遇到不同的逻辑电平之间的互连, 不同的互连方法对电路造成以下影响:

, 对逻辑电平的影响。应保证合格的噪声容限 ($V_{ohmin}, V_{ihmin} \geq 0.4V$, $V_{ilmax}, V_{olmax} \leq 0.4V$), 并且输出电压不超过输入电压允许范围。

对上升/下降时间的影响。应保证 T_{plh} 和 T_{phl} 满足电路时序关系的要求和 EMC 的要求。

对电压过冲的影响。过冲不应超出器件允许电压绝对最大值, 否则有可能导致器件损坏。

TTL 和 CMOS 的逻辑电平关系如下图所示:



Low-voltage levels

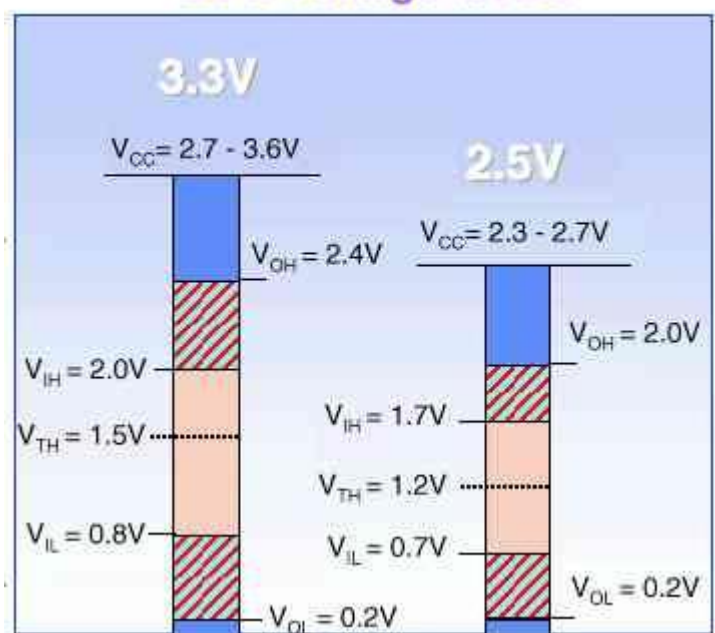


图 7, 1: TTL 和 CMOS 的逻辑电平关系图

图 7, 2: 低电压逻辑电平标准

3.3V 的逻辑电平标准如前面所述有三种，实际的 3.3V TTL/CMOS 逻辑器件的输入电平参数一般都使用 LVTTTL 或 3.3V 逻辑电平标准(一般很少使用 LVCMOS 输入电平，原因见前 5.4 节)，输出电平参数在小电流负载时高低电平可分别接近电源电压和地电平(类

似 LVCMOS 输出电平), 在大电流负载时输出电平参数则接近 LVTTTL 电平参数, 所以输出电平参数也可归入 3.3V 逻辑电平, 另外, 一些公司的手册中将其归纳如 LVTTTL 的输出逻辑电平, 也可以。

在下面讨论逻辑电平的互连时, 对 3.3V TTL/CMOS 的逻辑电平, 我们就指的是 3.3V 逻辑电平或 LVTTTL 逻辑电平。

常用的 TTL 和 CMOS 逻辑电平分类有: 5V TTL、5V CMOS、3.3V TTL/CMOS、3.3V/5V Tri-state 和 OC/OD 门。

其中:

3.3V/5V Tri-state 是指输入是 3.3V 逻辑电平, 但可以忍受 5V 电压的信号输入。

3.3V TTL/CMOS 逻辑电平表示不能输入 5V 信号的逻辑电平, 否则会出问题。

注意某些 5V 的 CMOS 逻辑器件, 它也可以工作于 3.3V 的电压, 但它与真正的 3.3V 器件(是 LVTTTL 逻辑电平)不同, 比如其 V_{IH} 是 2.31V (0.73.3V, 工作于 3.3V) (其实是 LVCMOS 逻辑输入电平), 而不是 2.0V, 因而与真正的 3.3V 器件互连时工作不太可靠, 使用时要特别注意, 在设计时最好不要采用这类工作方式。

值得注意的是有些器件有单独的输入或输出电压管脚, 此管脚接 3.3V 的电压时, 器件的输入或输出逻辑电平为 3.3V 的逻辑电平信号, 而当它接 5V 电压时, 输入或输出的逻辑电平为 5V 的逻辑电平信号, 此时应该按该管脚上接的电压的值来确定输入和输出的逻辑电平属于哪种分类。

对于可编程器件(EPLD 和 FPGA)的互连也要根据器件本身的特点并参考本章节的内容进行处理。

以上 5 种逻辑电平类型之间的驱动关系如下表:

输入

3.3V 5V 5V 3.3V /5V Tri-state TTL/CTTL CMOS MOS

5V TTL ? ? , ,

输 3.3V ??? , TTL/CMOS 出

5V CMOS ??? ,

24

Q/DKBA0.200.035-2000

OC/OD 上拉 上拉 上拉 上拉

上表中打钩(?)的表示逻辑电平直接互连没有问题,打星号(,)的表示要做特别处理。

对于打星号(,)的逻辑电平的互连情况,具体见后面 7.2 到 7.5 节。

一般对于高逻辑电平驱动低逻辑电平的情况如简单处理估计可以通过串接 10, 1K 欧的电阻来实现,具体阻值可以通过试验确定,如为可靠起见,可参考 7.2 到 7.5 节推荐的接法。

从上表可看出 OC/OD 输出加上拉电阻可以驱动所有逻辑电平, 5V TTL 和 3.3V /5V To1. 可以被所有逻辑电平驱动。所以如果您的可编程逻辑器件有富裕的管脚, 优先使用其 OC/OD 输出加上拉电阻实现逻辑电平转换;其次才用以下专门的逻辑器件转换。

对于其他的不能直接互连的逻辑电平,可用下列逻辑器件进行处理,详细见后面 7.2 到 7.5 节。

TI 的 AHCT 系列器件为 5V TTL 输入、5V CMOS 输出。

TI 的 LVC/LVT 系列器件为 TTL/CMOS 逻辑电平输入、3.3V TTL (LVTTTL) 输出,也可以用双轨器件替代。

注意:不是所有的 LVC/LVT 系列器件都能够运行 5V TTL/CMOS 输入,一般只有带后缀 A 的和 LVCH/LVTH 系列的可以,具体可以参考其器件手册。

7.2 :5V TTL 门作驱动源

, 驱动 3.3V TTL/CMOS

通过 LVC/LVT 系列器件(为 TTL/CMOS 逻辑电平输入, LVTTL 逻辑电平输出)进行转换。

, 驱动 5V CMOS

可以使用上拉 5V 电阻的方式解决, 或者使用 AHCT 系列器件(为 5V TTL 输入、5V CMOS 输出)进行转换。

25

Q/DKBA0. 200. 035-2000

7.3 :3.3V TTL/CMOS 门作驱动源

驱动 5V CMOS

使用 AHCT 系列器件(为 5V TTL 输入、5V CMOS 输出)进行转换(3.3V TTL 电平(LVTTL)与 5V TTL 电平可以互连)。

7.4 :5V CMOS 门作驱动源

驱动 3.3V TTL/CMOS

通过 LVC/LVT 器件(输入是 TTL/CMOS 逻辑电平, 输出是 LVTTL 逻辑电平)进行转换。

7.5 :2.5V CMOS 逻辑电平的互连

随着芯片技术的发展, 未来使用 2.5V 电压的芯片和逻辑器件也会越来越多, 这里简单谈一下 2.5V 逻辑电平与其他电平的互连, 主要是谈一下 2.5V 逻辑电平与 3.3V 逻辑电平的互连。(注意:对于某些芯片, 由于采用了优化设计, 它的 2.5V 管脚的逻辑电平可以和 3.3V 的逻辑电平互连, 此时就不需要再进行逻辑电平的转换了。)

1:3.3V TTL/CMOS 逻辑电平驱动 2.5V CMOS 逻辑电平

2.5V 的逻辑器件有 LV、LVC、AVC、ALVT、ALVC 等系列, 其中前面四种系列器件工作在 2.5V 时可以容忍 3.3V 的电平信号输入, 而 ALVC 不行, 所以可以使用

LV、LVC、AVC、ALVT 系列器件来进行 3.3V TTL/CMOS 逻辑电平到 2.5V CMOS 逻辑电平的转换。

2:2.5V CMOS 逻辑电平驱动 3.3V TTL/CMOS 逻辑电平

2.5V CMOS 逻辑电平的 V_{OH} 为 2.0V，而 3.3V TTL/CMOS 的逻辑电平的 V_{IH} 也为 2.0V，所以直接互连的话可能会出问题(除非 3.3V 的芯片本身的 V_{IH} 参数明确降低了)。此时可以使用双轨器件 SN74LVCC3245A 来进行 2.5V 逻辑电平到 3.3V 逻辑电平的转换，另外，使用 OC/OD 们加上拉电阻应该也是可以的。

26

Q/DKBA0.200.035-2000

8、EPLD 和 FPGA 器件的逻辑电平

8.1 :概述

首先在选择可编程逻辑器件时,要找符合你所选用的 ASSP 的 IO 标准;其次,你必须考虑的是:目前,随着系统性能的不断提高,传统的 TTL、LVTTTL、CMOS、LVCMOS 等单端接口标准越来越不能满足要求,特别是在背板方面。因为,这些单端信号的信号完整性在系统设计时很难保证,以至于导致系统的不可靠工作。这一点在时钟方面尤为重要,因为,在同步设计的今天,时钟是系统工作的基础。当然,差分信号是最好的选择,比如:LVDS、LVPECL 等。但是,这些信号标准一个通道需要一对 IO_PIN,这在许多应用情况下不太划算。此时,一些比较容易实现阻抗匹配的单端信号标准是较好的选择,比如:GTL、GTL+等。

8.2 :各类可编程器件接口电平要求

在设计中,若同时使用了不同工作电压等级的多个可编程器件,要注意它们之间信号的接口规范。比如,5V 的器件驱动 3.3V 的器件时,可能会出现:当 5V 的高电平连到 3.3V 的输入时,由于大部分的 CMOS 的输入信号管脚都有连到电源 V_{CC} 的钳位二极管,大于 3.3 伏的输入高电平会使该钳位二极管出现问题。

事实上，由于有些系列的可编程器件如 XILINX 的 XC4000XL，XC4000XV，Spartan-XL 采用了特殊的技术，可以避免这种情况的发生。因此该系列的器件可以在不同工作电压之间互相连接。

对于 2.5V 的器件，由于可以选择相关的输入参考电压和输出的电压基准，因此可以通过相关的电压数值的选取，对照 3.3V 的器件来使用。

对于某类器件，如 ALTERA 公司的 FLEX10K 系列器件，可支持多电压 I/O 接口，FLEX10K，FLEX10KA，FLEX10B 都可以接不同电源电压系统，详细的情况请参见后面的列表。

以下是不同电压接口的电压连接的情况。

8.3 :各类可编程器件接口电平要求

27

Q/DKBA0.200.035-2000

8.3.1 :EPLD/CPLD 的接口电平

1、ALTERA 的 EPLD

(1)MAX7000/E/S 系列)

MAX7000/E/S 系列 EPLD 为 5V 器件，可将 I/O 设置在 3.3V 或 5V 电源下工作 (44PIN 的除外，无 V 管脚)。Vccint 为 5.0V，V 可为 3.3V 或 5V (44PIN 器件 CCI0CCIO

无 V 脚，不支持 3.3V 输出)。MAX7000S 系列器件支持集电极开路输出。 CCIO

MAX7000 系列支持电平

输入信号 输出信号 VCCIO 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

5V ? ? ? ? ? 3.3V ? ? ? ? ? ? ?

28

Table 12. MAX 7000 5.0-V Device DC Operating Conditions <i>Note (3)</i>					
Symbol	Parameter	Conditions	Min	Max	Unit
V_{IH}	High-level input voltage		2.0	$V_{CCINT} + 0.5$	V
V_{IL}	Low-level input voltage		-0.5 (7)	0.8	V
V_{OH}	5.0-V high-level TTL output voltage	$I_{OH} = -4$ mA DC, $V_{CCIO} = 4.75$ V (9)	2.4		V
	3.3-V high-level TTL output voltage	$I_{OH} = -4$ mA DC, $V_{CCIO} = 3.00$ V (9)	2.4		V
	3.3-V high-level CMOS output voltage	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 3.0$ V (9)	$V_{CCIO} - 0.2$		V
V_{OL}	5.0-V low-level TTL output voltage	$I_{OL} = 12$ mA DC, $V_{CCIO} = 4.75$ V (10)		0.45	V
	3.3-V low-level TTL output voltage	$I_{OL} = 12$ mA DC, $V_{CCIO} = 3.00$ V (10)		0.45	V
	3.3-V low-level CMOS output voltage	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 3.0$ V (10)		0.2	V

(2) MAX7000A/AE 系列

MAX7000A/AE 系列为 3.3V 器件，允许 5V 输入，支持多电平接口，V 为 CCINT3.3V，V 可为 3.3V 或 2.5V(44PIN 器件有 VCCIO 脚)，支持集电极开路输出。CCIO

MAX7000A/AE 系列支持电平

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCCIO CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

3.3V ? ? ? ? ?

2.5V ? ? ? ? ?

Table 11. MAX 7000A Device DC Operating Conditions *Note (5)*

Symbol	Parameter	Conditions	Min	Max	Unit
V_{IH}	High-level input voltage		1.7	5.75	V
V_{IL}	Low-level input voltage		-0.5	0.8	V
V_{OH}	3.3-V high-level TTL output voltage	$I_{OH} = -8\text{ mA DC}$, $V_{CCIO} = 3.00\text{ V}$ (6)	2.4		V
	3.3-V high-level CMOS output voltage	$I_{OH} = -0.1\text{ mA DC}$, $V_{CCIO} = 3.00\text{ V}$ (6)	$V_{CCIO} - 0.2$		V
	2.5-V high-level output voltage	$I_{OH} = -100\text{ }\mu\text{A DC}$, $V_{CCIO} = 2.30\text{ V}$ (6)	2.1		V
		$I_{OH} = -1\text{ mA DC}$, $V_{CCIO} = 2.30\text{ V}$ (6)	2.0		V
		$I_{OH} = -2\text{ mA DC}$, $V_{CCIO} = 2.30\text{ V}$ (6)	1.7		V
V_{OL}	3.3-V low-level TTL output voltage	$I_{OL} = 8\text{ mA DC}$, $V_{CCIO} = 3.00\text{ V}$ (7)		0.45	V
	3.3-V low-level CMOS output voltage	$I_{OL} = 0.1\text{ mA DC}$, $V_{CCIO} = 3.00\text{ V}$ (7)		0.2	V
	2.5-V low-level output voltage	$I_{OL} = 100\text{ }\mu\text{A DC}$, $V_{CCIO} = 2.30\text{ V}$ (7)		0.2	V
		$I_{OL} = 1\text{ mA DC}$, $V_{CCIO} = 2.30\text{ V}$ (7)		0.4	V
		$I_{OL} = 2\text{ mA DC}$, $V_{CCIO} = 2.30\text{ V}$ (7)		0.7	V

2、XILINX 的 CPLD

(1)XC9500 系列

XC9500 系列为 5V 器件，支持多电平接口，V_{CCINT} 为 5V，V_{CCIO} 可为 3.3V 或 5V。V_{CCINT} 为 5V 时，输出低电平电流可达到 24mA。

XC9500 系列支持电平

输入信号 输出信号 V_{CCIO} 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

V_{IL}	Low-level input voltage	0	0.80	V
V_{IH}	High-level input voltage	2.0	$V_{CCINT} + 3.5$	V

5V 3.3V 3.3V 3.3V 3.3V 3.3V 3.3V 3.3V

30

Q/DKBA0.200.035-2000

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{OH}	Output high voltage for 5 V operation	$I_{OH} = -4.0\text{ mA}$ $V_{CC} = \text{Min}$	2.4		V
	Output high voltage for 3.3 V operation	$I_{OH} = -8.2\text{ mA}$ $V_{CC} = \text{Min}$	2.4		V
V_{OL}	Output low voltage for 5 V operation	$I_{OL} = 24\text{ mA}$ $V_{CC} = \text{Min}$		0.5	V
	Output low voltage for 3.3 V operation	$I_{OL} = 10\text{ mA}$ $V_{CC} = \text{Min}$		0.4	V

(2)XC9500XL

XC9500XL 系列为 3.3V 器件，允许 5V 输入，支持多电平接口，V_{CCINT} 为 3.3V，V_{CCIO} 可为 3.3V 或 2.5V。

XC9500XL 系列支持电平

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCCIO CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

V_{IL}	Low-level input voltage	0	0.80	V
V_{IH}	High-level input voltage	2.0	5.5	V

3.3V ? ? ? ? ?

2.5V ? ? ? ?

31

Q/DKBA0.200.035-2000

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{OH}	Output high voltage for 3.3 V outputs	$I_{OH} = -4.0 \text{ mA}$	2.4		V
	Output high voltage for 2.5 V outputs	$I_{OH} = -500 \mu\text{A}$	90% V_{CCIO}		V
V_{OL}	Output low voltage for 3.3 V outputs	$I_{OL} = 8.0 \text{ mA}$		0.4	V
	Output low voltage for 2.5 V outputs	$I_{OL} = 500 \mu\text{A}$		0.4	V
I_{IL}	Input leakage current	$V_{CC} = \text{Max}$ $V_{IN} = \text{GND or } V_{CC}$		± 10.0	μA
I_{IH}	IO high-Z leakage current	$V_{CC} = \text{Max}$ $V_{IN} = \text{GND or } V_{CC}$		± 10.0	μA

3、Lattice CPLD 器件的接口电平

SYMBOL	PARAMETER		MIN.	MAX.	UNITS
V_{CC}	Supply Voltage	Commercial $T_A = 0^\circ\text{C to } 70^\circ\text{C}$	4.75	5.25	V
		Industrial $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	4.5	5.5	V
V_{IL}	Input Low Voltage		0	0.8	V
V_{IH}	Input High Voltage		2.0	$V_{CC}+1$	V

(1) ispLSI1000E 系列

ispLSI1000E 系列为 5V 器件，V 为 5V，无 V 管脚 CCINTCCIO

ispLSI1000E 系列支持电平

输入信号 输出信号

VCC 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

5V ? ? ? ? ?

(2) ispLSI2000

ispLSI2000 系列为 5V 器件，V 为 5V，无 V 管脚 CCINTCCIO

ispLSI2000 系列支持电平

输入信号 输出信号

VCC 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

32

Q/DKBA0.200.035-2000

SYMBOL	PARAMETER		MIN.	MAX.	UNITS
V _{CC}	Supply Voltage	Commercial T _A = 0°C to +70°C	4.75	5.25	V
		Industrial T _A = -40°C to +85°C	4.5	5.5	V
V _{IL}	Input Low Voltage		0	0.8	V
V _{IH}	Input High Voltage		2.0	V _{CC} +1	V

5V ? ? ? ? ?

(3) ispLSI2000VE 系列

SYMBOL	PARAMETER		MIN.	MAX.	UNITS
V _{CC}	Supply Voltage	Commercial T _A = 0°C to +70°C	3.0	3.6	V
		Industrial T _A = -40°C to +85°C	3.0	3.6	V
V _{IL}	Input Low Voltage		V _{CC} -0.5	0.8	V
V _{IH}	Input High Voltage		2.0	5.25	V

ispLSI2000VE 系列为 3.3V 器件，允许 5V 输入，V 为 3.3V，无 V 管脚。

CCINTCCIO

XC9500XL 系列支持电平

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCC CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

3.3V ? ? ? ? ?

8.3.2 :FPGA 接口电平

1、XILINX 的 FPGA

(1)XC4000E/EX/XL/XLA 系列

XC4000E/EX 系列器件为 5V 器件，无 V 管脚，输入输出门限可全局设置为 CCIO

TTL 或 CMOS。

XC4000E/EX 系列支持电平

33

Q/DKBA0.200.035-2000

输入信号 输出信号

输出设置 5V 5V 3.3V 3.3V 输入设置 5V 5V 3.3V 3.3V CMOS TTL CMOS TTL

CMOS TTL CMOS TTL

5V TTL ? ? ? ? 5V TTL ? 5V CMOS ? 5V CMOS ? ?

XC4000XL/XLA 系列器件为 3.3V 器件，无 V 管脚，允许 5V 输入，输出为 CCIO
3.3V CMOS 电平。

XC4000XL/XLA 系列支持电平

输入信号 输出信号

输出 5V 5V 3.3V 3.3V 输入 5V 5V 3.3V 3.3V CMOS TTL CMOS TTL CMOS TTL

CMOS TTL

LVC MOS ? ? ? ? LVCMOS ? ? ?

(2)Spartan/XL 系列

Spartan 系列器件为 5V 器件，无 V 管脚，输入输出门限可全局设置为 TTL 或
CCIO

CMOS。

Spartan 系列支持电平

输入信号 输出信号

Spartan Spartan 5V 5V 3.3V 3.3V 输出设置 5V 5V 3.3V 3.3V 输入设置

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

5V TTL ? ? ? ? 5V TTL ? 5V CMOS ? 5V CMOS ? ?

34

Q/DKBA0.200.035-2000

Symbol	Description		Min	Max	Units
V _{CC}	Supply voltage relative to GND, T _J = 0°C to +85°C	Commercial	4.75	5.25	V
	Supply voltage relative to GND, T _J = -40°C to +100°C	Industrial	4.5	5.5	V
V _{IH}	High-level input voltage	TTL inputs	2.0	V _{CC}	V
		CMOS inputs	70%	100%	V _{CC}
V _{IL}	Low-level input voltage	TTL inputs	0	0.8	V
		CMOS inputs	0	20%	V _{CC}
T _{IN}	Input signal transition time			250	ns

Symbol	Description		Min	Max	Units
V _{O+H}	High-level output voltage @ I _{OH} = -4.0mA, V _{CC} min	TTL outputs	2.4		V
	High-level output voltage @ I _{OH} = -1.0mA, V _{CC} min	CMOS outputs	V _{CC} -0.5		V
V _{O-L}	Low-level output voltage @ I _{OL} = 12.0mA, V _{CC} min (Note 1)	TTL outputs		0.4	V
		CMOS outputs		0.4	V

SpartanXL 系列器件为 3.3V 器件，无 V 管脚，允许 5V 输入，输出为 3.3V

CCIO

CMOS 电平。

SpartanXL 系列支持电平

Symbol	Description		Min	Max	Units
V _{CC}	Supply voltage relative to GND, T _J = 0°C to +85°C	Commercial	3.0	3.6	V
	Supply voltage relative to GND, T _J = -40°C to +100°C	Industrial	3.0	3.6	V
V _{IH}	High-level input voltage		50% of V _{CC}	5.5	V
V _{IL}	Low-level input voltage		0	30% of V _{CC}	V

输入信号 输出信号

SpartanXL SpartanXL 5V 5V 3.3V 3.3V 输出 5V 5V 3.3V 3.3V 输入 CMOS

TTL CMOS TTL CMOS TTL CMOS TTL

LVCMOS ? ? ? ? LVCMOS ? ? ?

35

Q/DKBA0.200.035-2000

Symbol	Description	Min	Max	Units
V _{O+H}	High-level output voltage @ I _{OH} = -4.0 mA, V _{CC} min (LVTTL)	2.4		V
	High-level output voltage @ I _{OH} = -500 μA, (LVCMOS)	90% V _{CC}		V
V _{O-L}	Low-level output voltage @ I _{OL} = 12.0 mA, V _{CC} min (LVTTL) (Note 1)		0.4	V
	Low-level output voltage @ I _{OL} = 24.0 mA, V _{CC} min (LVTTL) (Note 2)		0.4	V
	Low-level output voltage @ I _{OL} = 1500 μA, (LVCMOS)		10% V _{CC}	V

(3)XC5200 系列

XC5200 系列器件为 5V 器件，无 V 管脚，输入门限可全局设置为 TTL 或 CCIO

CMOS。输出为 5V CMOS。

XC5200 系列支持电平

输入信号 输出信号

XC5200 XC5200 5V 5V 3.3V 3.3V 输出 5V 5V 3.3V 3.3V 输入设置 CMOS TTL
CMOS TTL CMOS TTL CMOS TTL

5V TTL ? ? ? ?

V _{CC0}	Compatible Standards
3.3 V	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 V	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

5V CMOS ? 5V CMOS ? ?

(4)Virtex 系列

Virtex 系列是 2.5V 器件，支持 16 种接口电平。V 必须接 2.5V 电源，I/O 分 CCINT

成多个 Bank，各个 Bank 内可通过接不同的 V 和 V 来实现不同的输入输出电平，CC0ref

V 可为 3.3V 、 2.5V 和 1.5V。 CC0

36

Q/DKBA0. 200. 035-2000

Input/Output Standard	V _{IL}		V _{IH}		V _{OL}	V _{OH}	I _{OL}	I _{OH}
	V _{min}	V _{max}	V _{min}	V _{max}	V _{Max}	V _{Min}	mA	mA
LVTTTL (Note 1)	-0.5	0.8	2.0	5.5	0.4	2.4	24	-24
LVCMOS2	-0.5	0.7	1.7	5.5	10% V _{CC0}	90% V _{CC0}	1.5	-0.5
PCI 3.3 V	-0.5	44% V _{CC0}	50% V _{CC0}	V _{CC0} + 0.5	10% V _{CC0}	90% V _{CC0}	Note 2	Note 2
PCI 5.0 V	-0.5	0.8	2.0	5.5	0.55	2.4	Note 2	Note 2
GTL	-0.5	V _{REF} - 0.05	V _{REF} + 0.05	3.6	0.4	n/a	40	n/a
GTL+	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.5	n/a	35	n/a
HSTL I	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	8	-8
HSTL II	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	24	-8
HSTL IV	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	45	-8
SSTL3 I	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.6	V _{REF} + 0.6	8	-8
SSTL3 II	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.8	V _{REF} + 0.8	15	-16
SSTL2 I	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.50	V _{REF} + 0.50	7.5	-7.5
SSTL2 II	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.50	V _{REF} + 0.50	15.2	-15.2
CTT	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.4	V _{REF} + 0.4	8	-8
AGP	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	10% V _{CC0}	90% V _{CC0}	Note 2	Note 2

(5)Virtex-E 系列

Virtex-E 系列是 1.8V 器件，支持 20 种接口电平。V 必须接 1.8V 电源，I/OCCINT

分成多个 Bank，各个 Bank 内可通过接不同的 V 和 V 来实现不同的输入输出电平，CC0ref

V 可为 3.3V 、 2.5V 、 CC0

V _{CC0}	Compatible Standards
3.3 V	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+, LVPECL
2.5 V	SSTL2 I, SSTL2 II, LVC MOS2, GTL, GTL+, BLVDS, LVDS
1.8 V	LVC MOS18, GTL, GTL+
1.5 V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

1.8V 和 1.5V。

37

Q/DKBA0.200.035-2000

Input/Output Standard	V _{IL}		V _{IH}		V _{OL}	V _{OH}	I _{OL}	I _{OH}
	V _L min	V _L max	V _H min	V _H max	V _L Max	V _H Min	mA	mA
LVTTTL (Note 1)	-0.5	0.8	2.0	3.6	0.4	2.4	24	-24
LVC MOS2	-0.5	0.7	1.7	3.6	0.4	1.9	12	-12
LVC MOS18	-0.5	20% V _{CC0}	70% V _{CC0}	1.95	0.4	V _{CC0} - 0.4	8	-8
PCI, 3.3 V	-0.5	30% V _{CC0}	50% V _{CC0}	V _{CC0} + 0.5	10% V _{CC0}	90% V _{CC0}	Note 2	Note 2
GTL	-0.5	V _{REF} - 0.05	V _{REF} + 0.05	3.6	0.4	n/a	40	n/a
GTL+	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.6	n/a	36	n/a
HSTL I	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	8	-8
HSTL III	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	24	-8
HSTL IV	-0.5	V _{REF} - 0.1	V _{REF} + 0.1	3.6	0.4	V _{CC0} - 0.4	48	-8
SSTL3 I	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.6	V _{REF} + 0.6	8	-8
SSTL3 II	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.8	V _{REF} + 0.8	16	-16
SSTL2 I	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.61	V _{REF} + 0.61	7.6	-7.6
SSTL2 II	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.80	V _{REF} + 0.80	15.2	-15.2
CTT	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	V _{REF} - 0.4	V _{REF} + 0.4	8	-8
AGP	-0.5	V _{REF} - 0.2	V _{REF} + 0.2	3.6	10% V _{CC0}	90% V _{CC0}	Note 2	Note 2

Note 1: V_{OL} and V_{OH} for lower drive currents see sample tested.
Note 2: Tested according to the relevant specifications.

38

Q/DKBA0.200.035-2000

Table 13. FLEX 6000 5.0-V Device DC Operating Conditions Notes (5), (6)						
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IH}	High-level input voltage		2.0		V _{CCINT} + 0.5	V
V _{IL}	Low-level input voltage		-0.5		0.8	V
V _{OH}	5.0-V high-level TTL output voltage	I _{OH} = -8 mA DC, V _{CCIO} = 4.75 V (7)	2.4			V
	3.3-V high-level TTL output voltage	I _{OH} = -8 mA DC, V _{CCIO} = 3.00 V (7)	2.4			V
	3.3-V high-level CMOS output voltage	I _{OH} = -0.1 mA DC, V _{CCIO} = 3.00 V (7)	V _{CCIO} - 0.2			V
V _{OL}	5.0-V low-level TTL output voltage	I _{OL} = 8 mA DC, V _{CCIO} = 4.75 V (8)			0.45	V
	3.3-V low-level TTL output voltage	I _{OL} = 8 mA DC, V _{CCIO} = 3.00 V (8)			0.45	V
	3.3-V low-level CMOS output voltage	I _{OL} = 0.1 mA DC, V _{CCIO} = 3.00 V (8)			0.2	V

2、ALTERA 的 FPGA

(1)FLEX6000/A 器件的接口电平

FLEX6000 系列支持电平

输入信号 输出信号 VCCIO 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

5V ? ? ? ? ? 3.3V ? ? ? ? ? ? ?

FLEX6000A 系列为 3.3V 器件，允许 5V 输入，支持多电平接口，V 为

CCINT3.3V，V 可为 3.3V 或 2.5V。 CCI0

FLEX6000A 系列支持电平

39

Q/DKBA0.200.035-2000

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCCIO CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

3.3V ? ? ? ? ?

2.5V ? ? ? ?

(2)FLEX10K/V/A 器件的接口电平

FLEX10K 系列为 5V 器件，支持集电极开路输出。

FLEX10K 系列支持电平

输入信号 输出信号 VCCIO 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL

5V ? ? ? ? ? 3.3V ? ? ? ? ? ? ?

FLEX10KV 系列为 3.3V 器件，允许 5V 输入，无 V 管脚，支持集电极开路输

CCI0

出。

FLEX10KV 系列支持电平

Q/DKBA0.200.035-2000

输入信号 输出信号 VCCIO 5V 5V 3.3V 3.3V 5V 5V 3.3V 3.3V

CMOS TTL CMOS TTL CMOS TTL CMOS TTL 3.3V ? ? ? ? ? ? ?

FLEX10KA 系列为 3.3V 器件，允许 5V 输入，支持多电平接口，V 为 3.3V，

CCINTV 可为 3.3V 或 2.5V，支持集电极开路输出。 CCIO

FLEX10KA 系列支持电平

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCCIO CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

3.3V ? ? ? ? ?

2.5V ? ? ? ?

(4)EFP10KE 的接口电平

FLEX10KE 系列为 2.5V 器件，允许 5V 输入，支持多电平接口，V 为 2.5V，

CCINTV 可为 3.3V 或 2.5V，支持集电极开路输出。 CCIO

FLEX10KE 系列支持电平

输入信号 输出信号

5V 3.3V 2.5V 5V 5V 3.3V 2.5V VCCIO CMOS CMOS CMOS CMOS TTL CMOS CMOS

TTL TTL TTL

3.3V ? ? ? ? ?

2.5V ? ? ? ?

Q/DKBA0.200.035-2000

Table 22. FLEX 10KE 2.5-V Device DC Operating Conditions <i>Notes (6), (7)</i>						
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{IH}	High-level input voltage		1.7, $0.5 \times V_{CCIO}$ (8)		5.75	V
V_{IL}	Low-level input voltage		-0.5		0.8, $0.3 \times V_{CCIO}$ (8)	V
V_{OH}	3.3-V high-level TTL output voltage	$I_{OH} = -8$ mA DC, $V_{CCIO} = 3.00$ V (9)	2.4			V
	3.3-V high-level CMOS output voltage	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 3.00$ V (9)	$V_{CCIO} - 0.2$			V
	3.3-V high-level PCI output voltage	$I_{OH} = -0.5$ mA DC, $V_{CCIO} = 3.00$ to 3.60 V (9)	$0.9 \times V_{CCIO}$			V
	2.5-V high-level output voltage	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.1			V
		$I_{OH} = -1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.0			V
		$I_{OH} = -2$ mA DC, $V_{CCIO} = 2.30$ V (9)	1.7			V
V_{OL}	3.3-V low-level TTL output voltage	$I_{OL} = 12$ mA DC, $V_{CCIO} = 3.00$ V (9)			0.45	V
	3.3-V low-level CMOS output voltage	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 3.00$ V (10)			0.2	V
	3.3-V low-level PCI output voltage	$I_{OL} = 1.5$ mA DC, $V_{CCIO} = 3.00$ to 3.60 V (10)			$0.1 \times V_{CCIO}$	V
	2.5-V low-level output voltage	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.2	V
		$I_{OL} = 1$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.4	V
		$I_{OL} = 2$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.7	V

, 5, APEX20K/E 的接口电平

APEX20K 系列是 2.5V 器件，V 为 2.5V，V 可为 2.5V，3.3V。CCINTCCIO

APEX20KE 系列是 1.8V 器件，V 为 1.8V，V 可为 1.8V，2.5V，3.3V。

CCINTCCIO

42

Q/DKBA0.200.035-2000

Table 7. Comparison of APEX 20K & APEX 20KE Features		
Feature	APEX 20K Devices	APEX 20KE Devices
Multivolt I/O	2.5-V or 3.3-V V_{CCIO} <small>1.8-V not recommended for APEX 20K</small>	1.8-V, 2.5-V, or 3.3-V V_{CCIO} <small>1.8-V not recommended for APEX 20KE</small>

Table 19. APEX 20K Device DC Operating Conditions (Part 1 of 2) <i>Notes (6), (7)</i>						
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{IH}	High-level LVTTTL, CMOS, or 3.3-V <small>2.5-V input voltage</small>		1.7, $0.5 \times V_{CCIO}$ (8)		4.1	V

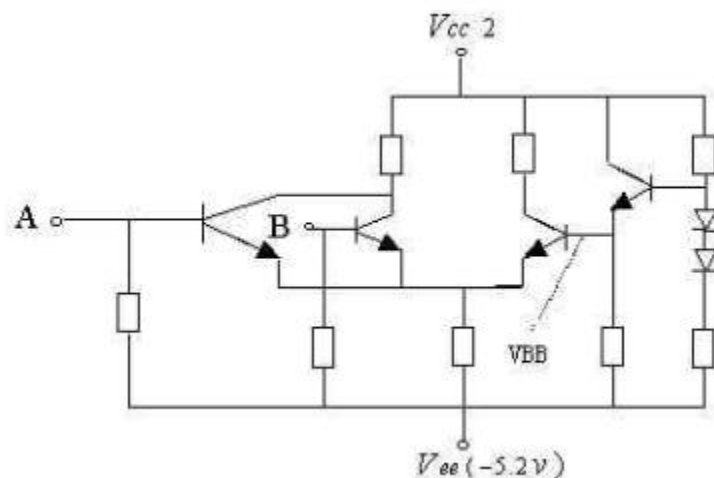
Table 23. APEX 20KE Device DC Operating Conditions (Part 1 of 2) <i>Notes (6), (7)</i>						
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{IH}	High-level LVTTTL, CMOS, or 3.3-V <small>PCI input voltage</small>		1.7, $0.5 \times V_{CCIO}$ (8)		4.1	V

APEX20KE

43

9 、ECL 器件的原理和特点

9.1 :ECL 器件的原理



ECL 电路(Emitter Coupled

Logic, 即发射极耦合逻辑电路)是一种非饱和型的数字逻辑电路。与 DTL、TTL、S, TTL 等逻辑电路不同, ECL 电路内部的晶体管工作在线性区或截止区, 从根本上消除了限制速度提高的少数载流子的“存储时间”。因此, 它是现有各种逻辑电路中速度最快的一种电路形式, 也是目前唯一能够提供亚毫微秒开关时间的实用电路。目前 ECL 厂商主要为 MOTOROLA 和 SYNERGY, FAIRCHILD 仅生产 300 系列。

1、基本门电路的结构

典型的 ECL 基本门电路的结构由三部分组成: 差分放大器输入电路: 温度, 电压补偿(跟踪)偏压网络(参考源)和射极跟随器输出电路。

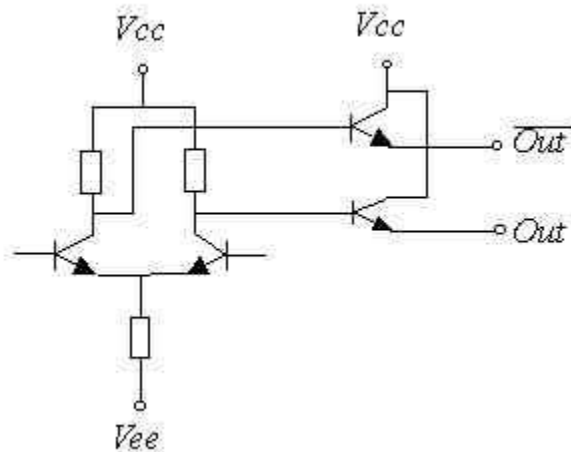


图 9, 1: 典型的 ECL 电路

输入原理图

图 9, 2: 典型的 ECL 电路

输出原理图

ECL 电路一般能用于驱动

传输线，因此通常设计成射极开

路输出的形式。此时，传输线的终端匹配电阻 R 即为输出负载。 L

ECL 电路采用负电源工作，其各个逻辑电平参数的值相对于 V_{CC} (地电平) 是不变的 (只与 V_{CC} 有关，随 V_{CC} 而变化)，其相关参数如下：

$$V_{CC}=0V, \quad V_{EE} = -5.2V, \quad V_{BB} \approx -1.30V$$

$$V_{OH} \approx -0.88V, \quad V_{OL} \approx -1.72V$$

$$V_{IH} \approx -1.24V, \quad V_{IL} \approx -1.36V。$$

ECL 电路主要应用于各类高速数字通信系统中。

LVECL 电平器件：

随着技术的发展，又出现了 LVECL 逻辑电平器件，它是将 V_{EE} 电源由 $-5.2V$ 调整为 $-3.3V$ 或者是-

2.5V，这样做可以降低器件的功耗，利于电路设计的器件的互连。由于 VCC 的电平为地电平(0V)未变，而其他的电平是相对于此 VCC 电平的，所以其他的电平值(如 V_{BB}、V_{OH}、V_{OL}、V_{IH}、V_{IL} 等)也都未改变。

9.2 :ECL 电路的特性

ECL 电路是根据高速噪声数字的应用要求设计的，它具有以下独特的优点：

(1)、速度快

速度快是高速数字系统设计者广泛采用 ECL 电路的一个重要原因。ECL 基本门电路的典型传输延迟时间已达到亚毫微秒量级，其触发器、计数器的工作频率也在 1GHz 范围。因此，一个 ECL 系统与等效的 TTL 系统相比，其工作速度至少可以快一倍以上。

45

Q/DKBA0.200.035-2000

(2)、逻辑功能强

ECL 电路能同时提供互补逻辑输出，这样不仅可以节省系统所用的组件数，减小系统功耗，而且由于互补输出具有相同的传输延迟时间，因此可以消除一般逻辑电路中为产生互补逻辑功能而设置反相器所增加的时间延迟，进而提高了系统的速度。

(3)、驱动能力很强，扇出能力高

ECL 电路是射极跟随器输出，驱动能力很强。其输入阻抗高

(通常约 10K Ω)，输出阻抗低(约 7 Ω)，这种特点允许电路有高的扇出能力。

(4)、噪声低

系统噪声的大小直接与噪声源的能量、逻辑的消噪性能和互连线的阻抗等有关。就噪声的产生来说，ECL 电路的内部噪声较小。

(5)、便于数据传输

ECL 电路具有互补、大电流驱动能力输出特别适合于以差分方式驱动和接收双绞线或其它平衡线上的信号。ECL 电路的差分线接收器具有 1V 或者更大的共态噪声抑制能力。这是因为差分工作时，耦合到双绞线上的任何噪声一般是等同地出现在该双绞线的每股线上(共态)，即串扰是等同地被线拾取，而接收器只响应两条线上的电压差，所以可大大抑制引线串扰的影响，从而易于实现远距离的数据传输。驱动同轴电缆时，其距离只受电缆频带宽度的限制，而且可以改善系统的性能，驱动双绞线的长度可以在 300m(约 1000ft)以上，并且较同轴电缆经济。

除了上面介绍的主要特点以外，ECL 电路的结构还提供了其它若干有益的特性，它们是：

(1)可以简化电源。ECL 器件对电源电压的同步变化是不太敏感的，因此可以在某些应用中相对地放松对电源波纹、偏差和分配的要求。有时允许 ECL 电路的电源电压范围可宽至 10V。由于 ECL 电路工作时电源电流基本上恒定(不随逻辑状态变化而变化，也不随工作频率增加而增加)，因此可以考虑放宽对电源内阻的要求。加上参考电源是设计在电路内部，因此整个电路可以由单一电源供电。所有这些，使电源系统设计简单、成本降低。

(2)逻辑功能变化范围宽，适应性强。ECL 电路的差分放大器设计允许它作线性方面的应用。ECL 线接收器可以用施密特触发器和线性放大器用。由于这一应用灵活性，许多功能可以用标准的 ECL 电路来完成。

(3)由频率提高引起的附加功耗小。开关工作时因对寄生电容充放电而要消耗一

定的能量，对于有电源电流尖峰的逻辑电路来说消耗的能量更大。由于每次充放电都要消耗能量，所以 TTL 电路的功耗在高频范围随开关频率提高而显著增加。

由于存储在杂散电容中的能量与电压平方成正比，而 ECL 电路的信号摆幅又比 TTL 电路小 3, 4 倍，所以它因杂散电容引起的附加功耗要较 TTL 电路小一个数量级。特别是，它没有电源电流尖峰引起的附加功耗。ECL 电路的功耗基本上不随频率而变化，关于这一点在高频领域是甚为重要的。

(4) 便于实现各种规模的集成。

当然，ECL 电路并不是完美无缺的，它的主要缺点是直流功耗大。从某种意义上来说，ECL 电路开关速度的提高是以牺牲功耗换取的。

9.3 :PECL/LVPECL 器件的原理和特点

PECL(Pseudo/Positive

ECL)电路是单正电源+5V 供电的 ECL 电路，其特点同 ECL 电路，由于其单正电源供电，简化了整个系统的电源设计。目前在高速光模块电路中，使用十分广泛。

LVPECL 器件与 PECL 器件类似，只是它是使用 3.3V 或更低的电平供电的，它具有低功耗等特点。

在 ECL 器件中，除电平转换芯片以外，所有 ECL 电路芯片均可用于 PECL 应用。注意 LVPECL 器件与 PECL 器件(或 ECL 器件)是不同的。

PECL 电路采用正电源工作，其相关参数计算如下：

$PECL\ Level = V_{CC} - |Specification\ Level| - ECL\ Level$ ，由此算的如下：

$V_{CC} = 5.0\ V, \quad V_{EE} = 0\ V, \quad V_{BB} \approx 3.70\ V$

$V_{OH} \approx 4.12\ V, \quad V_{OL} \approx 3.28\ V$

$V_{IH} \approx 3.76\ V, \quad V_{IL} \approx 3.64\ V$

对于 LVPECL 电平，其 $V_{CC} = 3.3\ V, V_{EE} = 0\ V$ ，其他的参数可以类似算出。

如下：

$V_{CC} = 3.3\ V, \quad V_{EE} = 0\ V, \quad V_{BB} \approx 2.00\ V$

$V_{OH} \approx 2.42\ V, \quad V_{OL} \approx 1.58\ V$

$V_{IH} \geq 2.06 \text{ V}$, $V_{IL} \geq 1.94 \text{ V}$

47

Q/DKBA0.200.035-2000

Symbol	10E Characteristics						100E Characteristics		Unit
	0 °C		25 °C		85 °C		0 to 85 °C		
	Min	Max	Min	Max	Min	Max	Min	Max	
V _{OH}	-1.02/3.96	-0.84/4.16	-0.98/4.02	-0.81/4.19	-0.92/4.08	-0.735/4.265	-1.025/3.975	-0.860/4.120	V
V _{OL}	-1.95/3.05	-1.63/3.37	-1.95/3.05	-1.63/3.37	-1.95/3.05	-1.600/3.400	-1.810/3.190	-1.620/3.380	V
V _{OHA}	—	—	—	—	—	—	—	-1.610/3.390	V
V _{OLA}	—	—	—	—	—	—	-1.035/3.965	—	V
V _{IH}	-1.17/3.83	-0.84/4.16	-1.13/3.87	-0.81/4.19	-1.07/3.93	-0.735/4.265	-1.165/3.835	-0.880/4.120	V
V _{IL}	-1.95/3.05	-1.48/3.52	-1.95/3.05	-1.48/3.52	-1.95/3.05	-1.450/3.550	-1.810/3.190	-1.475/3.525	V
V _{BB}	-1.36/3.62	-1.27/3.73	-1.35/3.65	-1.25/3.75	-1.31/3.69	-1.190/3.810	-1.380/3.620	-1.260/3.740	V

表 9.1: ECL/PECL 的电平参数表

9.4 : ECL 器件的互连

9.4.1 : ECL 器件和 TTL 器件的互连

用 ECL 电路驱动 TTL 电路时，其间的连接稍许复杂，分别为 TTL 至 ECL 和 ECL 至 TTL 的专用电平转换接口电路以及 TTL 至 PECL 和 PECL 至 TTL 的专用电平转换接口电路，一般这些电平的转换都是用专用的芯片来实现。芯片如下：

PECL/TTL 转换器

36,030,013 MC100ELT23D MOTOROLA 转换器-100ELT23-双差分 PECL/TTL 转换器-SOP8

SY100ELT23ZCTR SYNERGY

36,030,016 SY100ELT22ZCTR SYNERGY 转换器 100ELT22-双 TTL 到 PECL 转换器-SOP8

TTL/ECL 转换器

36, 030, 047 MC10H125FN MOTOROLA 转换器-MC10H125-四 MECL 到 TTL 转换器-PLCC20

36, 030, 052 MC10ELT24D MOTOROLA 转换器-MC10ELT24-双 TTL/差分 ECL 转换器-SOP8

表 9, 2:ECL/PECL 与 TTL 的转换器件表

TTL 电平与 ECL、PECL 电平之间的转换还可以通过电阻匹配网络来实现，限于篇幅，这里就不详细介绍了。

9. 4. 2 :ECL 器件和其他器件的互连

具体请参看附件：

《AN1568-Interfacing Between LVDS and ECL.pdf》。

《ECL Presentation (Chinese traditional).ppt》。

48

Q/DKBA0. 200. 035-2000

R1ECLECL

Z0R2

-5. 2V-5. 2V

-5. 2V

9. 5 :ECL 器件的匹配方式

具体请参看附件：

R1, (, 5. 2V), , 2V, RR12

(1)单端匹配方式 1

$R \gg Z_0$, 120

几种常用匹配电阻数据：

$Z_0 = 120$

50 81 130

75 121 195

100 162 260

120 194 312

(2) 单端匹配方式 2

49

Q/DKBA0.200.035-2000

ECLECLZ0

R

-5.2V-5.2V-2V

$R=Z_0$

上面两者从功能上来讲是等效的，但后一种需要一个额外的电源 $V_{TT}(-2V)$ ，因此，对于大部分采用 TTL/CMOS 逻辑电路，只有少量 ECL 电路的单板来讲，采用这种方

ECLECLECLZ0

R 或者

$Z_0 R R R / 2 R / 211$

$C-5.2V-5.2V-5.2V$

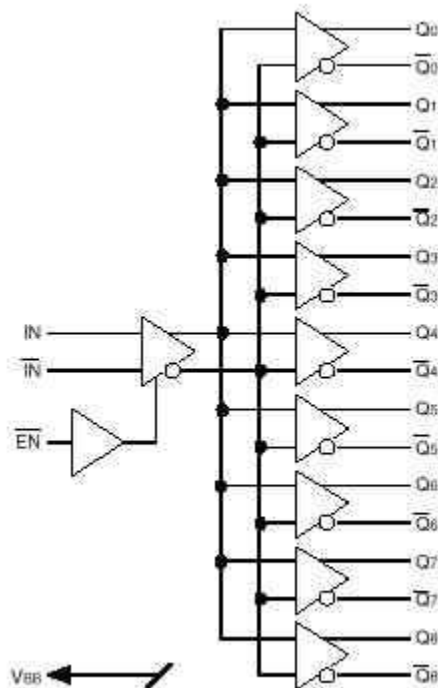
式不太合适，可采用前一种匹配方法。如果板上使用 ECL 电路较多，通常应选用后一种匹配方法，因为这种方式虽多了一个 V_{TT} 电源，但功耗只有前一种方式的十分之一，这

对于功耗为主要考虑的单板是很具吸引力的。

(3) 差分电路匹配 1

$R=2Z$ ，R 要保证 ECL 输出电路的偏置电流。 01

9.6.1 :SYS100E111 的设计

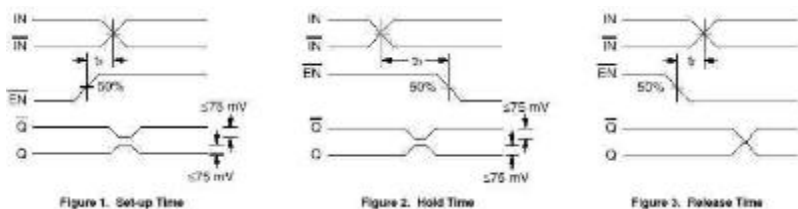


该芯片为 1:9 的 ECL 时钟驱动器，输入为差分信号，输出为 9 对几乎完全一样的信号，每两组输出信号之间最大相差为 50ps。可以用于高精度时钟源的 1 对多驱动，也可以用于高速信号(可达 600M 以上)点对多点驱动。

该芯片使用简单，可以采用如下的输出匹配方式(此时 VEE, , 5V, VCC, VCC0, GND; 若变成 PECL 方式，只需要 VEE, GND, VCC, VCC0, 5V 即可)，/EN 为使能信号。需要注意的是:为了保证输出信号的相差保持在 20ps 内，需要将不用的输出信号也做匹配，否则相差最大可达到 40ps。

0 Z

R R 2 4



-5.2V

图中 Z0, 50 欧(PCB 布线阻抗也应控制在 50 欧左右), R1?R2, R3?R4, Z0, 50 欧。

下图为/EN 与输入/输出信号的关系:

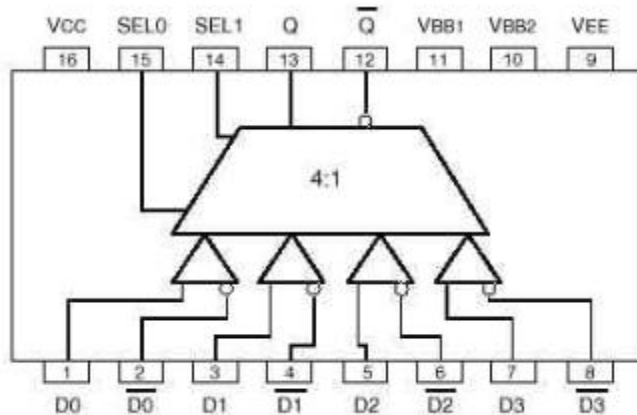
由于每组输出信号几乎完全相同, 彼此间干扰不大;为了节省插针, 母板上信号可以按如下排布(传输某产品已经验证信号速率为 310M、传输线长度为 0.5 米时, 该排布方式下的信号质量很好):

Slot8_J5 G A B C D E F 0 GND GND GND GND GND GND GND 4 GND GND GND
Q1, Q2, Q3, Q4, 5 GND GND GND Q1, Q2, Q3, Q4, 6 GND GND GND GND GND
GND GND 7 GND GND GND Q5, Q6, Q7, Q8, 8 GND GND GND Q5, Q6, Q7, Q8,
9 GND GND GND GND GND GND GND 10 GND GND GND Q9,
11 GND GND GND Q9,

9.6.2 :SY100E57 的设计

54

Q/DKBA0.200.035-2000



该器件为 4:1 的 ECL 选择器，其中 SEL1, SEL0 为 TTL 控制端。通过控制 VBBx 可以使 SY100E57 成为单线 ECL 或差分 ECL 器件，VBBx 悬空，为差分 ECL 器件。该器件为多路 ECL 信号的选收提供了廉价的解决方案，其信号速率可达 600M 以上。

SY100E57 的匹配方式同 SY100E111，使用非常简单，这里就不再赘述。由于每组输入信号不同，为了保证质量，在母板上的信号排布要保持每组信号都要隔地，如下图所示：

Slot8_J5 G A B C D E F 0 GND GND GND GND GND GND GND 4 GND GND GND
GND D0, D1, D2,

5 GND GND GND GND D0, D1, D2,

6 GND GND GND GND GND D3,

7 GND GND GND GND GND D3,

9.7 :ECL 电路的器件选择

ECL 器件的选型原则如下：

1:根据工艺发展趋势，不再选用插装器件均采用贴片封装。

2:暂不推荐 MOTOROLA 最近推出的 ECLinPS Plus 系列。

Q/DKBA0. 200. 035-2000

3:ECLinPS-Lite、ECLinPS 系列中优选 100 系列不推荐 10 系列。

4:同种器件，首选 SYNERGY 公司的电压范围为-3.0, -5.5V 的器件，因电压范围宽，可适合于 3.3V 和 5V 两种电源方式工作。

5:新器件选型时首先考虑 3.3V 器件;尽量选用 PECL 器件;有替代必须填写替代型号。

6:在满足使用条件下，尽量选用低速器件。

其他请参见《逻辑器件选型指导书(纸件).lwp》中有关 ECL 器件的部分，包括 ECL 器件的优选器件。

ECL 器件的不选器件的处理办法。

9.8 :ECL 器件的使用原则

1:使 TTL 信号和 ECL 信号线相距一定距离(至少 8 倍于线离 PCB 的地平面的高度)，减小直接串扰；

2:若使用，5V 于 TTL，-5.2V 于 ECL，一定要加一个地平面，这样 TTL 噪声泄漏到 ECL 系统的机会就很小；

3:对 ECL/PECL 信号和其它信号比如 TTL 信号，最好能使用不同的走线层，如果因为设计限制必须使用同一层走线，ECL/PECL 信号和 TTL 信号的距离应该足够远，至少应该大于 3~5 倍差分线间距。

4:若使用+5V 于 TTL 和 ECL，这不是 ECL 电路的最优工作电压，但可以工作。最好将+5V 平面(非地平面)一分为二，使 PCB 分割为 TTL 和 ECL 的不同区域。进入板内的电源应在 TTL 侧。注意不要有长线穿越两个+5V 区域的边界。在两个+5V 平面用电容量足够大的 1 μ H 电感串接，这可以减小 TTL 噪声进入 ECL 系统。

5:两部分间用差分信号传输，可获得最大可靠性。

6:无用输入应悬空;若要接为高电平,不能直接接到 VCC(除非厂家资料特别说明可以),必需通过电阻网络分压或通过二极管压降来满足输入不超过 V,或通过别 IHmax 的无用输出来实现。

7:单端输出的无用输出脚应悬空;对于互补输出,如果两者都未用,两者都应悬

56

Q/DKBA0.200.035-2000

空,如果其中之一被用,另一脚应该终接。

8:ECL 器件的匹配方式有四种,在匹配方式选择时,应从单板上 TTL/CMOS 器件和 ECL 器件使用的多少,从方便性、功耗、性能等方面综合考虑后确定。

9:对很高速度(600M 以上)的信号要估算其走线延迟。

10:终端匹配元件一定要放在最靠近传输线末端的地方。

11:集总参数电路,增加阻尼、降低 Q 值可防止振荡。

12:对于 3.3V PECL 和 5V PECL 电平的连接,需要通过 0.1uf 或 0.01uf 的电容隔离,否则有可能击穿 3.3V 的 PECL 接口。

参看附件《ECL 应用分析报告.rtf》。

57

Q/DKBA0.200.035-2000

10 、LVDS 器件的原理和特点

10.1 :LVDS 器件简介

对于高速电路,尤其是高速数据总线,常用的器件一般有:ECL、BTL、GTL 和 GTL,等。这些器件的工艺成熟,应用也较为广泛,但都存在一个共同的弱点,即功耗大,此外,采用单端信号的 BTL 和 GTL 器件,电磁辐射也较强。现在,NS 公

司率先推出的 CMOS 工艺的低电压差分信号器件(即 Low Voltage Differencial Signal 简称 LVDS)给了我们另一种选择。

LVDS 器件是近年来 National Semiconductor 公司发展的一种高速传输芯片, 它的传输机制是把 TTL 逻辑电平转换成低电压差分信号, 以便于高速传输。与传统的 ECL 逻辑相比, 它采用 CMOS 工艺, 它的电压摆幅更低, 只有 400mv, ECL 为 800mv, 动态功耗更小, (输出电流 3, 5mA) 只有 ECL 电路的 1/7 (相同的数据传输量), 低 EMI, 价格更低, 因而具有很大的优势, 从 97-98 年首先在欧洲开始得到应用。目前, NS 公司的 LVDS 器件有以下几个系列:

1. Channel Link, 如: DS90CR285/6, DS90CR217/218
2. Bus LVDS, 如: DS92LV1021/1201
3. Flat Panel Display (FPD)- link, 如: DS90CF385/386
4. Line Drive and Receiver (LD&Rs), 如: DS90LV031A/032A

LVDS 器件的推出时间不长, 目前, 已经在欧美地区开始应用, 据了解, 国内目前尚没有应用, 但已有几家公司在进行测试和试用。现有的 LVDS 器件单对差分线所能传输的最大速率为 400, 600M 左右, 据悉 NS 公司正在开发速率为 1G 的芯片组。其它公司, 如 TI、朗讯, 都有各自的 LVDS 类型的芯片。3M 公司则开发了 LVDS 信号专用的双绞电缆和接插件。

LVDS 器件主要用途为: 电缆或 PCB 传输(点对点)、总线传输(BLVDS)、平板显示器(FPD)等, 传输速率在 400M, 600M, 今后的 LVDS 器件的速度将会提高到 1G, 速度越来越快, 品种也会越来越多。

据目前掌握的资料, 未来几年, NS 将推出单对差分线传输速率达千兆位的 LVDS

ANSI/TIA/EIA-644 (LVDS) Standard
 Note: Actual datasheet specifications may be significantly better.

Parameter	Description	Min	Max	Units
V_{OD}	Differential Output Voltage	247	454	mV
V_{OS}	Offset Voltage	1.125	1.375	V
ΔV_{OH}	[Change in V_{OH}]		50	[mV]
ΔV_{OL}	[Change in V_{OL}]		50	[mV]
I_{SC}	[Short Circuit Current]		24	[mA]
t_{pH}	Output Rise/Fall Times (≥ 200 Mbps)	0.26	1.5	ns
	Output Rise/Fall Times (< 200 Mbps)		30% of t_{pH}	
I_{IN}	[Input Current]		20	[μ A]
V_{TH}	[Threshold Voltage]		100	[mV]
V_{IN}	Input Voltage Range	0	2.4	V

† t_{UI} is unit interval (i.e. bit width).

收发器、低延迟的 LVDS 时钟信号缓冲器/驱动器，以及 36X36LVDS 信号的 SWITCH 芯片。另外，Ericsson 和 Sony 公司已经推出传输速率超过 1G 的 GLVDS 器件。 10.2 :LVDS 器件的标准

10.2.1 :ANSI/TIA/EIA-644

ANSI/TIA/EIA-644 是由 TR30.2 制定的，这个标准定义了收发器的输入输出阻抗，但是这仅仅是一个电气特性标准。其并不包括功能性和协议规格，完全是应用独立的。ANSI/TIA/EIA-644 打算通过使用别的协议来完善 整个接口功能。这使的这个标准在很多方面便于实现。在标准中推荐的最大操作速率是 655Mbps，理论最大使用速率是 1.923Gbps。传输速率与使用的介质损耗有关。这个标准同时也说明了最低的介质要求、收端的 fail-safe 电路、多路操作等。标准见下表：

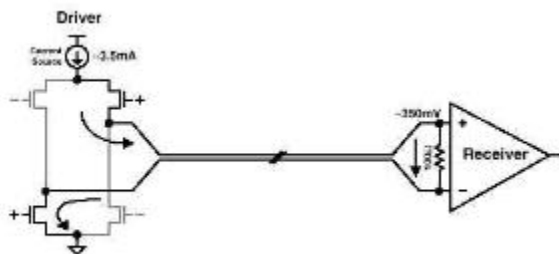
表 10,1:ANSI/TIA 的 LVDS 标准

10.2.2 :IEEE 1596.3 SCI-LVDS

SCI-LVDS 被定义作为 SCI 的一个子集，在 IEEE 1596.3 中有详细说明。SCI，

59

Q/DKBA0.200.035-2000



Simplified diagram of LVDS driver and receiver connected via 100Ω controlled differential impedance media.

LVDS 说明了应用于高速/低功耗物理接口的电气规范，同时也定义了用于 SCI 数据传输的包交换的编码格式。SCI, LVDS 在特定的条件下也支持高速的 RAMLINK 传输。SCI-LVDS 同 TIA 除了在一些电气要求和负载条件有差别，在别的方面十分相似。两个标准支持相似的驱动输出电平，接收门限电平，数据传输速率。在两个标准中 TIA 的应用更为普遍，同时 TIA 也支持多负载情况。

10.3 :LVDS 器件的工作原理

LVDS 器件的工作原理如下图所示：

图 10, 1:LVDS 的工作原理图

其中发送端是一个约为 3.5mA 的电流源，产生的 3.5mA 的电流通过差分线的其中一路到接收端。接收端对于直流表现为高阻，电流通过接收端的 100 欧姆的匹配电阻产生 350mV 的电压，同时电流经过差分线的另一条流回发送端。当发送端进行状态变化是它

60

Q/DKBA0. 200. 035-2000

通过改变流经电阻的电流的方向产生有效的 '0' 和 '1' 态。

10.4 :LVDS 的特点

LVDS 的特点是电流驱动模式，低电压摆幅 350mV 可以提供更高的信号传输速率，使用差分传输的方式可以使信号的噪声和 EMI 都减少：

- A. 低的输出电压摆幅 (350mV)
- B. 低的信号边缘变化率， $dV/dt = 0.350V/0.5ns = 0.7V/ns$
- C. 差分特征是磁干扰相互抵销。
- D. 软的输出切换
- E. 最小的 I_{cc} 切换电流变化。

同时由于使用电流驱动模式，对 LVDS 电路的匹配方式极为简单，可以有以下两种方式

61

Q/DKBA0. 200. 035-2000

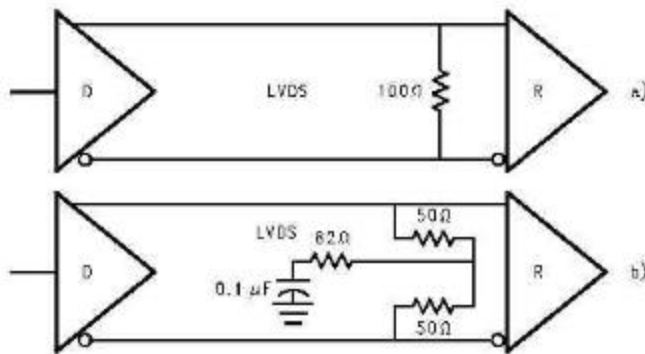


图 10, 2: LVDS 接口信号的匹配图

其中第一中方式最为简单，也最为实用。对第二种匹配方式对共模干扰有更好的抑制作用，但是因为差分信号本身的特点一般是没有必要的，这种匹配方式对 PCB 设计是的布线的难度加大，这对于高密度的 PCB 板的设计是不利的。

对于 LVDS 的接收端一般可以忍受大范围的共模对地偏压。一般 LVDS 收端可以忍受， $\pm 1V$ 的在发端地和收端地之间的地漂移。LVDS 的典型的驱动偏置是 1.2V，加上可以承受的地漂移收端的偏置可以从 0.2V 到 2.2V。推荐的收端输入电压范围是从地到 2.4V。参见下图：

62

Q/DKBA0. 200. 035-2000

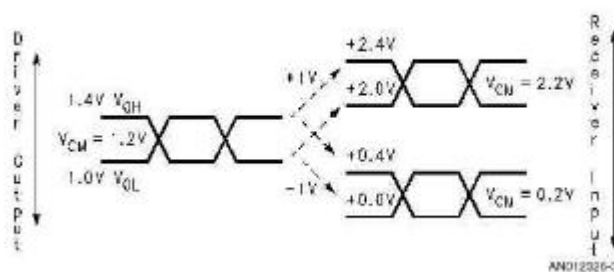


图 10, 3:LVDS 的逻辑电平图

10.5 :LVDS 的设计

10.5.1 :LVDS 在 PCB 上的应用

LVDS 在 PCB 的应用应该注意遵循以下准则:

?对 LVDS 的使用, 不论信号的数量多少, 都建议使用多层板, 最少四层设置, LVDS、GROUND、POWER、TTL。

对 LVDS 信号和其它信号比如 TTL 信号, 最好能使用不同的走线层, 如果因为设计限制必须使用同一层走线, LVDS 和 TTL 的距离应该足够远, 至少应该大于 3~5 倍差分线间距。

保证收发器到接插件的距离足够短, 防止由于 STUB 线过长引起信号的畸变, 一般要求距离小于 10mm。

?对收发器的电压和地使用滤波电容, 滤波电容的位置应该尽量靠近电源和地管脚, 滤波电容的值可以参照器件手册。

对电源和地管脚与参考平面的连接应该使用短和粗的连线连接。同时使用多点连接。

保证地电流回路短而粗。

对走线的阻抗要求进行控制, 一般差分阻抗控制在 100 欧姆。匹配电阻的阻值可以进行调整。

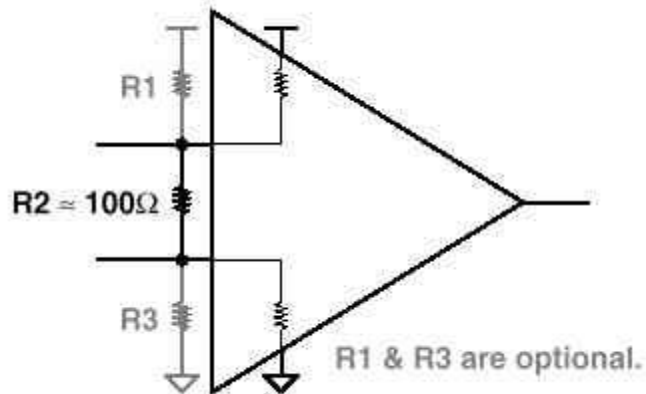
对走线方式的选择没有限制, 微带线和带状线均可, 但是必须注意有良好的参考平

63

Q/DKBA0. 200. 035-2000

面。对不同差分线之间的间距要求间隔不能太小, 至少应该大于 3~5 倍差分线间距。

?对接收端的匹配电阻到接收管脚的距离要尽量靠近，一般应小于 7mm，最大不



能超过 12mm。

未使用的管脚可以悬空。

10.5.2 :关于 FAIL-SAFE 电路的设计

FAIL-SAFE 电路的作用是保证 LVDS 的收端在没有确定的输入状态是内部保证为以知的逻辑状态。一般包括输入端开路、短路、发端三态、噪声干扰等情况。

FAIL-SAFE 电路的原则是对正常的输入电流没有大的影响，同时对非正常情况保证信号的状态为固定逻辑。其电路如下：

图 10, 4:LVDS 的 FAIL-SAFE 电路图

其中 R1、R3 的选择可以参考下面公式：

64

Q/DKBA0. 200. 035-2000

$$V_{FSB} = \frac{R2}{R1 + R2 + R3} V_{CC}$$

$$I_{BIAS} = \frac{V_{CC}}{R1 + R2 + R3} \ll I_{LOOP} \quad (\text{Use } I_{BIAS} \leq 0.1 \cdot I_{LOOP})$$

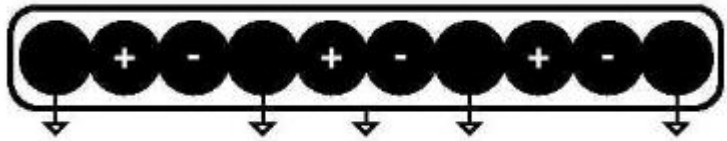
$$V_{CM} = \frac{R3 + R2/2}{R1 + R2 + R3} V_{CC} = 1.2V \Rightarrow R1 = R3 \left(\frac{V_{CC}}{1.2V} - 1 \right)$$

$$R_{TEQ} = \frac{R2 (R1 + R3)}{R1 + R2 + R3} = \text{match transmission line } Z_{0DIFF}$$

表 10, 2: LVDS 的 FAIL-SAFE 电路参数表

10. 5. 3 :LVDS 在电缆中的使用

LVDS 在电缆中的使用同在 PCB 中的使用方式并无大的差别，需要注意在不同电



缆中 LVDS 差分信号需要不同的排布方式，具体如下：

Ribbon Cable 不适合用作 LVDS 传输的介质，如果要使用应该保证地线同信号线间隔，电缆的长度尽可能短，信号的速率要尽可能低。

图 10, 5:LVDS 在电缆中的信号分配图

65

Q/DKBA0. 200. 035-2000

屏蔽双绞线比较适合作为 LVDS 传输的介质，CAT3 电缆可以传输 5m，CAT5 电缆可以传输更远距离的 LVDS 信号。

10. 5. 4 :LVDS 在接插件中的信号分布和应用

LVDS 在接插件的信号分布不同造成的串扰的差别是很大的。但是有一点必须保证的是对于差分信号线的周围都必须有地针，也就是说对不同的信号线是不允许相邻排布的。下面的 LVDS 信号的排布可以说是一种比较好的排布方式，不但满足了上述的基本要求，同时接插件的利益率也很高。具体可参考下图

Slot8_J5 G A B C D E F 0 GND GND GND GND GND GND GND 4 GND TXA1- GND
TXA2- GND TXA15- GND 5 GND TXA1+ GND TXA2+ GND TXA15+ GND 6 GND GND
RXA1- GND TXA14- GND GND 7 GND GND RXA1+ GND TXA14+ GND GND 8 GND RXA2-
GND TXA13- GND TXA16- GND 9 GND RXA2+ GND TXA13+ GND TXA16+ GND 10 GND
GND TXA3- GND RXA16- GND GND 11 GND GND TXA3+ GND RXA16+ GND GND 12 GND
TXA4- GND RXA13- GND RXA15- GND 13 GND TXA4+ GND RXA13+ GND RXA15+ GND

14 GND GND TXA5- GND RXA14- GND GND 15 GND GND TXA5+ GND RXA14+ GND GND
 16 GND TXA6- GND TXA7- GND TXA10- GND 17 GND TXA6+ GND TXA7+ GND TXA10+
 GND 18 GND GND RXA3- GND TXA11- GND GND 19 GND GND RXA3+ GND TXA11+ GND
 GND 20 GND RXA7- GND TXA12- GND RXA10- GND 21 GND TXA7+ GND TX1A2+ GND
 RXA10+ GND 22 GND GND RXA6- GND RXA11- GND GND 23 GND GND RXA6+ GND
 RXA11+ GND GND 24 GND RXA5- GND RXA4 GND RXA12- GND 25 GND RXA5+ GND
 RXA4+ GND RXA12+ GND

表 10, 3:接插件的信号、地排布表

以上排布仅仅是一个参考，对于实际的系统中应该使用怎样的信号排布，要具体问题具体分析。要遵循的主要原则是：

66

Q/DKBA0. 200. 035-2000

1，对称。在一对差分信号线中，两条信号线的路径要一致，要布置在相邻的 PIN 上。

2，信号线与地线的比例。稳妥的做法是保持信号地的比例为 1:1，并且，用地线把信号线分离开。这样的比例可以保证信号回流路径的顺畅和信号间较低的串扰。

3，接插件的选择。这与系统的成本和对信号质量的要求有关。不同的接插件有不同的电气性能。目前，公司常用的接插件为 2mm 接插件，信号的速率在 1. 25Gbps 的情况下，仍然能够保持很好的性能。在信号速率超过 2G 的情况下，建议采用 HS-3 接插件。

10. 6 :LVDS 信号的测试

LVDS 信号的测试应该使用宽带数字采样示波器和宽带高阻抗探头。

1，选择示波器的要求

首先，示波器的带宽应该满足被测试信号的带宽要求。LVDS 信号的模拟带宽取决于信号的边沿时间，不等于信号的比特速率，一般都比信号的比特速率高的多。如 622Mbps 的信号的带宽可能高达 1GHz。因此，选择示波器时需要注意信号的带宽要求。 下面的经验公式给出了信号的模拟带宽与上升沿时间之间的关系：

67

Q/DKBA0. 200. 035-2000

$$F_{3dB} = \frac{K}{T_r}$$
$$T_r \approx \frac{K}{F_{3dB}}$$

where F_{3dB} = frequency at which impulse response rolls off by 3 dB
 T_r = pulse rise time (10–90%)
 K = constant of proportionality depending on exact pulse shape;
 $K = 0.338$ for gaussian pulses; $K = 0.350$ for single-pole
exponential decay

表 10, 4:测试信号的参数计算表

2，探头的选择

由于 LVDS 信号是差分信号，因此，应该尽量采用差分探头，如 TEK 公司的 P6247 等。如果没有差分探头，可以考虑使用两个单端探头，如 TEK 公司的 P6245 等。

对于在线测试，要求示波器的探头为高阻输入。并且，由于 LVDS 信号的速率一般比较高，示波器探头的寄生电容也应当选择比较低的型号。

此外，还可以把示波器作为 LVDS 信号的负载的形式来测试。一般采用一对 50 欧姆同轴电缆把信号引入到示波器的输入端，同时，断开板上原有的负载。 在这种情况下，要求示波器要有 50 欧姆输入。同轴电缆的带宽一般都可以达到要求，不需要考虑带宽的影响。

3，测试方式

LVDS 信号属于高速数字信号，可以采用眼图测试的方式来观察信号的质量。

10.7 :LVDS 器件应用举例

下面以 DS90CR217/218 和 DS92LV1021/1201 为例分别对 LVDS 的器件应用加以说明。

10.7.1 :DS90CR217/218 的设计

68

Q/DKBA0.200.035-2000

ds90cr218 ds90cr217

power down power down data(LVDS)

TTL LVDS_to_Parallel Parallel_to_LVDS TTL

21 21

cmos/ttl cmos/ttl input output

clock(LVDS)

PLL PLL clk in clk out

图 10,6: DS90CR217/218 器件的原理图

时序要求:该芯片组内部有 PLL，用于在发送端产生发送时钟，以及在接收端恢复时钟。在 LVDS 高速码流中，每一比特位的宽度为发送时钟周期的 1/7。如果发送时钟为 85M，周期就是 11.76ns，那么，LVDS 码流的比特位宽为 1.68ns。同一差分线对中两条线间的相位差、差分线对之间的相位差、以及时钟的抖动都会减小 LVDS 信号的采样窗口。因此，必须保证发送器的时钟抖动尽可能小，PLL 的电源脚应单独处理，要有足够的去藕电容(要求 0.1uF、0.01uF、0.001uF 各一个)。此外，同一芯片上的差分信号线应严格等长，使差分线对之间、差分线对中的两条线间的相位差应尽量小，以便给接收端留出尽量多的采样余量。试验表明，在差分线

的长度控制得较好的情况下，用 2071ASL(jetter Max<300ps)或 50ppm 的晶振是可以满足要求的。

上电时序及三态:在 VCC 电源电压到达 2V 之前，发送器的输出保持三态，当 powerdown 高于 1.5V，VCC 到达 3V 后 10ms，数据和时钟输出端开始有效。任何时刻，当 Powerdown 端置低，100ns 后发送器三态;1us 后，接收器三态。任意时刻，发送器掉电后，接收器的输入/输出时钟将立即停止，同时，数据输出端将保持时钟停振时的状态。接收器掉电时，其输入端将由内部的一个二极管上拉到

VCC。 10.7.2 :DS92LV1021/1201 的设计

69

Q/DKBA0.200.035-2000

ds92lv1201 ds92lv1021

SERIAL_TO_PARALLEPARALLEL_TO_SERIAL L OUTPUT_LATCH

INPUT_LATCR0+ 10 10H D0+ Din Rout R0-

tclk_R/F D0-

tclk REFCLK DEN 16M-40M TIMING& REN TIMING& PLL PLL Control LOCK

CONTROL sync2 Rclk Clock Recovery Rclk_R/F sync2

图 10,7: DS92LV1021/1201 的原理图

该芯片组在工作前，需要初始化，目的是使收发器的锁相环同步，其过程如下：

VCC 加电时，收发器的输出为三态，内核被内部上电电路禁止。当 VCC 有效后 (>2.5v)，收发器的锁相环开始锁定时钟。对于发送器，锁相环锁定本地时钟，即发送时钟 TCLK;对接收器，需要将本地的一个时钟源加到参考时钟端 REFCLK。在此期间，发送器的输出保持三态;接收器将会忽略输入信号，LOCK 端保持高电平。此后，发送器就绪，可以发送数据或同步码(SYNC)，二者由 sync1 和 sync2 的输入来控制切换。

sync1 或 sync2 端保持高电平，迫使发送器发送同步码 SYNC，使接收器的锁相环与发送器时钟同步。SYNC 信号由六个 0 和六个 1 交错而成，码速等于发送器的时钟速率。 sync1 和 sync2 端可由用户控制。当接收器收到差分线上的同步码并使自己的内部时钟和同步码同步后，LOCK 端变为低电平，表明接收器已经就绪，可以接收数据了。此电平信号应反馈给发送端，用以监视接收器的工作状态。LOCK 端为低电平时，Rout0-Rout9 才有效。

芯片组同步后，即可进行数据传输。在发送端，10 位数据通过时钟 TCLK 打进发送器的输入锁存器，并且可以用 TCLK_R/F 端选择时钟的前沿或后沿有效，TCLK_R/F 为高则时钟的前沿有效；反之则为后沿有效。如果 SYNC 输入端高电平保持 5 个 TCLK 周期，Din0-Din9 上的数据将丢失，发送器将转为发送同步信号。

70

Q/DKBA0.200.035-2000

在数据传送期间，如果接收器失步，LOCK 端变高，所有的输出为三态，此时需要再同步。推荐使用的方法是将 LOCK 信号反馈到 SYNC1 或 SYNC2 端，否则，需要监测 LOCK 信号，当其变高电平时，将 SYNC1 或 SYNC2 维持高电平至少 1024 个 TCLK 周期，确保达到再同步。

两个 SYNC 输入端是为了用于一点对多点的应用。

对发送器，当 DEN 为低电平时，差分输出端为三态。对接收器，当 REN 为低电平时，Rout0-Rout9、LOCK 和 RCLK 为三态。

无论发送器或接收器，LVDS 信号从有效到三态和从三态到有效的最大延迟时间均为 10ns。

串行的 LVDS 码流由一位高电平的起始位和一位低电平的停止位分割，起始位和停止位之间为发送寄存器内的 10 位数据。起始位和停止位的作用是为了传送时钟信号，便于接收器同步。串行码流共 12 位，含 10 位数据和 2 位时钟，因此发送

器的内部时钟需要 12 倍频。如果发送器的时钟为 40M，串行线上的码速将达到最大值:12X40=480M，净载荷为 400M。

详细的情况请申请文档：

《1011 预研项目 LVDS 设计指导书》，

《1011 预研项目 LVDS 器件选型报告》，

文档在预研文档室。

71

Q/DKBA0. 200. 035-2000

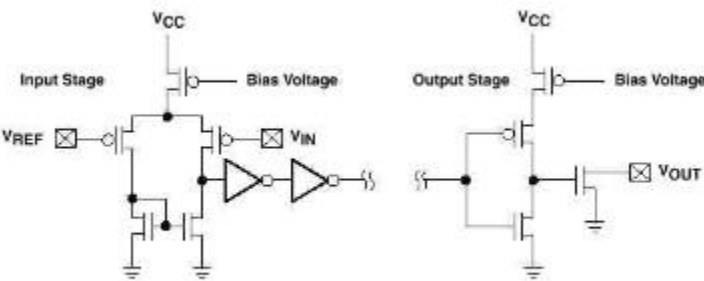


Figure 3. Typical GTL Input and Output Cells

11 、GTL 器件的原理和特点

11.1 :GTL 器件的特点和电平

GTL 输入电路是一个电压比较器，输入电压同外部连接的参考电压进行比较，输入门限设计为精确的窗口电压，可以提高最大的抗噪性能。输出电路是一个漏极开路 N 通道器件，当电路关闭是输出电压被上拉到末端匹配电压 VTT，当输出电路打开时，器件可以吸收 40mA 的电流，可以产生最大的输出电压 0.4V。输出电阻为 25 欧姆，输入输出被设计为与 VCC 的电压独立，器件可以工作在 5V、3.3V，甚至是 2.5V 的 VCC 电压。典型的 GTL 输入输出电流如下图：

72

Q/DKBA0. 200. 035-2000

图 11, 1:GTL 的输入输出原理图

GTL 是一种低电压，低摆幅的电

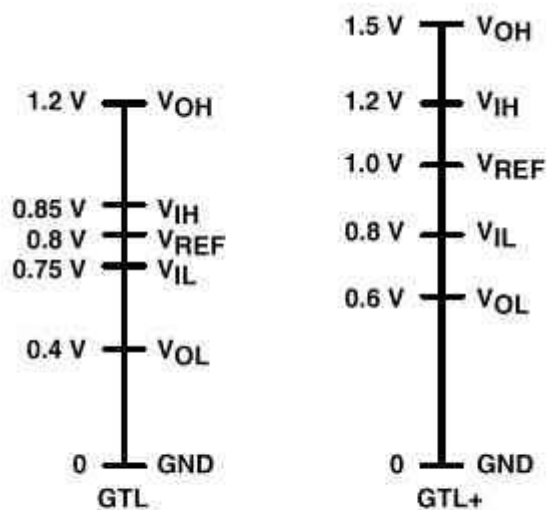


Figure 1. GTL/GTL+ Switching Levels

气标准，其信号有效

电平如下图：

图 11，

2:GLT/GTL，的逻辑

电平图

从图中可以看

出 GTL 和 GTL+信号

的参考电平 V_{ref} 都为信号上拉电平的 $2/3$ ，这是同 GTL 电平的特点相关的，GTL 信号的低电平一般为上拉电平的 $1/3$ 左右，当 GTL 信号的参考电平设置为上拉电平的 $2/3$ 时信号的高低电平都有最大的抗噪冗余量，可以得到最佳的传输效果。现在很多厂家提供的 GTL 芯片的 V_{ref} 都是可以同过外部进行调整，提供最佳的信号传输要求。同时因为 GTL 的输入阈值电平都很小，可以提供大的噪声容限，而小的输出电平提供的信号变化也很小。这些对对信号的完整性有利。GTL，的信号的电平更高，有更大的驱动能力，一般对于重载情况下使用 GTL，的效果会更好一些。

11.2 :GTL 信号的 PCB 设计

11.2.1 :GTL 常见拓扑结构

GTL 信号因为其设计特点，适合作为背板总线型信号的传输，常用的 GTL 的拓扑结构如下图：

一点对两点和三点的拓扑结构

73

Q/DKBA0.200.035-2000

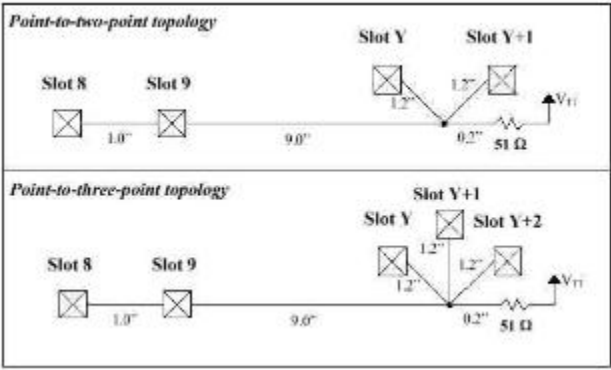


图 11, 3:GTL 信号分布的拓扑结构图

在实际的使用中对时钟的使用一般采用一点对两点和三点结构，因为对于时钟信号一般是使用其上升或者下降沿进行数据的采样，如果使用总线型的分布结构，由于负载的增加，是信号的上升下降时间变缓，这样在使用时钟的沿进行采样时其实际的有效采样周期变低，这对较高速率的信号传输一般难以满足时序要求。

对于数据一般使用总线型拓扑结构

74

Q/DKBA0.200.035-2000

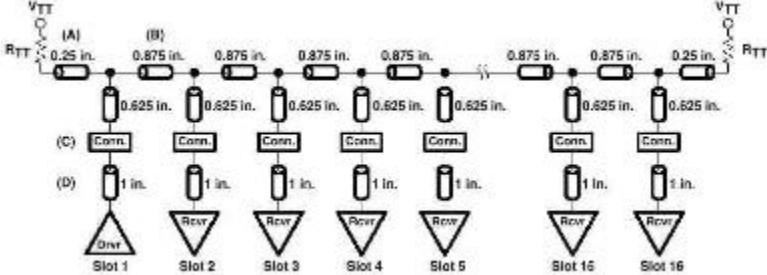


图 11, 4:使用 GTL 驱动器作为数据总线在 16 槽的背板系统的拓扑结构

11.2.2 :GTL 的 PCB 设计

对于 GTL 的设计一般其拓扑结构比较单一，比较容易设计，但是在 GTL 的设计有几个问题必须考虑，这几个问题与一般的 PCB 的设计有一些差别。

首先是对于 GTL 信号的匹配方式，对于 GTL 信号，一般是用作总线信号的传输，对于时钟是单向，一般使用终端上拉电阻进行匹配，但是对于数据总线，因为信号传输的双向性，一般使用双打上拉匹配，对于上拉匹配电阻的选择第一是保证在 GTL 驱动器输出低电平时，其吸收电流产生的压降可以达到信号的有效低电平，第二是末端的上拉电阻应该同线路的阻抗一致，减少信号的反射引起的过冲等信号畸变。实际中使用的电阻值同具体的器件有关，比如 TI 的 16612 在一点对两点的匹配方式中使用 51 欧姆的匹配电阻，在 16 个槽位的匹配中使用 39.9 欧姆的电阻进行匹配。其负载不同匹配阻抗不同的原因是因为传输线的阻抗同线路的负载直接相关。PCB 的传输线的理想模型见下图：

75

Q/DKBA0.200.035-2000

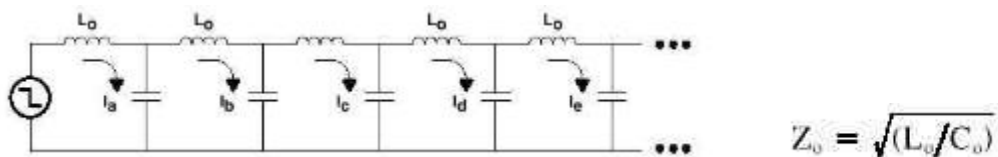


图 11, 5: PCB 的传输线的理想模型图

PCB 中的传输线的阻抗为：

$$Z_{in} = Z_0 / \sqrt{1 + C_d/C_o}$$

其中 L_o 为分别电感， C_o 为分布电容。当单板加上背板后其 STUB、接插件、末端器件等都存在电感和电容，这使传输线的实际阻抗计算公式变为

其中 C_d 为增加的电容。

比如一个 16612A 的 16 槽位系统，PCB 走线阻抗设计为 50 欧姆，但是因为各种附加电容的影响，其实际阻抗变为 24.8 欧姆，具体阻抗变化见下图：

76

Q/DKBA0.200.035-2000

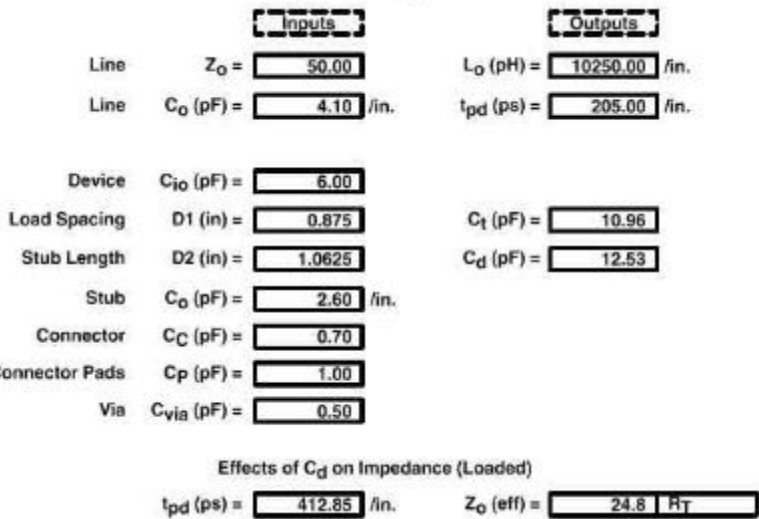


图 11, 6:PCB 走线阻抗图

这说明在总线型的系统的设计中，其中的阻抗匹配的设计必须考虑附加电容的影响。但是对附加电容的正确值的计算往往是不可行的。这时可以使用仿真工具进行仿真，同时可以参考 GTL 器件的推荐设计。总的说来对 GTL 阻抗设计不能仅仅是以 GTL 的输出阻抗 25 欧去设计，必须对整个系统进行全面分析，否则系统的性能是难以保证的。

同时在 GTL 的设计中必须注意其 STUB 走线的长度必须进行控制，一般要求在 1inch 以内。对末端的上拉匹配电阻的走线一般也要求走线的长度不要大于 2inch。一般匹配电阻直接放在背板上，如果需要在末端的单板进行匹配，必须保证走线的长度小于 1inch。

对 GTL 信号在接插件上的分布，因为信号的频率不是太高，一般没有很高的要求，对数据线仅仅要求每条信号线的周围必须有一个地线，对敏感的时钟等信号要求周围都有地线，下图是一个可用的参考：

```

Slot8_J4 G A B C D E F 1 GND CBF_C CBACK_C CBCONG_C GND DATA_C0 GND
2 GND DATA_C4 GND DATA_C3 DATA_C2 DATA_C1 GND 3 GND DATA_C8 DATA_C7 GND
DATA_C6 DATA_C5 GND 4 GND VTT DATA_C11 DATA_C10 GND DATA_C9 GND

77

Q/DKBA0.200.035-2000

5 GND DATA_C14 GND DATA_C13 DATA_C12 GND GND 6 GND DATA_C18 DATA_C17
GND DATA_C16 DATA_C15 GND 7 GND GND DATA_C21 DATA_C20 GND DATA_C19 GND 8
GND GND GND DATA_C24 DATA_C23 DATA_C22 GND 9 GND CBWC_C1 GND DATA_C26
GND DATA_C25 GND 10 GND GND GND DATA_C29 DATA_C28 DATA_C27 GND 11 GND
CBRC_C1 GND DATA_C31 GND DATA_C30 GND

GND GND 12, 14

15 GND CBF_D CBACK_D CBCONG_D GND DATA_D0 GND 16 GND DATA_D4 GND
DATA_D3 DATA_D2 DATA_D1 GND 17 GND DATA_D8 DATA_D7 GND DATA_D6 DATA_D5
GND 18 GND VTT DATA_D11 DATA_D10 GND DATA_D9 GND 19 GND DATA_D14 GND
DATA_D13 DATA_D12 GND GND 20 GND DATA_D18 DATA_D17 GND DATA_D16 DATA_D15
GND 21 GND GND DATA_D21 DATA_D20 GND DATA_D19 GND 22 GND GND GND
DATA_D24 DATA_D23 DATA_D22 GND 23 GND CBWC_D1 GND DATA_D26 GND DATA_D25
GND 24 GND GND GND DATA_D29 DATA_D28 DATA_D27 GND 25 GND CBRC_D1 GND
DATA_D31 GND DATA_D30 GND

```

表 11, 1:GTL 在接插件上的信号分布表

另外在设计中对于 GTL 信号和其它类型的信号一般需要分开，不要将 GTL 信号和其余信号一起使用。防止不同类型信号间的相互干扰。

11.3 :GTL 信号的测试

需要注意虽然 GTL 信号的使用频率一般在 100MHz 以下，但是 GTL 信号的上升沿一般都比较陡，特别对于沿敏感的信号，比如时钟信号，需要使用宽带示波器。

11.4 :GTL 信号的时序

在时序设计中，首先要考虑背板传输的信号飞行时间，其次，由于分布负载电容的影响，信号的上下沿的变缓，使信号的有效电平时间变短。对于使用 GTL 信号的总线的时序必须进行严格的分析，否则信号的时序可能满足不了系统的要求，使系统不能工作。但是一般信号的飞行时间和沿的变化同负载有关，设计中的精确参数往往难以得到。在设计中如果总线的频率在 30MHz 以上必须考虑分布负载对时序的影响，具体的参数可以通过仿真和实际的测试得到，也可以参考器件厂商的测试和仿真结果。

78

Q/DKBA0.200.035-2000

79

Q/DKBA0.200.035-2000

12 、附录

1:逻辑器件的输入输出参数

对于数字电路来说，各种器件所需的输入电流、输出驱动电流不同，为了驱动大电流器件、远距离传输、同时驱动多个器件，都需要审查电流驱动能力:输出电流应大于负载所需输入电流;另一方面，TTL、CMOS、ECL 等输入、输出电平标准不一致，同时采用上述多种器件时应考虑电平之间的转换问题。下表为 TTL、CMOS 系列各输入、输出电流、电压参数。

(min)	V(max)	V(min)	V(max)	I*	I*	VII 类别	IH	ILO	HOL	IH	IL	OH	OL	(V)	(V)
(V)	(V)	(μ A)	(mA)	(mA)	(mA)										
2	0.8	2.4	0.4	40	-1.6	-0.4/-0.8/-5.2	16	16	32	74					
2	0.8	2.7	0.5	20	-0.4	-0.4/-0.4/-2.5	4	8	24	74LS					
2	0.8	2.7	0.5	20	-0.1	-0.4/-2.6/-15	4	24	24	74ALS					
2	0.8	2.7	0.5	50	-2	-1/-1/-6.5	20	20	20	74S					
2	0.8	2.7	0.5	20	-0.5	-2/-48/-15	20	48	64	74AS					
2	0.8	2.5	0.5	20	-0.6	-1/-12/-12	20	64	64	74F					
3.5	1.5	4.95	0.05	0.1	-0.1uA	-4	4	4000B							
3.15	0.9	V-0.1	0.1	1	-1 uA	-4	4	74HC	DD						
3.85	1.35	V-0.1	0.1	1	-1 uA	-24	24	74AC	DD						
2	0.8	V-0.1	0.1	1	-1 uA	-24	24	74ACT	DD						
2	0.8	3	0.5	1	-1 uA	-32	64	74ABT							
2	0.8	V-0.2	0.2	5	-5 uA	-15	64	74FCT	DD						

*为标准门电路/缓冲器/总线驱动器 输出电流。

表 12, 1: 常用 TTL、CMOS 输入输出电压、电流参数表 (V=5V) CC

80

Q/DKBA0.200.035-2000

13 、附件列表

- 1: 《TTL 和 CMOS 器件的原理输入输出特性.lwp》，公开。
- 2: 《TTL 和 CMOS 器件的逻辑功能分类.lwp》，公开。
- 3: 《ECL 应用分析报告.rtf》，公开。
- 4: 《AN1568-Interfacing Between LVDS and ECL.pdf》，公开。
- 5: 《ECL Presentation (Chinese traditional).ppt》，公开。

6: 《1011 预研项目 LVDS 设计指导书》，保密。

7: 《1011 预研项目 LVDS 器件选型报告》，保密。