

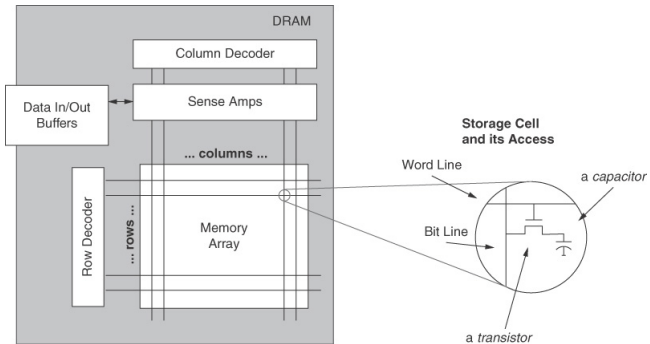
# Architektury systemów komputerowych

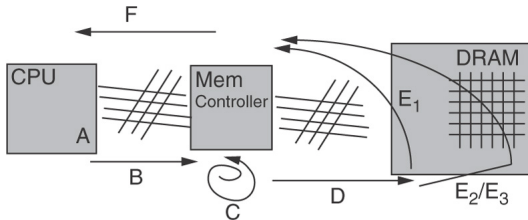
## Wykład 10: Pamięć DRAM

Krystian Baćławski

Instytut Informatyki  
Uniwersytet Wrocławski

11 maja 2022





- A: Transaction request may be delayed in Queue
- B: Transaction request sent to Memory Controller
- C: Transaction converted to Command Sequences  
(may be queued)

D: Command/s Sent to DRAM

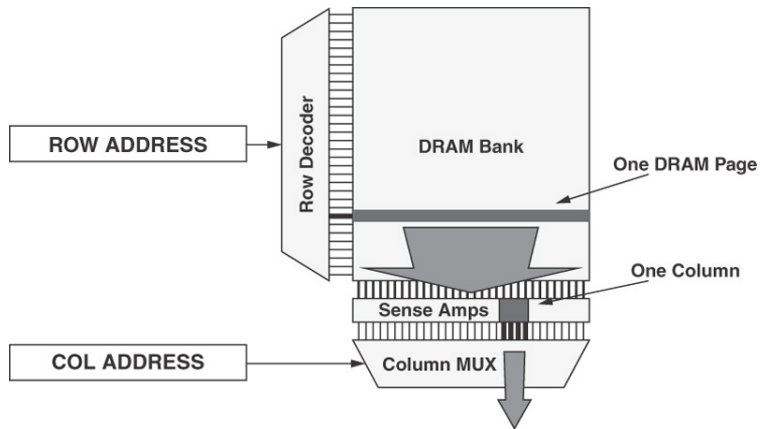
E<sub>1</sub>: Requires only a **CAS** or

E<sub>2</sub>: Requires **RAS + CAS** or

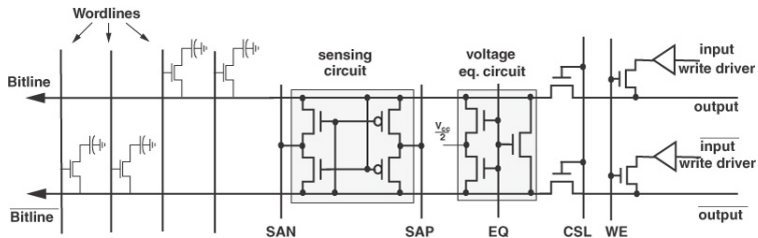
E<sub>3</sub>: Requires **PRE + RAS + CAS**

F: Transaction sent back to CPU

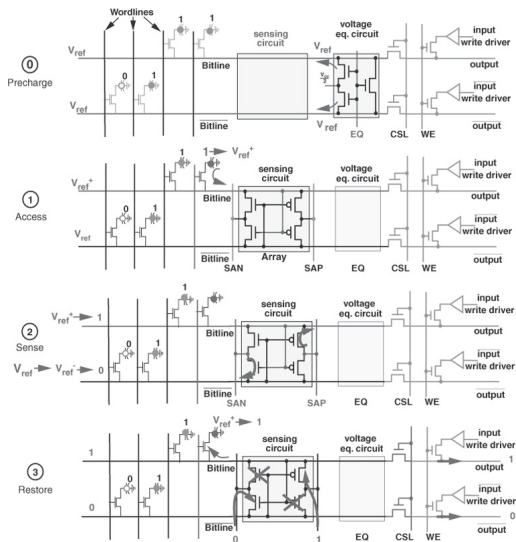
DRAM Latency = A + B + C + D + E + F



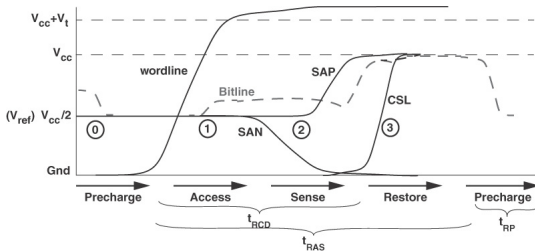
Rysunek: Strony pamięci DRAM



Rysunek: Kolumna macierzy DRAM



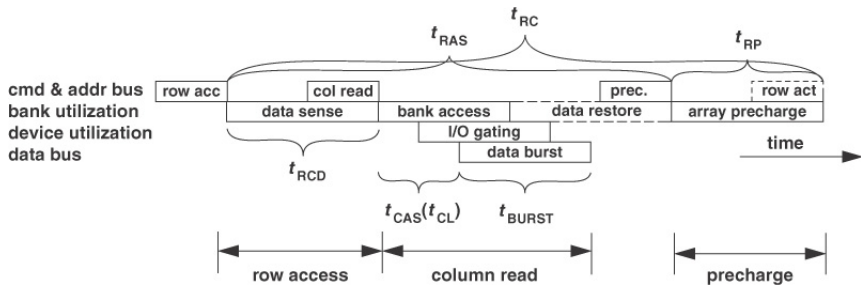
Rysunek: Proces czytania bitów



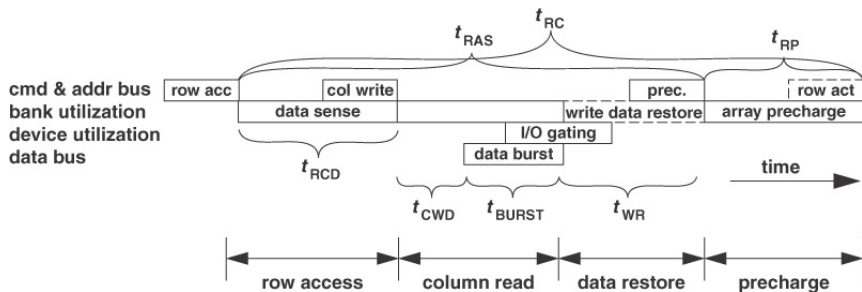
Rysunek: Kolejność podawania sygnałów

- $t_{RAS}$  Row Access Strobe. Minimalny czas między poleceniem wyboru wiersza, a przywróceniem danych w wierszu po wykonaniu operacji.
- $t_{RP}$  Row Precharge. Czas na przygotowanie innego wiersza na dostęp.
- $t_{RCD}$  Row-to-Column command Delay. Czas między wydaniem polecenia wyboru wiersza, a dostępnością danych na wyjściu z układu wzmacniającego.
- $t_{CAS}$  Column Access Strobe latency. Minimalny czas między wydaniem polecenia odczytu kolumny, a początkiem transferu danych.
- $t_{RC}$  Row Cycle. Czas między dostęпами do różnych wierszy w banku.  $t_{RC} = t_{RAS} + t_{RP}$





Rysunek: Odczyt z pamięci DRAM



Rysunek: Zapis do pamięci DRAM