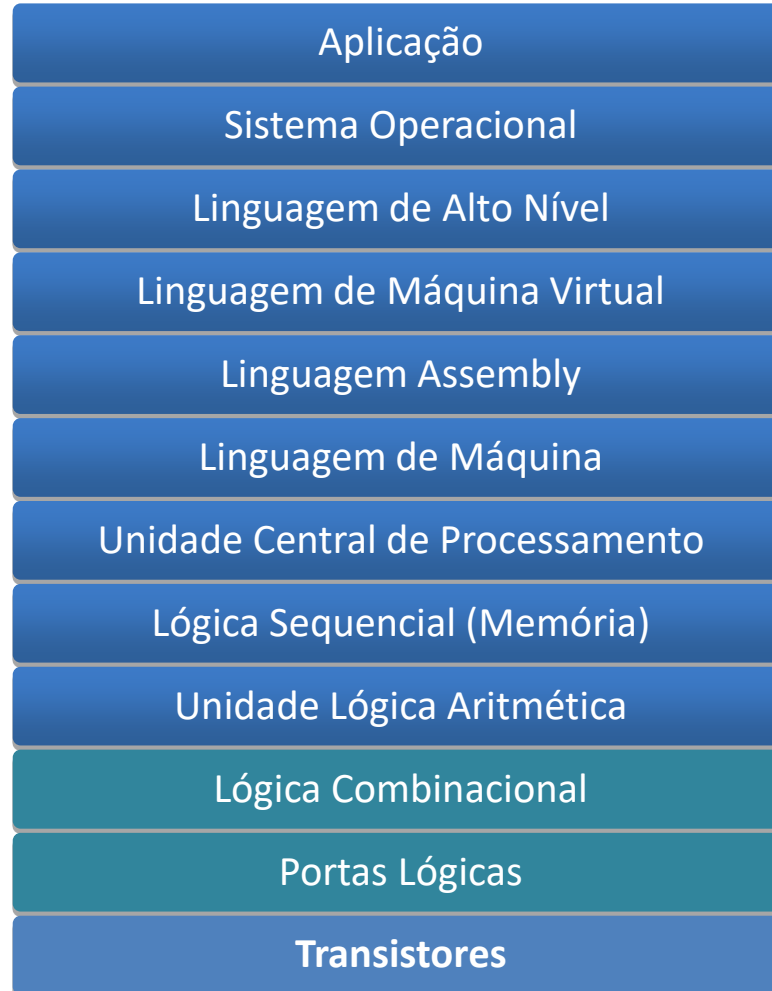


Lógica Combinacional VHDL

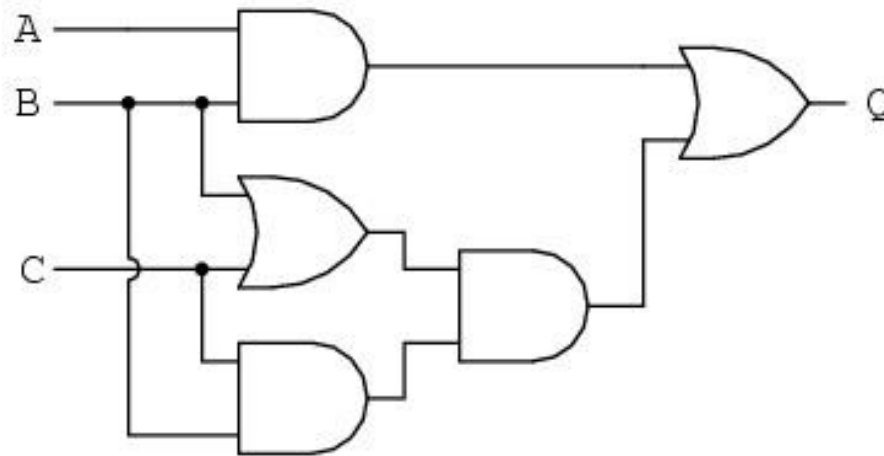
Níveis de Abstração



Portas Lógicas

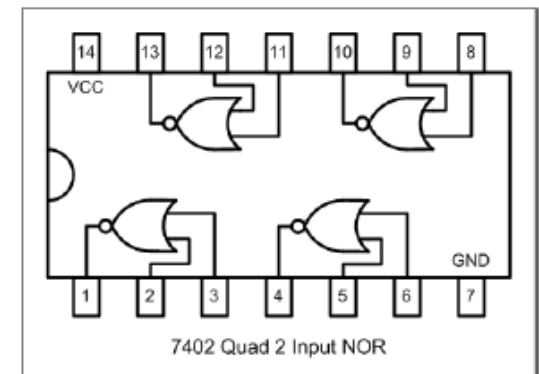
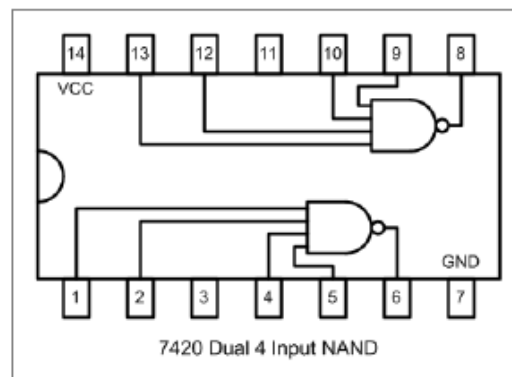
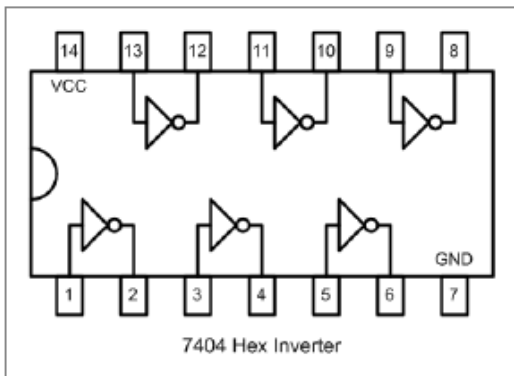
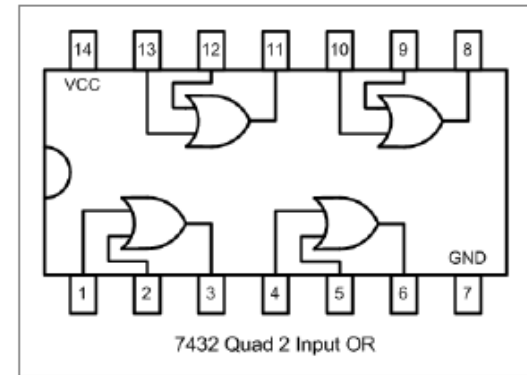
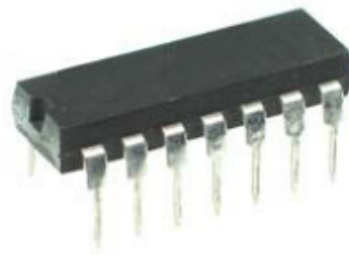
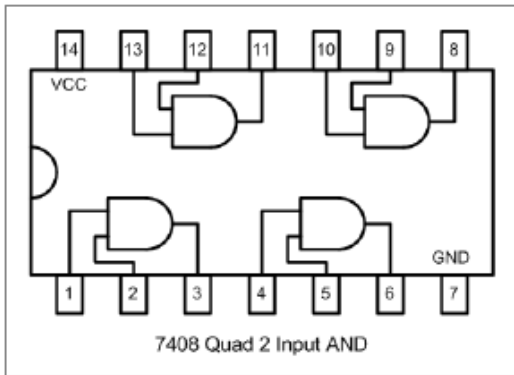
Diversas portas lógicas podem ser combinadas para criar circuitos mais sofisticados.

Exemplo:



Circuitos integrados

Série 7400

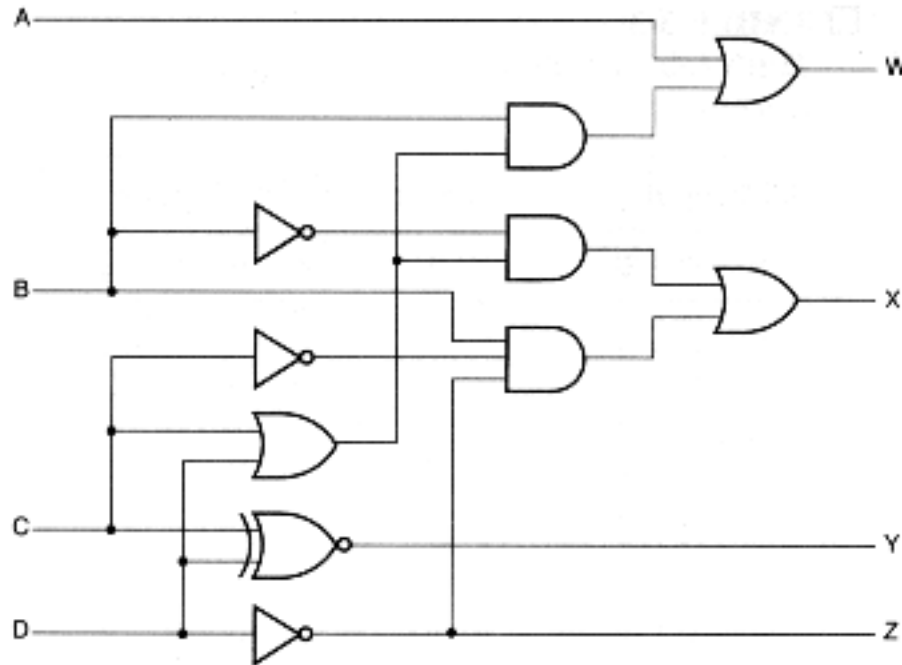


Qual a diferença entre:

- Lógica Combinacional
- Lógica Sequencial

Lógica Combinacional

A saída de um circuito em lógica combinacional depende só de suas entradas, ou seja, a lógica não tem memória.



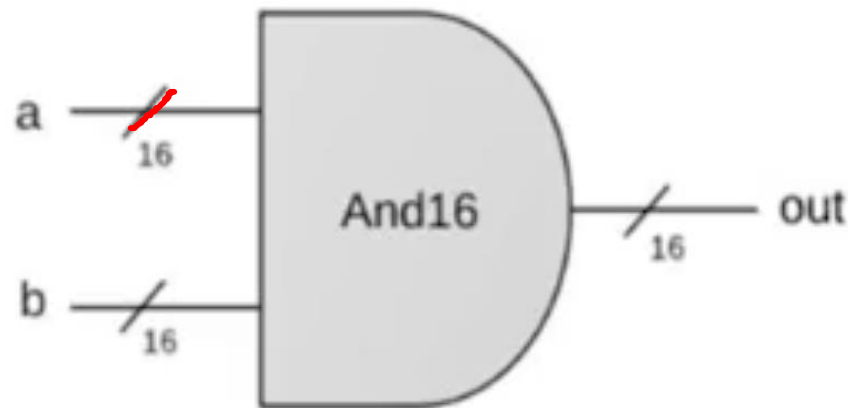
Barramentos (Data Bus)

- Barramento são diversas linhas de comunicação, para a transmissão de vários bits ao mesmo tempo.
- Barramentos normalmente são de: 8, 16, 32 ou 64 bits.



Portas Lógicas de Barramento

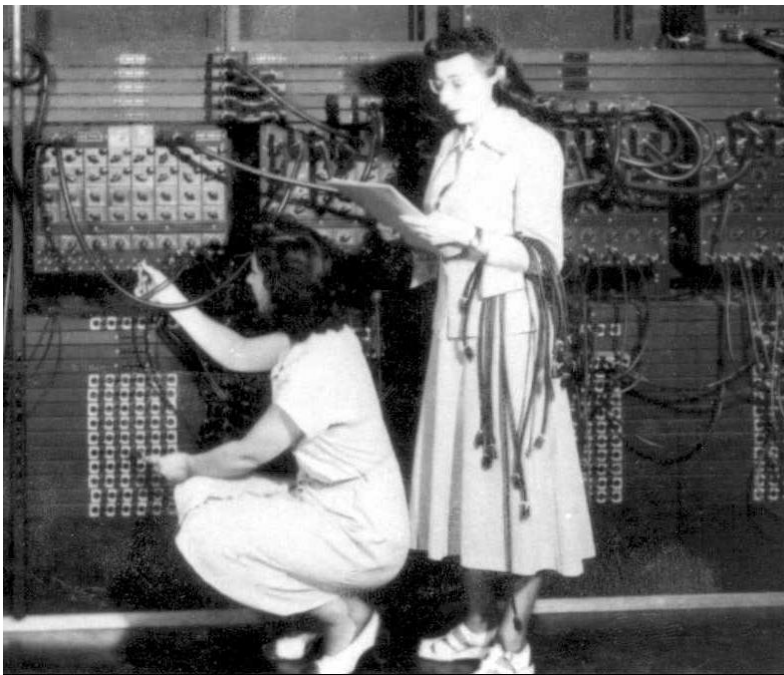
Exemplo AND de 16bits



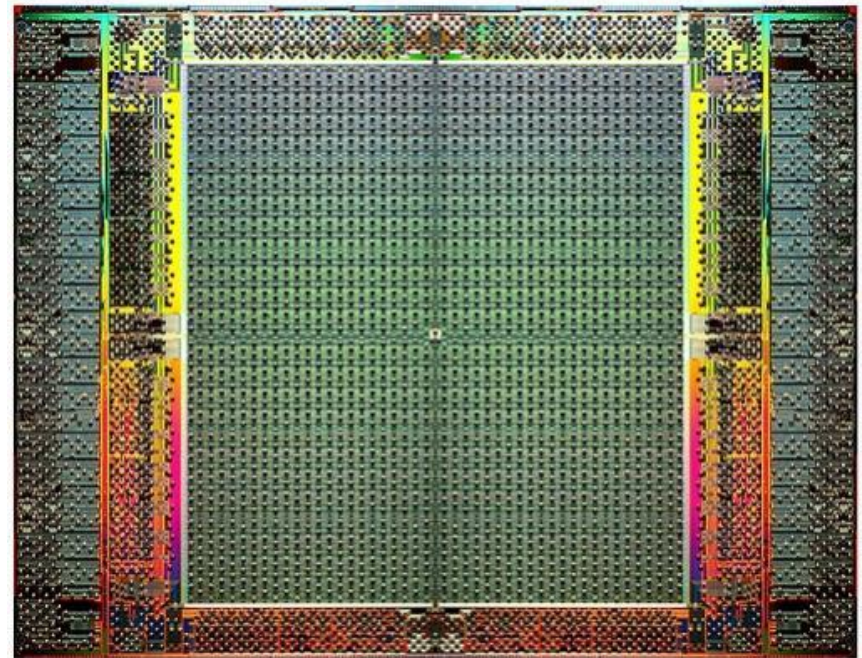
A	0	1	1	0	1	0	0	1	0	0	0	1	1	0	1	0
B	1	0	1	1	0	1	1	1	0	0	1	1	1	1	0	0
Q	0	0	1	0	0	0	0	1	0	0	0	1	1	0	0	0

Programação das conexões

Atualmente conexões de hardware são feitas por linguagens próprias que permitem especificar as conexões lógicas dos circuitos de um hardware reprogramável.



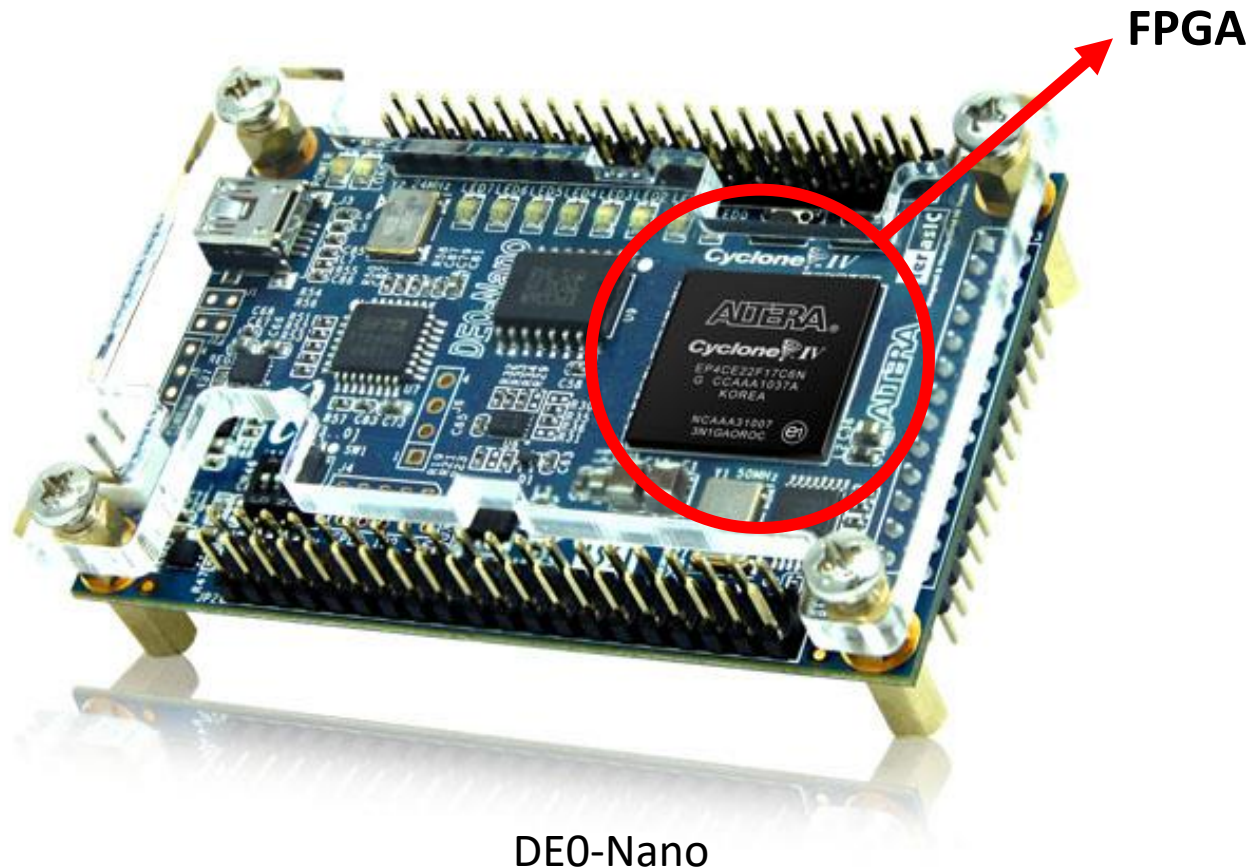
ENIAC



Stratix IV FPGA

Dispositivos Lógicos Programáveis

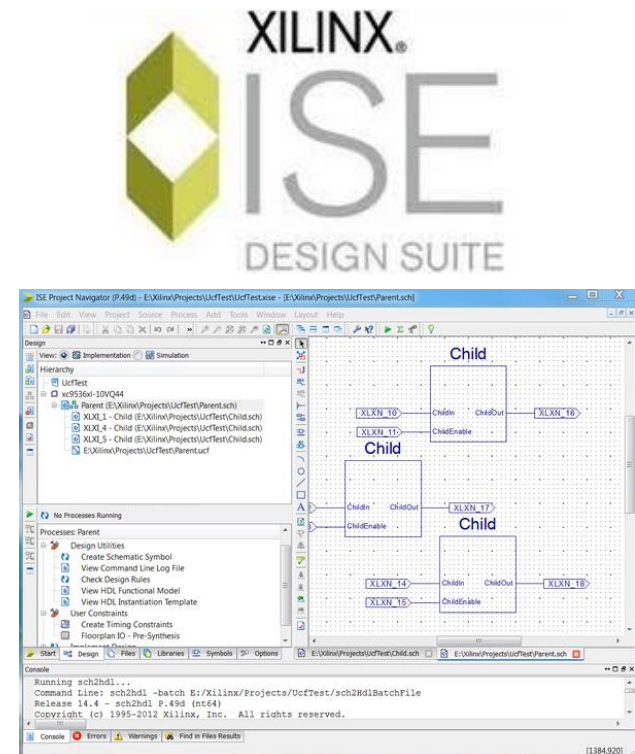
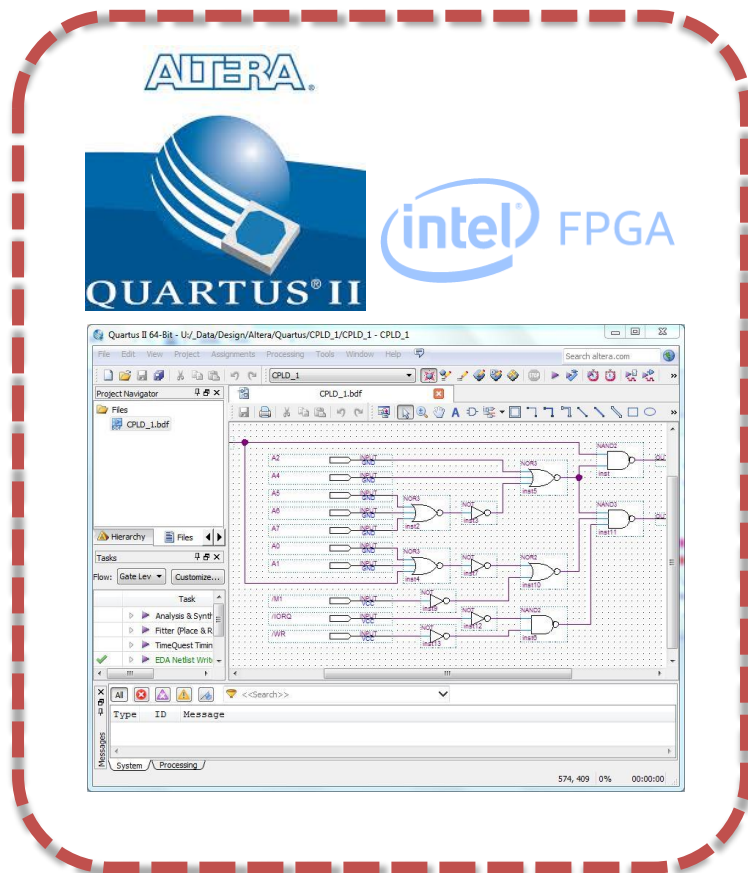
FPGAs são dispositivos lógico programáveis. Neles é possível descrever como o hardware vai se comportar.



DE0-Nano

Design e Simulação

Dois programas importantes no mercado para o design e a simulação de diversos comportamentos em dispositivos lógicos programáveis são:



Linguagens de Descrição de Hardware

Nand2Tetris HDL: Linguagem usada nos simuladores do curso Nand2Tetris, não suportada nas principais plataformas.

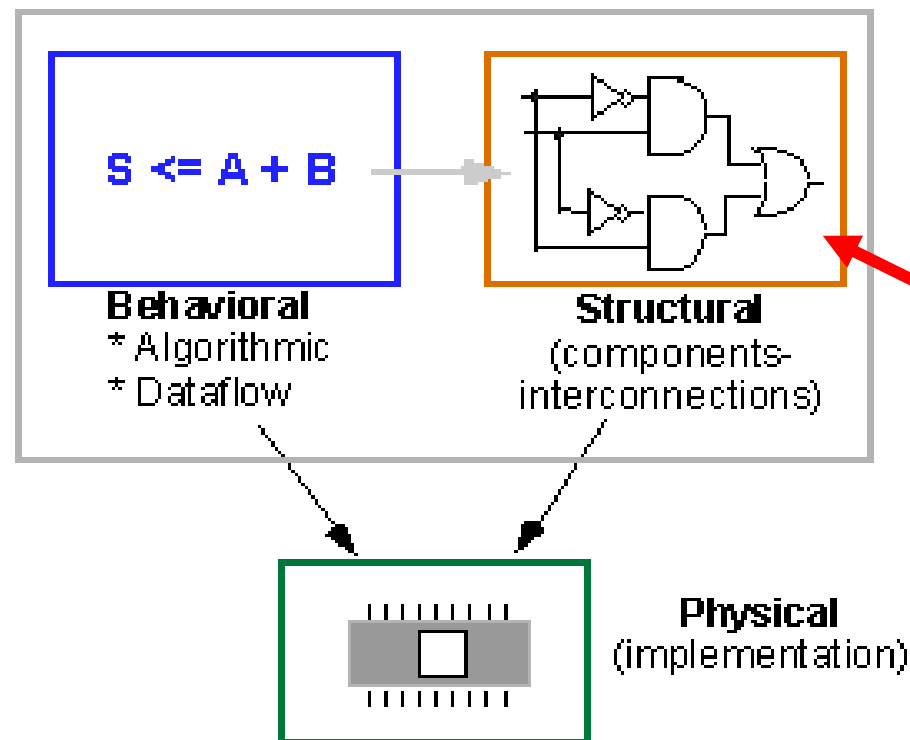
Verilog: padronizada na IEEE 1364-2005, é uma linguagem de descrição de hardware de domínio público subordinada Accellera.

VHDL (**V**HSIC (Very High Speed Integrated Circuits) **H**ardware **D**escription **L**anguage): originalmente desenvolvida sob o comando do Departamento de Defesa (DoD) dos Estados Unidos (DARPA), atualmente padronizada pela IEEE 1076-2008.

VHDL e Verilog são as duas linguagens de descrição de hardware dominantes.

VHDL

VHDL permite os desenvolvedores descreverem o sistema digital em um nível estrutural (structural) ou comportamental (behavioral). O comportamental ainda pode ser dividido em dois estilos: Data flow e Algorithmic.

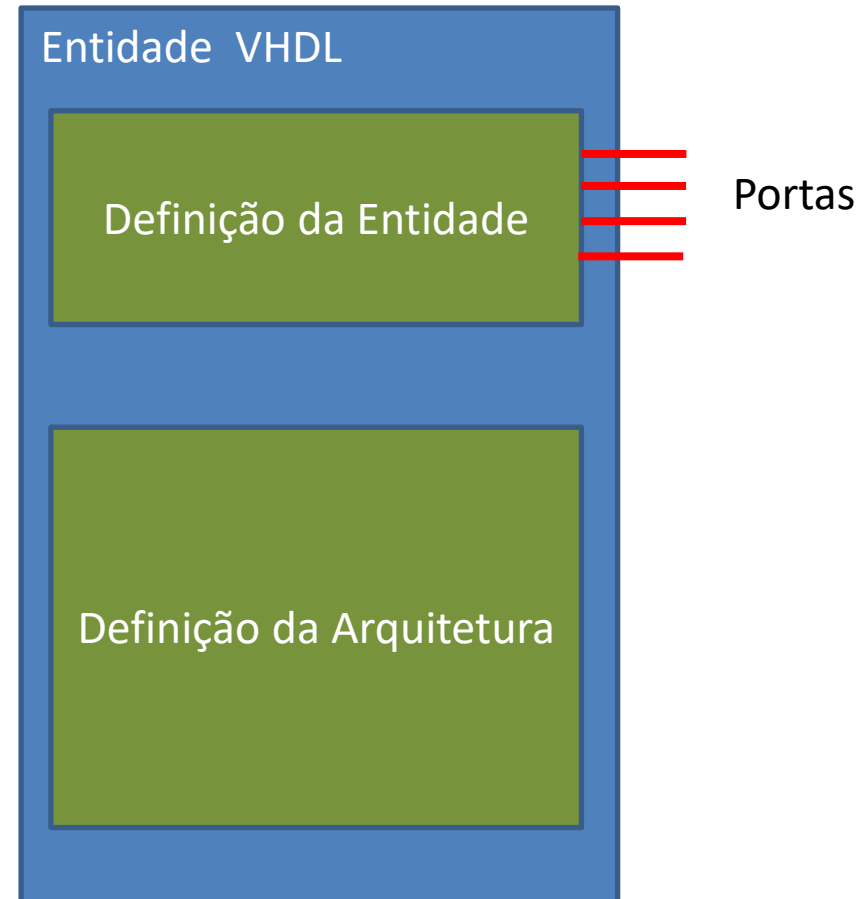


Dar preferência
para modo estrutural
nesse curso

Entidades VHDL

As entidades possuem:

- Um cabeçalho
- Uma definição
- Uma arquitetura



Código VHDL – Definição do Cabeçalho

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;
```

Essas linhas são comuns de encontrar em códigos VHDL. Elas importam a biblioteca lógica padrão IEEE std_logic_1164 que contém funções de lógica predefinidas e tipos de dados.

Código VHDL – Definição da Entidade

```
entity NOME_DA_ENTIDADE is  
  port (  
    nome_do_sinal1: modo tipo; ...  
    nome_do_sinaln: modo tipo);  
end entity;
```

modo: indica a direção do sinal:

in – para sinais de entrada (input);

out – para sinais somente de saída (output);

tipo: tipo do dado

bit e **bit_vector** – valores 0 ou 1

std_logic e **std_logic_vector** – valores de sinais digitais*

**prefira o uso de std_logic na criação das entidades.*

Código VHDL – Definição da Arquitetura

```
architecture nome_arquitetura of nome_entidade  
declarações;  
begin  
    operações;  
end nome_arquitetura;
```

declarações: contém definições de outras entidades e definição de sinais.

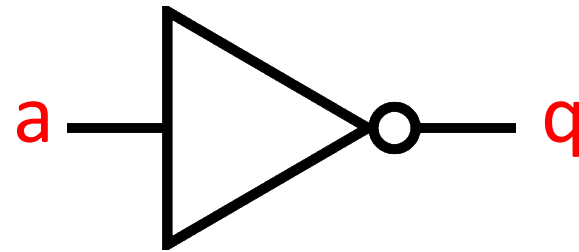
operações: define a lógica da entidade

Exemplo de chip NOT em VHDL

Implementação de um chip **Not**.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity chip_not is
    port (
        a : in  STD_LOGIC;
        q : out STD_LOGIC);
end entity;

architecture arch_not of chip_not is
begin
    q <= not a;
end architecture;
```





Trabalhando

Lab 4: FPGA - VHDL

Realizar individualmente com apoio do grupo!!

Próxima aula – 03/09 – Av1

Avaliação teórica será realizada no blackboard, com proctorio e sem consulta.

Insper

www.insper.edu.br