

计算机组成原理

Solution 2

Made by TA

2023 年 3 月 27 日

题目 1. 下面是两种晶片生产技术的说明：

A: 使用直径 15cm 的晶圆(每晶圆成本为 12 元)，可制作 84 枚晶片，其缺陷参数为 0.020 个 /cm²。

B: 使用直径 20cm 的晶圆(每晶圆成本为 15 元)，可制作 100 枚晶片，其缺陷参数为 0.031 个 /cm²。

- (1) 分别求出每种技术下的工艺良率；
- (2) 分别求出每种技术下晶片的单位价格。

解答: 公式如下：

$$\begin{aligned} \text{dies per wafer} &\approx \frac{\text{wafer area}}{\text{die area}}, \\ \text{yield} &= \frac{1}{(1 + \text{defects per area} \times \text{die area} \div 2)^2}, \\ \text{cost per die} &= \frac{\text{cost per wafer}}{\text{dies per wafer} \times \text{yield}}. \end{aligned}$$

(1)) A: 由上述公式，每块晶片面积约为 $A_A = \frac{\pi \cdot 7.5^2}{84} = 2.10\text{cm}^2$ ，

良率为 $Y_A = \frac{1}{(1+0.020 \times 2.10 \div 2)^2} = 0.9593$ ；

B: 类似地，每块晶片面积约为 $A_B = \frac{\pi \cdot 10^2}{100} = 3.14\text{cm}^2$ ，

良率为 $Y_B = \frac{1}{(1+0.031 \times 3.14 \div 2)^2} = 0.9093$ 。

(2)) A: 由上述公式, 晶片的单位价格为 $C_A = \frac{12}{84 \times 0.9593} = 0.1489$ 元;

B: 类似地, 晶片的单位价格为 $C_B = \frac{15}{100 \times 0.9093} = 0.1650$ 元。

题目 2. 计算机体系结构的 8 个伟大思想之三是“加速经常性事件”。

假设某 CPU 只支持加法、乘法和跳转三种指令。经统计, 执行某基准程序时, CPU 执行这三种指令的时间占比分别为 70%、21%、9%。

- (1) 若只优化加法指令, 使其执行速度提升 25%, 则 CPU 整体的平均运行时间降低为原来的多少?
- (2) 若只优化乘法指令, 使 CPU 整体的运行速度变得与 (1) 中一样, 则需要使乘法指令的执行速度提升多少?
- (3) 若只优化跳转指令, 能否使得 CPU 整体的运行速度提升到 (1) 中水平? 请通过计算证明你的答案。

解答:

不妨假设 CPU 运行了时间 T 。

- (1) 加法指令的时间为 $0.7T$, 优化加法指令后, 时间变为 $\frac{0.7T}{1+25\%} = 0.56T$, 故整体运行时间变为原来的 $\frac{0.56T+0.3T}{T} \times 100\% = 86\%$ 。
- (2) 若只优化乘法指令, 则乘法指令的时间需变为 $0.86T - 0.7T - 0.09T = 0.07T$, 此时乘法指令的执行速度提升为原来的 $\frac{0.21T}{0.07T} \times 100\% = 300\%$, 也就是说需要使乘法指令的执行速度提升两倍。
- (3) 若只优化跳转指令, 则需要将跳转指令的运行时间优化到 $0.86T - 0.7T - 0.21T = -0.05T$, 这显然是不合理的, 故不能只通过优化跳转指令使 CPU 的运行速度提升到 (1) 中水平。

可以看到, 加速经常性事件的效果会比加速不经常的事件的效果更好, 甚至达到加速不经常事件所不能达到的效果。

题目 3. 用性能公式的子集作为性能评价的指标是片面的, 不准确的。假设我们有两种 CPU, 其中 C_1 的时钟频率为 5 GHz, C_2 的时钟频率为 3 GHz。某基准程序 P 在 C_1 上

的 CPI 为 2，需要执行 5×10^9 条指令；在 C_2 上的 CPI 为 1.8，需要执行 3.3×10^9 条指令。

- (1) 试用以上 CPU 和基准程序证明，“时钟频率越高，性能越好”的观点是错误的；
- (2) 试用以上 CPU 和基准程序证明，“MIPS 越高，性能越好”的观点也是错误的；
- (3) 请思考：为什么相同的程序在不同的 CPU 上执行的指令条数可能不同呢？

解答：

考虑两 CPU 执行基准程序 P 的时间：

C_1 的执行时间为 $T_1 = \frac{2 \times 5 \times 10^9}{5GHz} = 2s$ ，

C_2 的执行时间为 $T_2 = \frac{1.8 \times 3.3 \times 10^9}{3GHz} = 1.98s$ 。

- (1) 尽管 C_1 的时钟频率比 C_2 高，但由计算可知，在执行基准程序 P 时， C_2 的性能比 C_1 更好，故“时钟频率越高，性能越好”的观点是错误的。
- (2) $MIPS_1 = \frac{5GHz}{2} \times 1000 = 2500$ ， $MIPS_2 = \frac{3GHz}{1.8} \times 1000 = 1667$ ，可以看到，在执行基准程序 P 时， $MIPS_1$ 比 $MIPS_2$ 高，而 C_1 的性能却不如 C_2 ，故“MIPS 越高，性能越好”的观点也是错误的。
- (3) 因为指令集架构不同。不同的指令集架构有着不同的硬件指令，相同的程序在指令集架构不同的 CPU 上编译出的硬件指令并不能一一对应。

例如，arm 架构下的指令：

```
str r1, [r2], #8
```

将 r1 寄存器的值写入以 r2 为地址的存储器中，并将 r2 变为 $r2 + 8$ ，此操作在 RV32I 指令集中就需要两条指令：

```
sw r1, 0(r2)
addi r2, r2, 8
```

题目 4. 如下是一道考研真题：

(2021, 12) 2017 年公布的全球超级计算机 TOP 500 排名中，我国“神威·太湖之光”超级

计算机蝉联第一，其浮点运算速度为 93.0146 PFLOPS，说明该计算机每秒钟内完成的浮点操作次数约为（ ）

- A. 9.3×10^{13} 次
- B. 9.3×10^{15} 次
- C. 9.3 千万亿次
- D. 9.3 亿亿次

解答:

选 D。

注意到 K, M, G, T 都是逢千进位的，故合理猜测 $93.0146P = 9.3 \times 10^{3k+1}$ ，四个选项中，A 和 D 符合上述形式，但我们知道 T 代表 10^{12} ，故 A 选项为 93 TFLOPS，排除。故选 D。

实验题 1. Verilog OJ 平台 <https://verilogoj.ustc.edu.cn/oj/> 上第 47 题【双边缘检测】。在作业中请不要附上代码，而是提交带 id 的 AC 截图。AC 截图可以作为图片单独上传，也可以放入作业的 PDF 文件中一起上传。

解答: 参考程序如下

```
module top_module (  
    input clk,  
    input in,  
    output out  
);  
  
    reg in_delay1, in_delay2;  
  
    always @(posedge clk) begin  
        in_delay1 <= in;  
        in_delay2 <= in_delay1;  
    end
```

```
    assign out = in_delay1 ^ in_delay2;  
  
endmodule
```