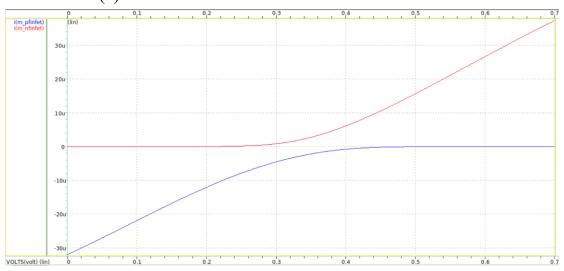
數位積體電路 Exercise 1

電子所 311510061 陳柏翰

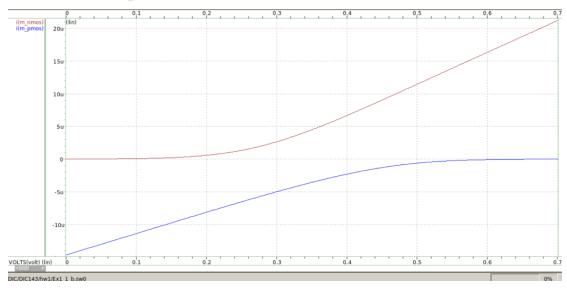
Exercise 1-1:DC characteristics

Exercise 1-1(a) FinFETs



上圖為 m=1 的 Vgs-Ids 圖,紅色線為 nFinFET 的,綠色則為 pFinFET 的縱軸皆為 Ids,橫軸則為 Vgs 由 0 到 0.7v 的變化。且從圖中可以看出 pFinFET 的電流比 nfINfet 稍微小一數個 u。

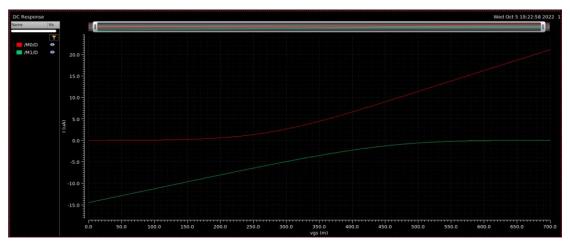
Exercise 1-1(b) planar MOS



上圖為 L 和 W 皆為 16nm 的 nmos 和 pmos 的 Vgs-Ids 圖,紅色線為 nmos 的,綠色則為 pmos 的縱軸皆為 Ids,橫軸則為 Vgs 由 0 到 0.7v 的變化。且從圖中可

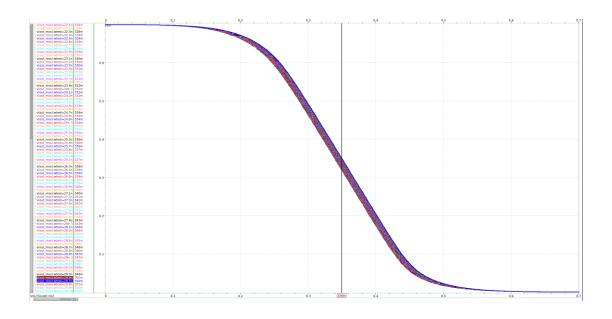
以看出 pmos 的電流比 nmos 得來的小, 差距明顯比 FinFET 間得來的大。

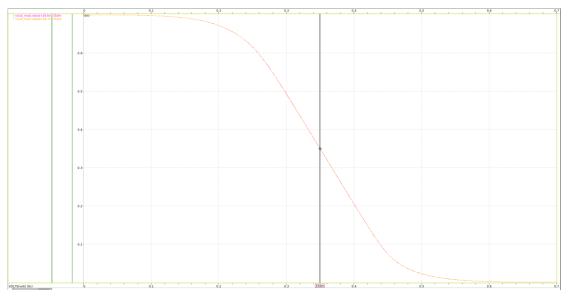
下圖為我另外用 virtuoso schematic 做的 nmos 和 pmos 的 Vgs-Ids 模擬,兩張圖數據吻合。



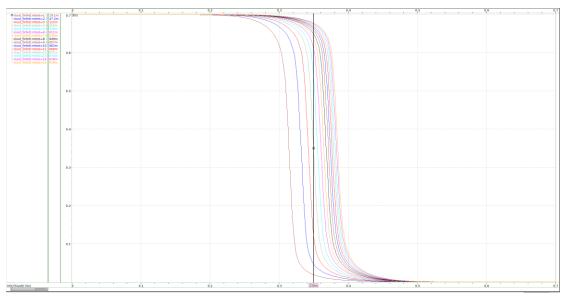
Exercise 1-1(c)

要使 inverter 的 β =1 的話,可以透過確認當輸入等於 VDD/2=0.35V 輸出是否也等於 0.35V 來判斷,FinFET 可以透過不斷去調動 HSPICE 中電晶體 m 的大小後,可以發現當把 pf in 的 m 調為 1.3 可以使 β =1,另外去調動 planar mos 的 W/L 值可以去改變 β 的值,當我將 nmos 的 w 調為 29.6nm 或 29.7nm 時可以使 β =1。另外也可以透過觀察 nmos 和 pmos 的電流是否相同來判斷 β =1。

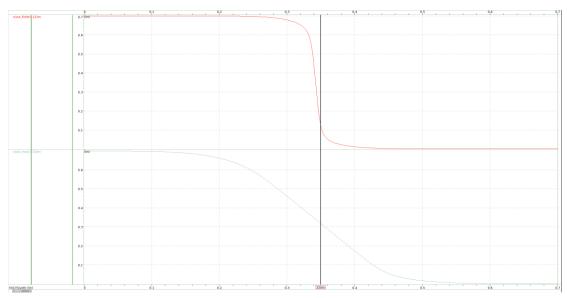




上兩張圖為透過 hspice sweep 的方式去掃 pmos 中的 w 值來找出輸入=輸出 =VDD/2=0.35V 的位置(wtest 為我掃 w 從 16nm 到 30nm 且間格 0.1nm 的範圍),從圖中可以看出當 w 調為 29.7nm 或是 30nm 時會使 β =1。

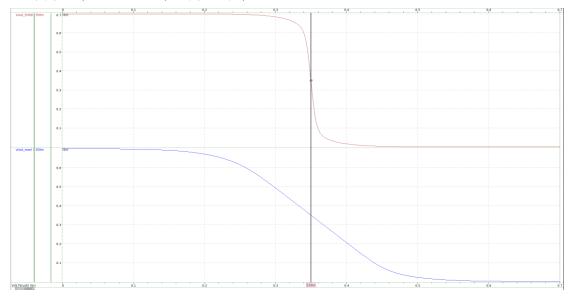


上圖為透過 hspice sweep 的方式去掃 pFinFET 中的 m 值來找出輸入=輸出 =VDD/2=0.35V 的位置,且我有將 nFinFET 中的 m 值固定為 3(mtest 為我掃 m 從 1 到 15 且間格 1 的範圍),從圖中可以看出當 m 調為 4 時輸入=輸出 =VDD/2=0.35V 也就是能使 β =1。

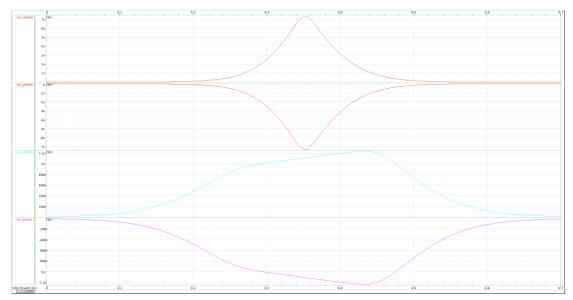


上圖為尚未調動任何參數前 FinFET 和 Planar MOS 所組成的 Inverter 的 VTC Curve,可以從圖中看出當輸入等於 0.35V 時,輸出均離 0.35V 有段距離, FinFET 的輸出僅有 0.122V; Planar MOS 則是 0.318V 距離 0.35V 較接近。

下圖為則為調動參數後 FinFET 和 Planar MOS 所組成的 Inverter 的 VTC Curve(FinFET 中 nfin=3, pfin=4 和 Planar MOS 中 W=29.7nm),可以從圖中看出當輸入等於 0.35V 時,輸出均等於 0.35V。

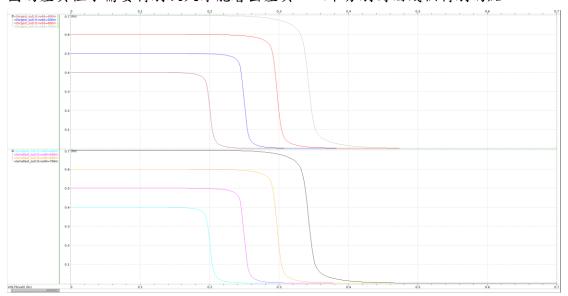


下圖則是調完參數後 FinFET 和 Planar MOS 所組成的 Inverter 的輸入-電流圖。

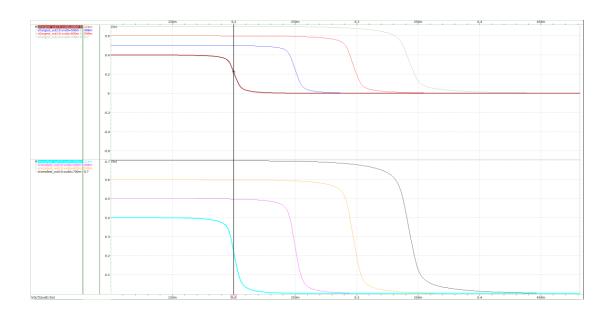


Exercise 1-2: Voltage Transfer Curve

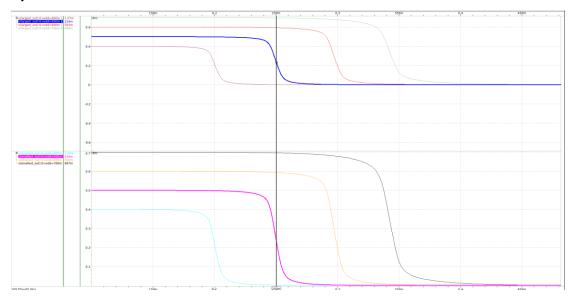
此題中我所使用的最小 inverter 為 INVx13_ASAP7_75t_R,最大的則為 INVxp33_ASAP7_75t_R。下圖分別為最大以及最小 inverter 的 VTC curve,兩 圖的差異極小需要特別放大才能看出差異,以下分別討論幾個特別的點。



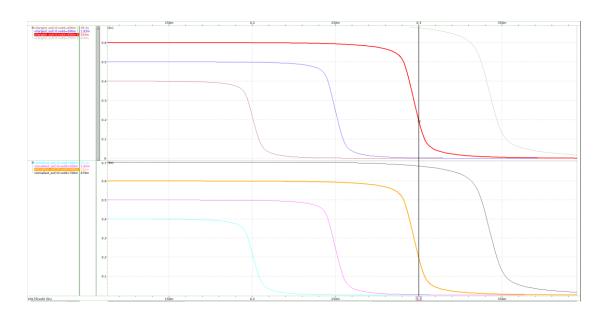
下圖為最大最小 inverter 在 VDD=0. 4V 時,Vin=VDD/2=0. 2V,可以看出 vout 皆為 224mV。



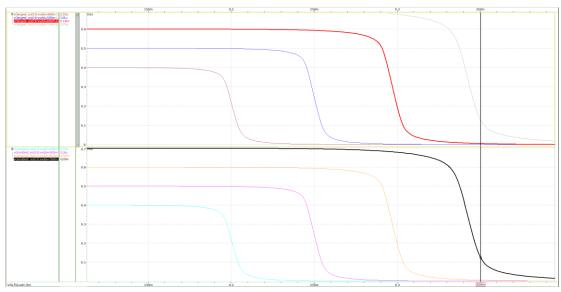
下圖為最大最想 inverter 在 VDD=0. 5V 時,Vin=VDD/2=0. 25V,可以看出 vout 皆 為 234mV 。



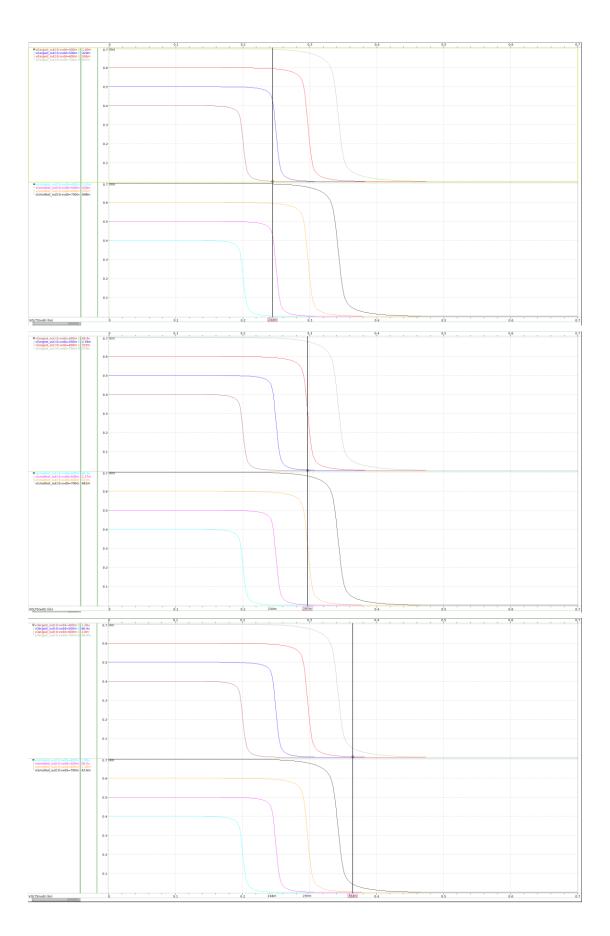
下圖為最大最想 inverter 在 VDD=0.5V 時,Vin=VDD/2=0.25V,可以看出 vout 皆為 193 mV。

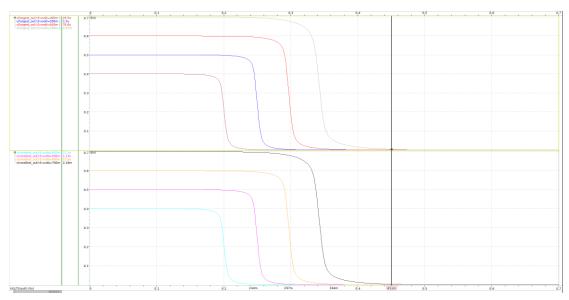


下圖為最大最想 inverter 在 VDD=0.5V 時,Vin=VDD/2=0.25V,可以看出 vout 皆為 123mV。



由以上 4 張圖可以看出當 VDD 越大時,VDD/2 的輸入電壓所對應到的輸出電壓會越來越來越小,也就是越來越偏移 VTC curve 的中間位置。

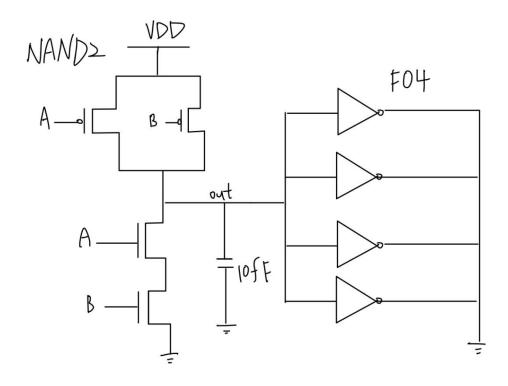




以上 4 張圖可以看出只有在輸出快要降為 0v 時會有最大和最小 inverter 之間 微小的電壓差異,其餘的位置最大和最小 inverter 之間的電壓值並無差異。

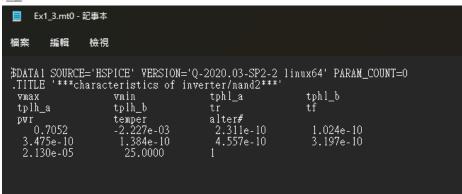
Exercise 1-3: Characteristics of Inverter/NAND2

此題中我用的的 inverter 為 INVxp33_ASAP7_75t_R, 而 NAND2 則為 NAND2xp33_ASAP7_75t_R,接上 F04 和 10pF 電容後的圖如下圖。在 A 和 B 的端 點則分別輸入兩組周期不同的 PULSE 來關差輸出的變化。



下圖中紅線違 A 端的 PULSE,藍線則為 B 端的輸入 PULSE,最後的粉紅色則是output 的波型變化,並總共跑了 100ns 的暫態波形。





上圖為打開 mt0 檔所列出的結果,可以得到

Tr=455. 72ps; Tf=319. 65ps; Tph1_A=231. 1ps; Tph1_B=102. 38ps; Tplh_A=347. 46ps; Tplh_B=138. 44ps; POWER=2. 13e-05 W,和下圖 lis 檔中的數據相比除了小數位數外皆相同。

