



東北大學  
Northeastern University

# 第六届龙芯杯系统能力大赛

## 东北大学一队

NEU-CPU

吴浩宇 孙平炜 陈宇童 刘向峰

指导老师：于亚新 刘学

# 目录

01

CPU设计

02

系统支持

03

成果展示

04

总结与批判



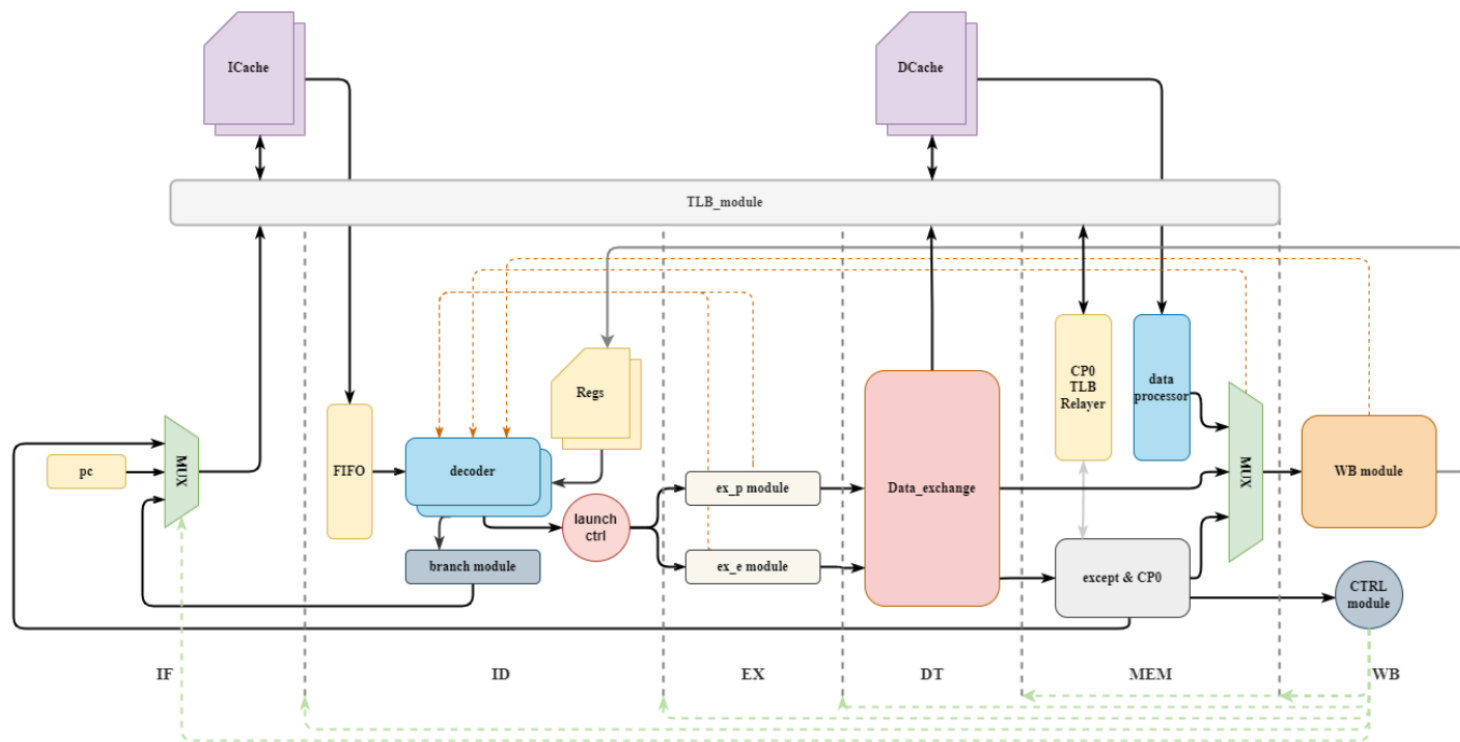
# RART 01

---

## C P U 设 计

---

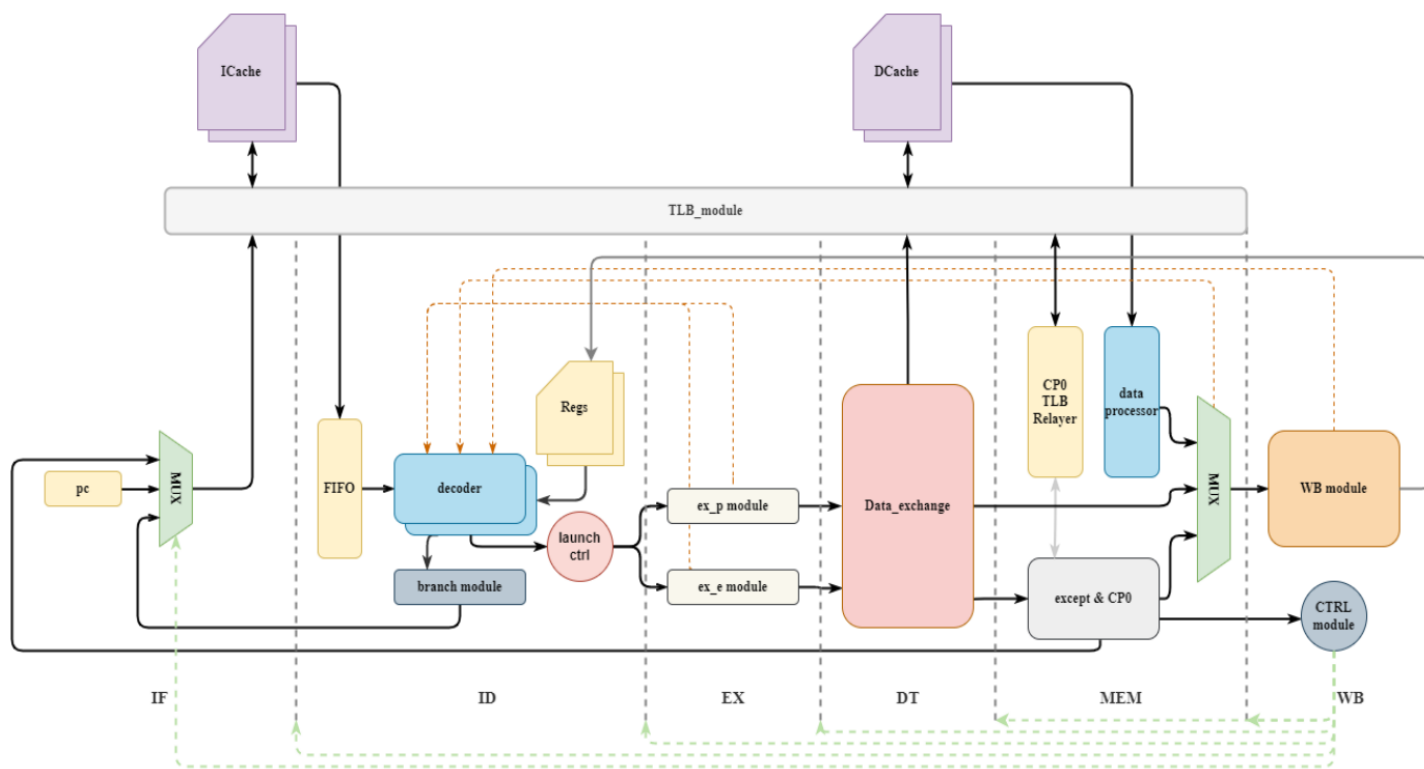
# 六级顺序双发射流水线



- ✓ 共实现66条指令
- ✓ 57条初赛要求指令
- ✓ MUL + 4条TLB指令
- ✓ + 4条非对齐访存指令
- ✓ 实现了12个CP0寄存器

- 在该六级顺序双发射流水线处理器中，根据功能分成六个部分：  
取指、译码、执行、访存请求、访存、写回
- 访存结构采用哈佛结构，指令cache和数据cache相互独立
- axi控制器和CPU不会同时运行，避免产生冲突

# 六级顺序双发射流水线



## CP0寄存器与异常处理:

在流水线上, 采用了精确异常的处理方式, 异常检测分布在流水线的各个阶段, 得到的异常信息都会随着指令流传递到MEM段, 并在CP0模块进行统一处理

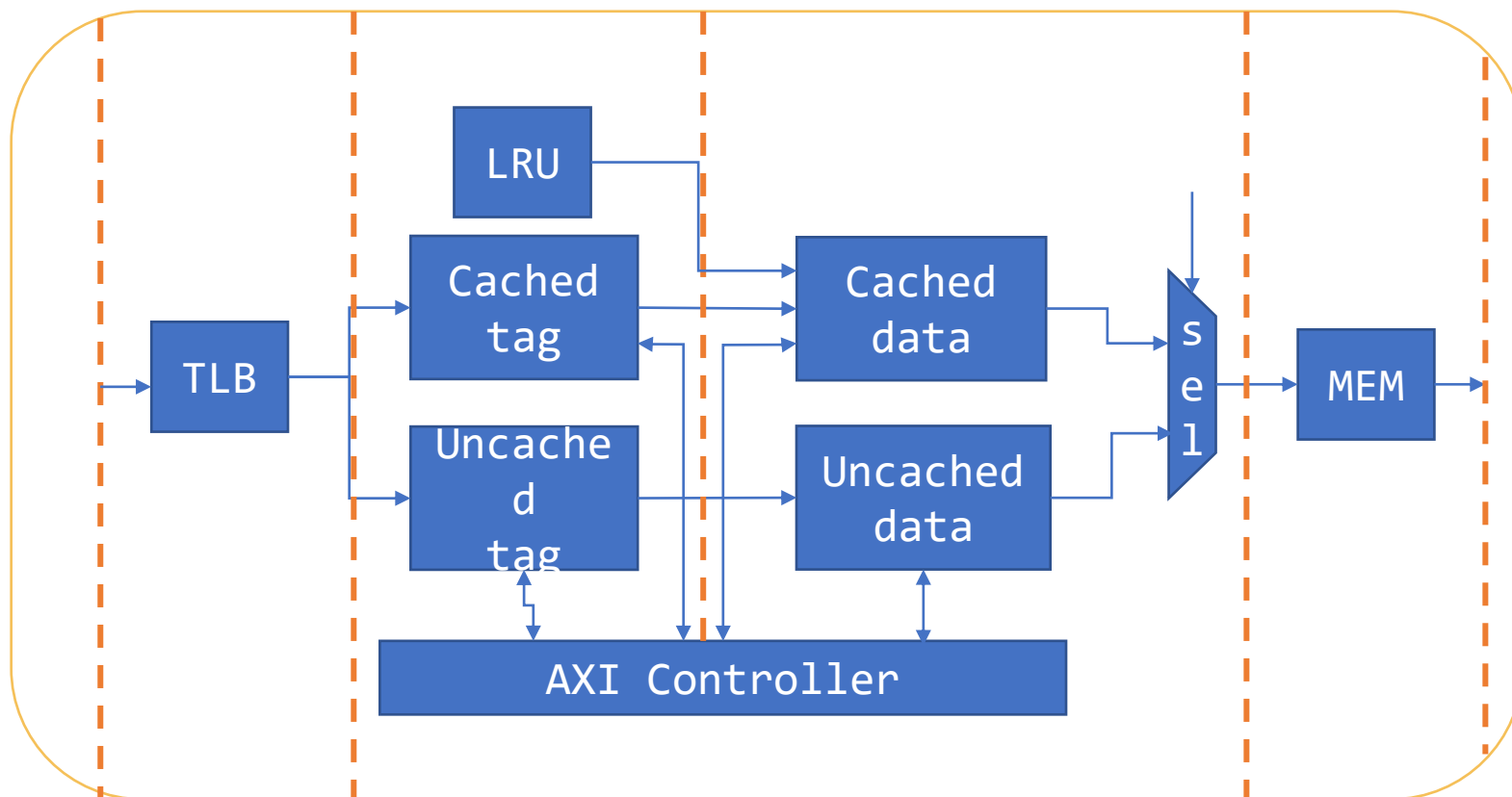
## 分支跳转:

由于采用双发射结构, ID段发出跳转请求, 当流水线运行起来时产生跳转则势必会造成两周期的损失。我们在指令缓冲队列中添加了判断逻辑, 针对相邻空间的跳转请求进行优化, 减少跳转指令造成的损失

No-TLB 主频70MHz 性能分: 42.564

En-TLB 主频70MHz 性能分: 29.564

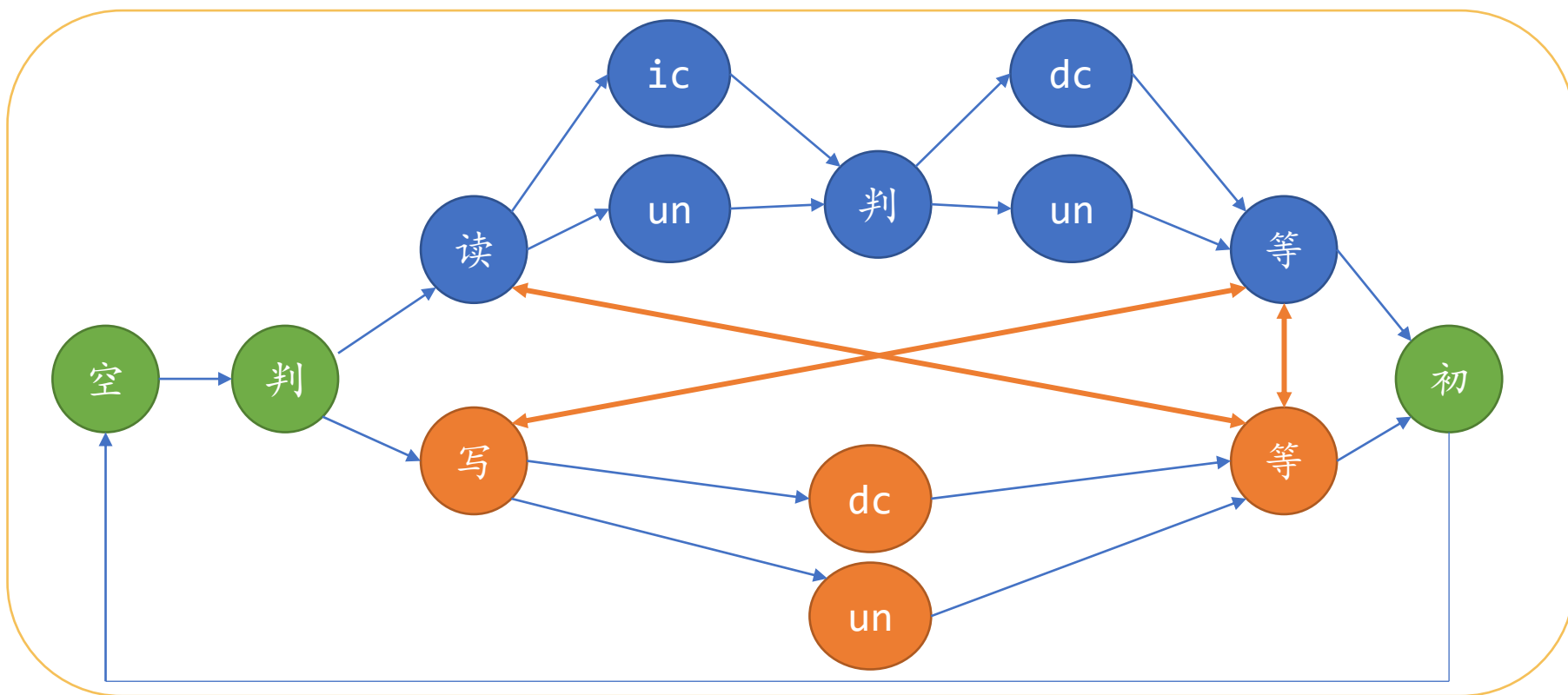
# TLB/MMU-Cache访存设计



- 两路组相联，每路**4KB**，cache大小为**8KB**
- Cacheline大小为**64B**  
即一行有**16**条32位数据共**64**行，每行一位LRU
- 使用**VIPT**设计
- TLB模块实现了**虚实地址转换**，并决定了**cached**属性
- 配备了转发模块减少TLB指令和访存地址映射造成的关键路径过长的问題

Tag[31:12]	Index[11:6]	Offset[5:0]
------------	-------------	-------------

# AXI状态机设计



我们在实现cache的同时也将CPU进行封装，通过AXI接口能够解决指令cache、数据cache和uncached类型访存的冲突问题，并能够实现读写并行。在读取新数据的同时，可以将旧数据写回，减少了大量花在访存上的时间。



RART 02

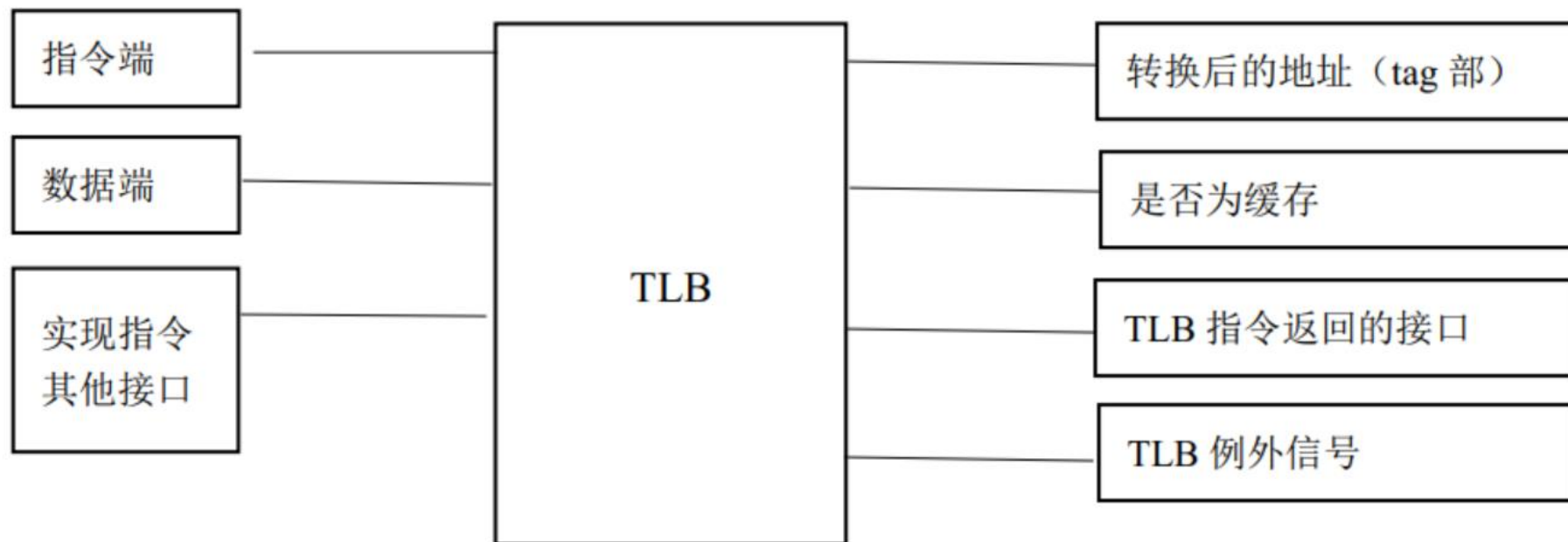
---

系 统 支 持

---



# 系统支持



- TLBP, TLBR, TLBWI, TLBWR 指令
- TLB Refill, TLB Invalid, TLB Modified 三种TLB异常例外
- VIPT组织方式
- 共16项, data和inst采用两个接口



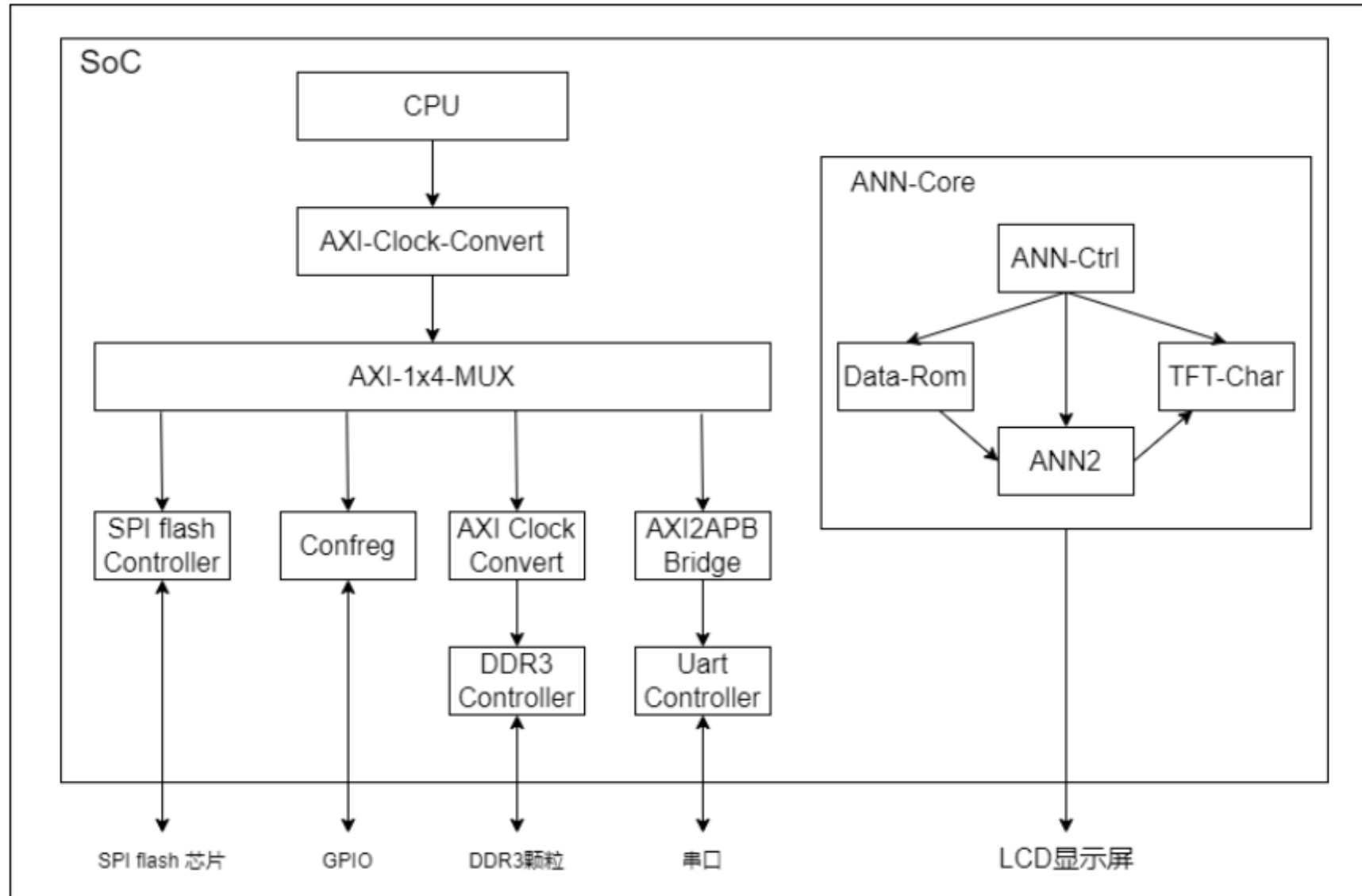
RART 03

---

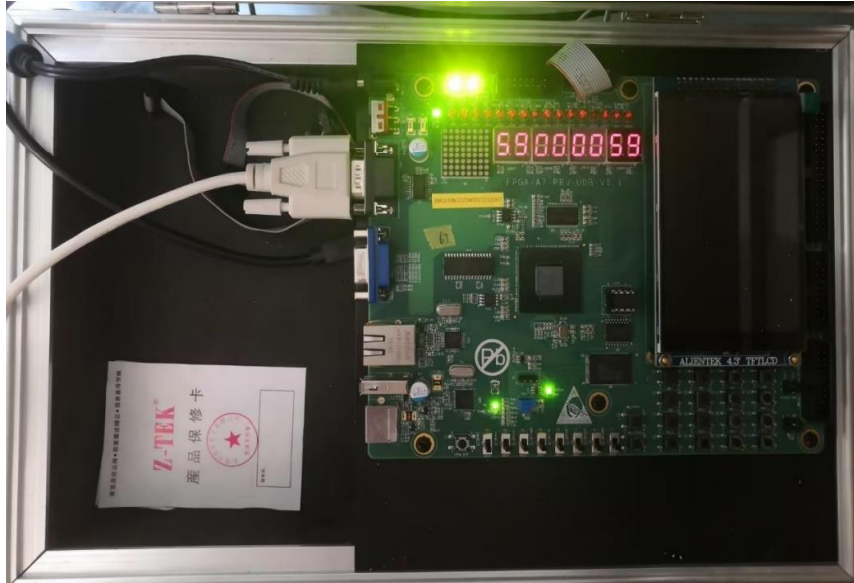
成 果 展 示

---

# SoC设计



# 成果展示



```
C:\Users\Administrator\Desktop\nssc-group\system_test_v0.01\supervisor-mips32\term>python term.py -s com4 -b 57600
MONITOR for MIPS32 - initialized.
>> g
>>addr: 0x8000300c
supervisor reported an exception during execution
>> g
>>addr: 0x8000300c
elapsed time: 0.395s
>> g
>>addr: 0x8000303c
supervisor reported an exception during execution
>> g
>>addr: 0x8000303c
elapsed time: 0.368s
>> g
>>addr: 0x800030c4
elapsed time: 5.417s
>> g
>>addr: 0x8000315c
OK
elapsed time: 0.000s
>> g
>>addr: 0x80003180
supervisor reported an exception during execution
>> g
>>addr: 0x80003180
supervisor reported an exception during execution
>> g
>>addr: 0x80003180
elapsed time: 9.070s
```





# RART 04

---

## 总结与批判

---

# 参赛总结

## 工作安排：

四位同学分别负责：内核启动与上板验证，处理器核开发，SoC设计，TLB/MMU开发性能：

跳转指令设计不合理，导致关键路径较长，频率提升困难  
TLB有待优化，占用的片上面积较大，支持不够完善

## 流程：

七月中旬明确各同学的工作任务，开始学习和实践  
7.25完成AXI功能测试，7.28完成性能测试，性能提升  
8.01系统测试上板抓Bug，Cache初始化  
8.11添加TLB模块，成功启动TLB-监控程序  
8.16操作启动失败，跳转指令出现错误

## 不足：

前期没有做好充分的调研，没有对设备进行检查  
对MIPS架构不熟悉，系统启动策略失误  
时间分配不合理，对比赛投入程度不够

# 感谢您的观看

演讲人：吴浩宇