



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчёт по лабораторной работе №1 по курсу «Архитектура ЭВМ»

Тема Проектирование систем на кристалле на основе ПЛИС

Студент Карпова Е.О.

Группа ИУ7-52Б

Преподаватель Дубровин Е.Н.

Москва — 2022 г.

Цель работы

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Практическая часть

Функциональная схема разрабатываемой системы на кристалле

Функциональная схема разрабатываемой системы на кристалле представлена на рисунке 1.



Рисунок 1 – Функциональная схема разрабатываемой системы на кристалле

Система на кристалле состоит из следующих блоков.

1. Микропроцессорное ядро Nios II/e выполняет функции управления системой.
2. Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
3. Системная шина Avalon обеспечивает связность всех компонентов системы.
4. Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внут-

ренный сигнал сброса синхронизирован и имеет необходимую для системы длительность.

5. Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
6. Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Создание нового модуля системы на кристалле QSYS

1. Был создан новый модуль Qsys.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сброса системы.
7. Сигналы TX и RX экспортированы во внешние порты.
8. Назначены базовые адреса устройств.

Итог выполненных действий показан на рисунке 2.

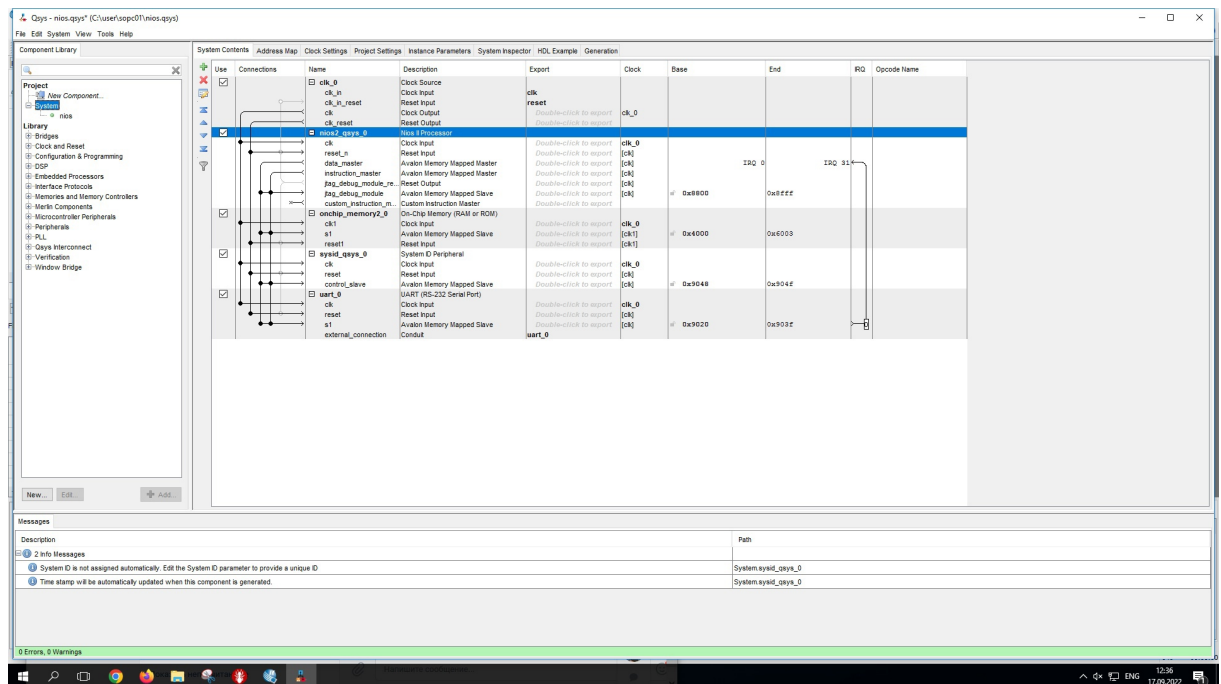


Рисунок 2 – Модуль Qsys

Назначение портами проекта контакты микросхемы

Назначены контакты в соответствии с таблицей из методических указаний.

Таблица представлена на рисунке 3

Сигнал	Контакт
clk	L1
reset	R22
uart0_rxd	F14
uart0_txd	G12

Рисунок 3 – Таблица из методических указаний

Был выполнен синтез проекта.

Результат представлен на рисунке 4.

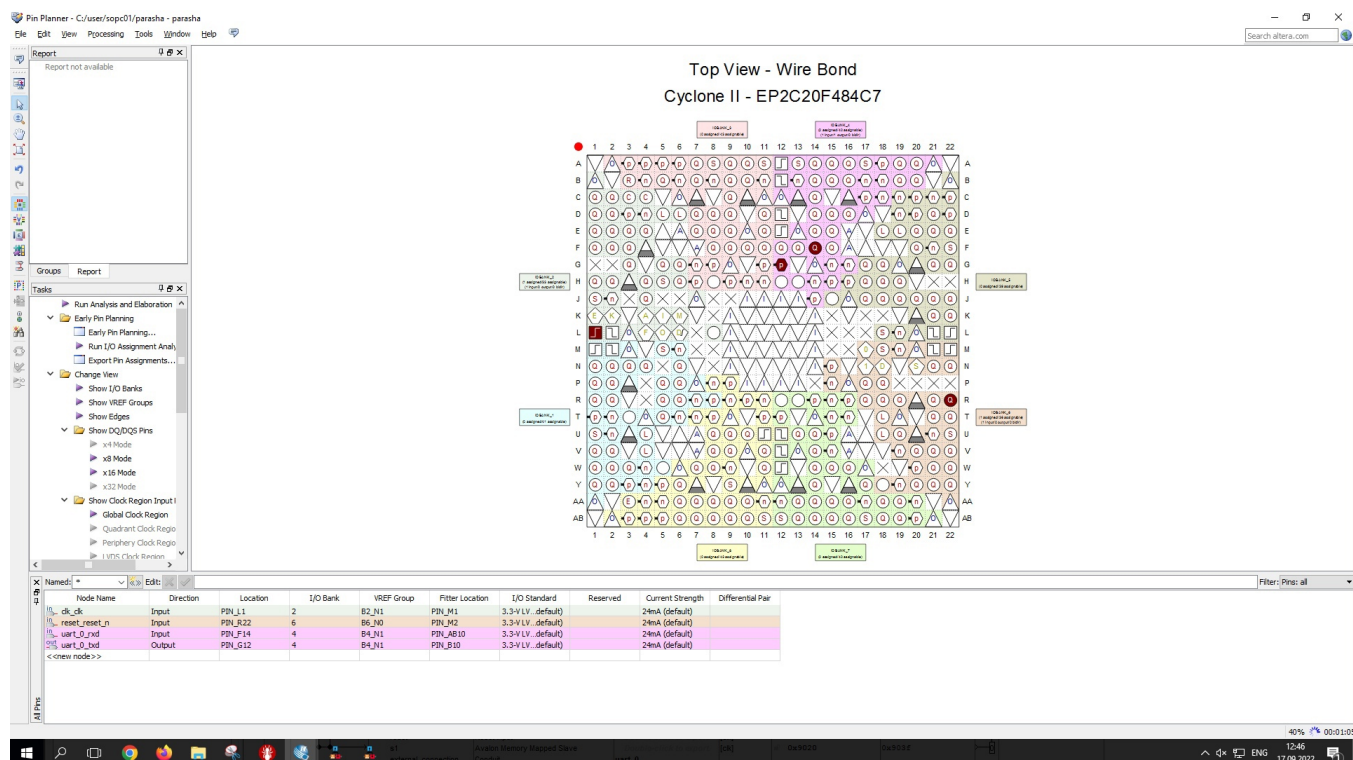


Рисунок 4 – Модуль Pin Planner

Создание проекта Nios2

В файле *hello_world_small.c* добавлен код эхо-программы приема-передачи по интерфейсу RS232.

Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

Результат представлен на рисунке 5.

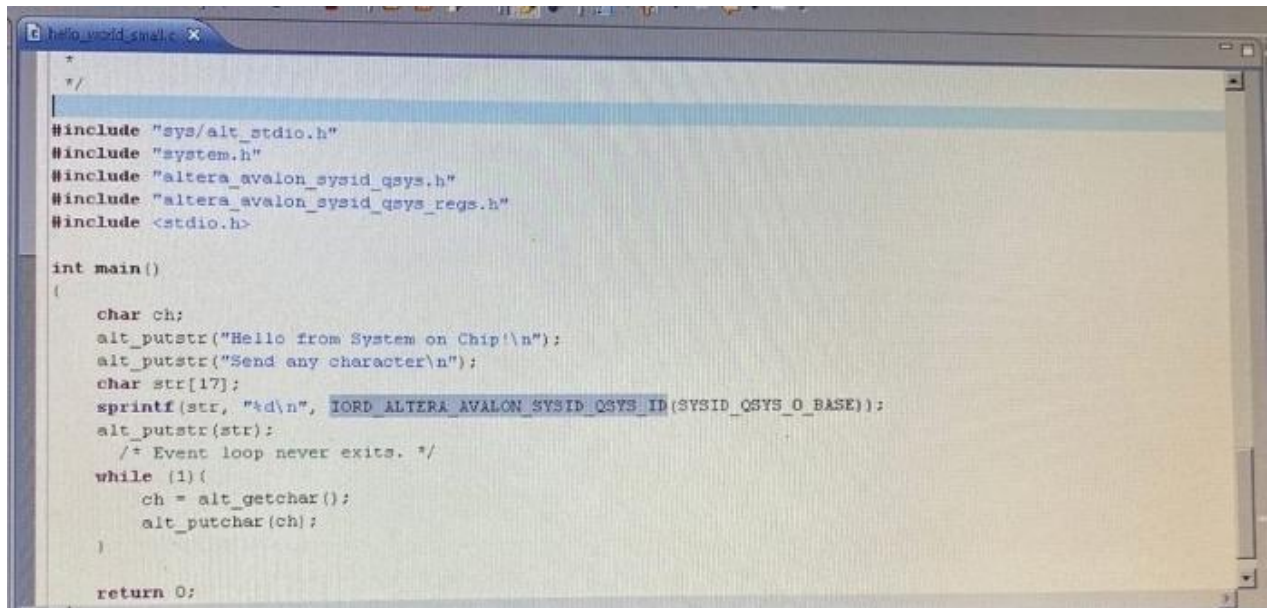


Рисунок 5 – Проект Nios2

Подключение к ПК отладочной платы с ПЛИС EPC2C20 и вывод необходимого сообщения на экран

К ПК была подключена отладочная плата с ПЛИС EPC2C20.

Была выполнена верификация проекта с использованием программы терминала. Доработан код проекта с использованием необходимых библиотек (представлены ниже).

```
#include" sys/alt_stdio.h"
```

```
#include" system.h"
```

```
#include" altera_avalon_sysid_qsys.h"
```

```
#include" altera_avalon_sysid_qsys_regs.h"
```

Доработанный код проекта, а также вывод сообщения с номером группы (52) представлены на рисунках 6 – 7.

Вывод

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.

Поставленная цель достигнута.