

Primera entrega PEC: Processador Inicial

Raúl Gilabert i Pol Saumell

1 Instruccions implementades

Funcionen totes les instruccions proposades fins l'etapa 5. Es poden veure en la documentació del processador en cadascun dels apartats *Instruccions*.

2 Controlador de memòria

Les senyals independents del protocol i que depenen de l'arquitectura de la memòria són:

- *SRAM_ADDR* pren el valor de l'adreça que li passem de la unitat de control però desplaçem un bit cap a l'esquerra.
- *SRAM_UB_N* aquest senyal val el bit més baix de l'adreça negat quan volem escriure un byte, o '0' quan no volem escriure.
- *SRAM_LB_N* aquest senyal val el bit més baix de l'adreça quan volem escriure un byte, o '0' quan no volem escriure.
- *SRAM_OE_N* sempre pren el valor de '0', ja que quan volem llegir ha d'estar a '0' i quan volem escriure ens es indiferent. Per tant, aquest senyal sempre està a '0'.
- *SRAM_CE_N* aquest senyal sempre està a '0'.
- *SRAM_DQ* està en alta impedància quan es vol llegir un valor, i quan es vols escriure se li fica la dada a escriure al bus.

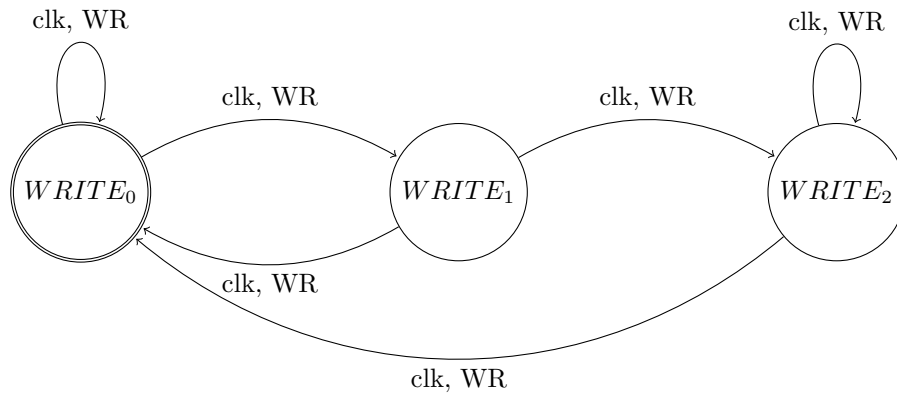


Figure 1: Automàta del controlador de SRAM.

Per poder llegir un valor de memòria només es passa pel primer estat, ja que el temps que requereix per llegir és només d'un cicle.

El controlador de memòria triga 3 cicles en escriure un valor en memòria, passant pels tres estats de l'automàta. Aquest procés és necessari per respectar els temps que requereix la memòria.