



รายงาน

Digital System Fundamentals Assignment 2561

เรื่อง Football table soccer game

จัดทำโดย

นายสุรพัค ไตรรัตนชาดา รหัสนักศึกษา 59011453

นายธนัตถ์ กระແลร์ รหัสนักศึกษา 60010421

นายธนัท แสงเพ็ม รหัสนักศึกษา 60010427

นายปวุฒิ ขวบุรินทร์ รหัสนักศึกษา 60010599

นายปิยังกูร วุฒิเจริญภรร รหัสนักศึกษา 60010621

นางสาววรรณลดา ฉินประลักษณ์ รหัสนักศึกษา 60010888

นักศึกษาชั้นปีที่ 2

เสนอ

รศ. ดร. เจริญ วงศ์ชุมเย็น

คณะวิศวกรรมศาสตร์ สาขาวิชา วิศวกรรมคอมพิวเตอร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

คะแนนที่ได้

Idea/Useful	Techniques	Completeness	Report/Clip	Present

คำนำ

รายงานวิชานี้เป็นส่วนหนึ่งของรายวิชา 01076006 Digital System Fundamentals ของนักศึกษาชั้นปีที่ 2 คณะวิศวกรรมศาสตร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยรายงานฉบับนี้เป็นรายละเอียดข้อมูลเกี่ยวกับการออกแบบการทำงานที่ประกอบไปด้วยวงจร TTL และ วงจรบน FPGA รวมถึง module ต่างๆ ให้ทำงานร่วมกัน โดยนำเกมกระดาน Table Soccer มาร่วมกับดิจิตอลเพื่อให้สามารถเล่นเกมนี้ได้ง่ายขึ้น แหล่งไม่ต้องมีคนอยู่บ้านเวลาให้

คณะผู้จัดทำหวังว่ารายงานเล่มนี้จะเป็นประโยชน์กับผู้อ่าน นักเรียนหรือนักศึกษาที่กำลังหาข้อมูลเกี่ยวกับเรื่องนี้อยู่ หากมีข้อแนะนำหรือข้อผิดพลาดประการใดผู้จัดทำขออนุญาตไว้และขออภัยมา ณ ที่นี้ด้วย

คณะผู้จัดทำ

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
ที่มาและความสำคัญ	1
วัตถุประสงค์	1
ขอบเขตของโครงการ	1
บทที่ 2 เอกสารที่เกี่ยวข้อง	
เกมฟุตบอลโต๊ะ	2
D flip flop	3
CB16CE	4
INV หรือ Not gate	5
And gate	5
Multiplexer	6
Comp4	7
Crash Sensor	8
บทที่ 3 วิธีการดำเนินงาน	
ขั้นตอนการดำเนินงาน	9
การศึกษาและรวบรวมข้อมูล	10
วัสดุและอุปกรณ์	11
บทที่ 4 ผลการดำเนินงาน	
ผลการดำเนินงานตามหัวข้อกำหนดเบื้องต้นและขอบเขตของโครงการ	

ขั้นตอนการใช้งานของระบบ

ผลการดำเนินงาน

บทที่ 5 สรุปผลการทำโครงการ

สรุปผลการดำเนินงาน

ปัญหาอุปสรรคและแนวทางการแก้ไข

Code ในการทำโปรแกรม

บรรณานุกรม

บทที่ 1

บทนำ

ที่มาและความสำคัญ

เนื่องจากได้เห็นว่าการเล่นเกมกระดาน Table Soccer นั้นจะมีการนับคะแนนและจับเวลาเองในการเล่นแต่ละรอบจึงได้เกิดการที่อยากรู้ว่าจะนำคิจิตอลมาร่วมกับเกมกระดานชนิดนี้เพื่อให้สามารถเล่นได้ง่ายขึ้น โดยที่ไม่ต้องจับเวลาและนับคะแนนเอง แหล่งยังเพิ่มการบันทึกคะแนนสูงสุดไว้ตลอดเมื่อยังมีการทำงานอยู่

วัตถุประสงค์

- เพื่อนำเนื้อหาที่ได้จากการเรียนการสอนมาประยุกต์ใช้ให้ได้ประโยชน์สูงสุด
- เพื่อศึกษาการใช้งานร่วมกันของวงจร TTL และ วงจรบน FPGA
- เพื่อฝึกฝนการทำงานในรูปแบบกลุ่ม

ขอบเขตของโครงการ

- ยื่นเอกสารข้อเสนอโครงการ ได้จนถึงหมดเขตส่งงาน (เอกสารข้อเสนอโครงการ คือ เอกสารที่อธิบายให้เข้าใจง่ายๆ และชัดเจนว่าจะทำอะไรบ้าง เช่น โปรดัชั่น)
- ประกอบไปด้วยทั้งวงจร TTL และวงจรบน FPGA ทำงานร่วมกัน
- สิ่งที่ต้องส่ง
 - การนำเสนอชิ้นงาน
 - เอกสารการออกแบบ (Design document)
 - เอกสารในรูปแบบไฟล์อิเล็กทรอนิกส์ทั้งหมด (Word, PDF and any)
 - วีดีโອแนน้ำชื่นงาน
 - นพท์โพสต์ลงเครือข่ายออนไลน์ที่เป็นสาธารณะ
- การให้คะแนน = เอกสารข้อเสนอโครงการ, เอกสารการออกแบบ, วีดีโอเดีย, เทคนิค, ความสมบูรณ์, วีดีโอ

บทที่ 2

เอกสารที่เกี่ยวข้อง

เกมฟุตบอลโต๊ะ

ฟุตบอล โต๊ะ (table football) หรือบางครั้งเรียก ฟุสบอล (foosball หรือ fussball) เป็นเกม จำลองการเล่นฟุตบอลบนโต๊ะ คิดค้นโดย อะเลกัน โดร ฟินิสเตร์雷 (Alejandro Finisterre) กวีชา สเปน ฟุตบอล โต๊ะเป็นกีฬาที่เล่นสองฝ่าย ฝ่ายละหนึ่งถึงสองคน โดยผู้เล่นแต่ละคนจะถือก้านที่ ควบคุมตัวผู้เล่นเพื่อทำการแตะลูกบอล ไปในทิศทางที่ต้องการ ให้ยิงลูกบอลเข้าสู่ประตูฝ่ายตรงข้าม กีฬานี้นิยมเล่นในร่ม และยังคงนิยมเล่นในตามพื้นที่สาธารณะ เช่น สถานที่ราชการและยุโรป อะเลกัน โดร คิดค้นเกมนี้ขึ้นในช่วงที่เขาได้รับบาดเจ็บจากกระเบิดในช่วงสงครามกลางเมือง สเปน เขายังคงความคิดที่ว่า คนจำนวนมากร่วมถึงเด็กที่อยู่ในโรงพยาบาลไม่สามารถที่จะเล่นฟุตบอล ได้ จึงได้เกิดความคิดพัฒนาเกมขึ้น โดยได้อาร์ดิเมียจากการเล่นปิงปอง (ซึ่งจำลองการเล่นเทนนิส บนพื้นโต๊ะ) อะเลกัน โดร ให้คำแนะนำ อัลตูนา (Javier Altuna) เพื่อนที่เป็นช่างไม้สร้าง โต๊ะฟุตบอล โต๊ะขึ้นเป็นครั้งแรก ต่อมาถึงแม้ว่าอเลกัน โดร ได้จดสิทธิบัตรผลงานนี้ในปี พ.ศ. 2480 แต่ได้ทำ เอกสารสิทธิบัตรสูญหาย ไประหว่างการหลบหนีการรัฐประหารลัทธิฟاشิสต์ในฝรั่งเศส



D flip flop

ดีฟลิปฟล็อป เป็นฟลิปฟล็อปที่ทำงานตามตารางสถานะถัดไปด้านล่าง ฟลิปฟล็อปชนิดนี้เป็นฟลิปฟล็อปที่ลูกนำมานำมากกว่าชนิดอื่น เพราะเข้าใจระบบการทำงานง่าย เนื่องจากดีฟลิปฟล็อปมีสถานะถัดไปเดียวกับอินพุตที่เข้ามา ฟลิปฟล็อปชนิดนี้จึงถูกนำมาใช้สร้างเป็นเรจิสเตอร์ และเครื่องสถานะจำกัดอื่นๆ

ตารางสถานะถัดไปของ杰คฟลิปฟล็อป

D	Q+
0	0
1	1

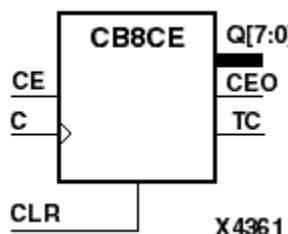
ตารางสถานะถัดไป

Q	Q+	D
0	0	0
1	0	0
0	1	1
1	1	1

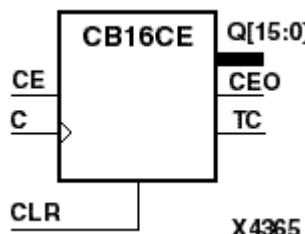
CB16CE

CB2CE, CB4CE, CB8CE, and CB16CE are, respectively, 2-, 4-, 8-, and 16-bit (stage), asynchronous, clearable, cascadable binary counters. The asynchronous clear (CLR) is the highest priority input. When CLR is High, all other inputs are ignored; the Q outputs, terminal count (TC), and clock enable out (CEO) go to logic level zero, independent of clock transitions. The Q outputs increment when the clock enable input (CE) is High during the Low-to-High clock (C) transition. The counter ignores clock transitions when CE is Low. The TC output is High when all Q outputs are High. Larger counters are created by connecting the CEO output of the first stage to the CE input of the next stage and connecting the C and CLR inputs in parallel. CEO is active (High) when TC and CE are High. The maximum length of the counter is determined by the accumulated CE-to-TC propagation delays versus the clock period. The clock period must be greater than $n(t_{CE-TC})$, where n is the number of stages and the time t_{CE-TC} is the CE-to-TC propagation delay of each stage. When cascading counters, use the CEO output if the counter uses the CE input; use the TC output if it does not. The counter is asynchronously cleared, outputs Low, when power is applied. For XC9500/XV/XL, CoolRunner XPLA3, and CoolRunner-II, the power-on condition can be simulated by applying a High-level pulse on the PRLD global net. Spartan-II, Spartan-IIE, Spartan-3, Virtex, Virtex-E, Virtex-II, Virtex-II Pro, and VirtexII Pro X simulate power-on when global set/reset (GSR) is active. GSR defaults to active-High but can be inverted by adding an inverter in front of the GSR input of the STARTUP_SPARTAN2, STARTUP_SPARTAN3, STARTUP_VIRTEX, or STARTUP_VIRTEX2 symbol

CB 8 CE



CB 16 CE



Logic Table for this

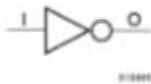
Inputs			Outputs		
CLR	CE	C	Qz-Q0	TC	CEO
1	X	X	0	0	0
0	0	X	No change	No change	0
0	1	↑	Inc	TC	CEO

$z = \text{bit width} - 1$
 $\text{TC} = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdots \cdot Q_0$
 $\text{CEO} = \text{TC} \cdot \text{CE}$

INV หรือ Not gate

Primitive: Inverter

INV



INVERTER

Not gate คือเกตที่ให้สัญญาณขาออกเป็นส่วนเดียวเดียวของสัญญาณขาเข้า หรือเป็นการลับค่าของสัญญาณขาเข้า เป็นความหมายเดียวกับบรรทัด "นิเตช" เกตนี้จะรับสัญญาณขาเข้าเพียงข้างเดียว มีคำดำเนินการคือ A (อ่านว่า not A หรือ A bar) ตารางค่าความจริงของเกต NOT เป็นดังนี้

A	\bar{A}
0	1
1	0

And gate

Primitive: 2-Input AND Gate with Non-Inverted Inputs

AND2

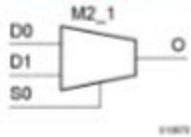


INPUT		OUTPUT
A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

The **AND gate** is a basic digital logic gate that implements logical conjunction - it behaves according to the truth table to the right. A HIGH output (1) results only if all the inputs to the AND gate are HIGH (1). If none or not all inputs to the AND gate are HIGH, a LOW output results. The function can be extended to any number of inputs.

Multiplexer

Macro: 2-to-1 Multiplexer



ST1007

This design element chooses one data bit from two sources (D1 or D0) under the control of the select input (S0). The output (O) reflects the state of the selected data input. When Low, S0 selects D0 and when High, S0 selects D1.

Logic Table

Inputs			Outputs
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

Comp4

Macro: 4-Bit Identity Comparator



ST1007

This design element is a 4-bit identity comparator. The equal output (EQ) is high when A3 : A0 and B3 : B0 are equal.

Equality is determined by a bit comparison of the two words. When any two of the corresponding bits from each word are not the same, the EQ output is Low.

Crash Sensor

- Outline

It is used for detecting collision. Therefore it can also be called collision signal sensor.

Due to different collision direction, we can divide Microduino-Crash into left-Crash and right-Crash. Crash switch can turn mechanical quantity to electricity. When this sensor collided with an object, it'll cause circuit switch close. So, the circuit loop will be opened, the LED will be lightened and the voltage between the two sides of the sensor will turn high level to low.

Microduino-Crash judges collision by detecting the electrical level between its two sides. It can be used in limit and anti-collision such as 3D print motor limit switch and robot anti collision.



- Specification

- Electrical specification
- Operation voltage: 5V
- Input device
- Tech parameters
- Pin description: GND, VCC, signal input and NC(Empty).
- Digital input
- Size
- Size of the Switch: 12mm*6mm
- Size of the Board: 20mm*20mm
- 1.27mm-pitch 4Pin interface connected with Sensorhub
- Connection method

Include left-crash and right-crash

บทที่ 3

วิธีการดำเนินงาน

ขั้นตอนการดำเนินงาน

1. ศึกษาและรวบรวมข้อมูลเนื้อหาที่สนใจเกี่ยวกับเนื้อหาที่ได้ศึกษา เช่น ตัวอย่างโครงการที่น่าสนใจ เพื่อมาเป็นแนวคิดในการคิดทำงานโครงการ และนำมามะประยุกต์ใช้ในการออกแบบการทำงานร่วมกันของวงจร TTL และ วงจรบน FPGA
2. นำเนื้อหาและแนวคิด โครงการที่ได้คิดกันมาปรึกษาหารือกันในกลุ่มว่าจะประยุกต์ใช้ในการออกแบบการทำงานร่วมกันของวงจร TTL และ วงจรบน FPGA
3. นำโครงการที่ได้ออกแบบแล้วมาทำเอกสารข้อเสนอโครงการ เพื่ออธิบายการทำงานของโครงการว่าทำอะไรบ้าง ไปนำเสนออาจารย์
4. เมื่อเสนอโครงการผ่านแล้ว ก็เริ่มทำการทดสอบการทำงานของโปรแกรม การต่อวงจร และแก้ไขปัญหาต่างๆที่เกิดขึ้น แล้วให้สำเร็จตามเป้าหมายที่คาดไว้
5. จัดทำเอกสารเพื่อนำเสนอรูปแบบของการทำงานของวงจรที่ได้ทำในโครงการนี้ เพื่อเป็นเอกสารประกอบการนำเสนออาจารย์
6. สรุปการดำเนินงานทั้งหมด

การศึกษาและรวบรวมข้อมูล

1. ศึกษาและรวบรวมข้อมูลเนื้อหาที่สนใจเกี่ยวกับเนื้อหาที่ได้ศึกษา เช่น ตัวอย่างโครงการที่น่าสนใจ เพื่อมาเป็นแนวคิดในการคิดทำงานโครงการ
2. ศึกษาการใช้งานของอุปกรณ์ต่างๆที่นำมาใช้ในโครงการว่านำมาใช้อย่างไร มีผลที่แสดงออกมาเป็นยังไง
3. เนื่องจากจำนวน Pin ในบอร์ด FPGA ไม่เพียงพอในการทำงาน กลุ่มของเราวางเลือกที่ใช้บอร์ดในการทำงานสองบอร์ด
4. ในการออกแบบจึงแบ่งโปรแกรม ออกแบบสองโปรแกรม เพื่อใช้ทำงานในแต่ละบอร์ด วัสดุและอุปกรณ์
 1. Resistor ขนาด 4.7k จำนวน 4 ตัว

2. crash sensor จำนวน 2 ตัว



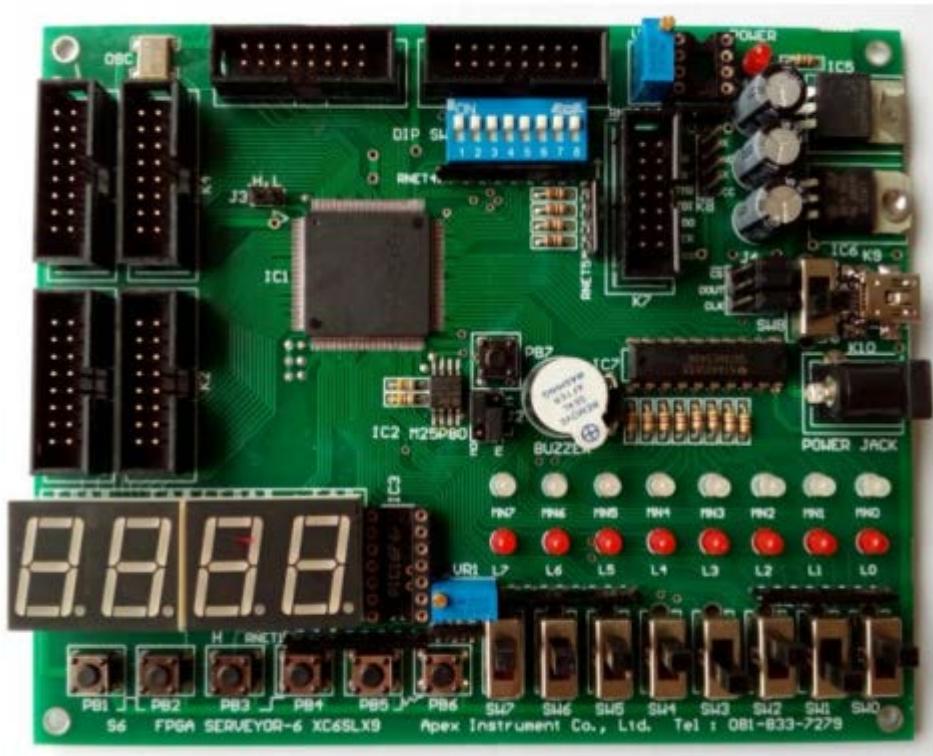
3. 2 digit 7 segment common cathode จำนวน 2 ตัว



4. 4 digit 7 segment common cathode จำนวน 1 ตัว



5. FPGA จำนวน 2 ตัว



บทที่ 4

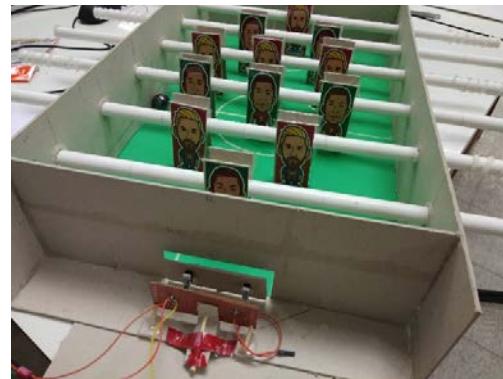
ผลการดำเนินงาน

การจัดทำโครงงานมีผลการดำเนินงาน ดังนี้

ผลการดำเนินงานตามหัวข้อกำหนดเบื้องต้นและขอบเขตของโครงงาน

- ยื่นเอกสารข้อเสนอโครงการ ได้เงินถึงหมวดส่งงาน (เอกสารข้อเสนอโครงการ คือ เอกสารที่อธิบายให้เข้าใจง่ายๆ และชัดเจนว่าจะทำอะไรบ้าง เช่น โปรดชาร์ต)
- ประกอบไปด้วยทั้งวงจร TTL และวงจรบน FPGA ทำงานร่วมกัน





- สิ่งที่ต้องส่ง

1. การนำเสนอชีนงาน
2. เอกสารการออกแบบ (Design document)
3. เอกสารในรูปแบบไฟล์อิเล็กทรอนิกส์ทั้งหมด (Word, PDF and any)
4. วิดีโอแนะนำชีนงานที่โพสลงเครือข่ายออนไลน์ที่เป็นสาธารณะ

ขั้นตอนการใช้งานของระบบ

1. กดปุ่มเพื่อเริ่มการทำงานของการจับเวลาและนับคะแนนเมื่อยิงลูกบล็อกเข้าฝ่ายตรงข้าม
2. เมื่อเวลาจบจะไม่นับคะแนน แต่จะแสดงผลชนะของผู้เล่น
3. หลังจากแสดงผลชนะจะบันทึกคะแนนสูงสุดที่ทำประตูได้แล้วจะแสดงในหน้าจอทึ้งไว้ จนกว่าจะกดเริ่มเล่นอีกรอบ
4. สามารถกดปุ่มรีเซ็ตเพื่อหยุดการเล่นได้ ในระหว่างที่จับเวลา

บทที่ ๕

สรุปผลการทำโครงการ

สรุปผลการดำเนินงาน

ได้นำง่วงจารคิจitolมาร่วมกับเกมกระดาน โต๊ะฟูดบอล ได้สำเร็จ โดยที่สามารถกดปุ่มเพื่อเริ่มเกม ได้ โดยจะจับเวลาและนับคะแนนเมื่อยิงฝ่ายตรงข้าม ได้เมื่อหมดเวลาจึงจะ โชว์ผู้ชนะ และจะบันทึกคะแนนของผู้สูงสุด ไว้ในแต่ละรอบ ซึ่งออกแบบมาให้สามารถนำไปเป็นเกมตู้เหมือนที่อยู่ตามห้างได้นั้นเอง

ปัญหาอุปสรรคและแนวทางการแก้ไข

เกิดปัญหาที่ตัว FPGA ไม่สามารถต่อเข้ากับ 7 Segment ได้ทุกตัวจึงต้องใช้ FPGA 2 ตัวในการต่อ กับ 7 Segment สามารถแก้ปัญหาได้โดยการใช้ Common ร่วมกันทั้งหมด

ข้อเสนอแนะ

สามารถนำไปพัฒนาต่อจนสามารถเป็นเกมที่สามารถตั้งตามห้างเพื่อขายหรือเล่นเกมได้โดยการใส่เซ็นเซอร์ทั่วหยดหรือเพิ่มเพื่อให้สามารถกดปุ่มเริ่มเกมได้นั้นเอง

บรรณานุกรม

กรมตีชพุตบอล. (2561). [ออนไลน์]. เข้าถึงได้จาก :

<https://th.wikipedia.org/wiki/%E0%B8%9F%E0%B8%B8%E0%B8%95%E0%B8%9A%E0%B8%AD%E0%B8%A5%E0%B9%82%E0%B8%95%E0%B9%8A%E0%B8%B0>. (วันที่ค้นข้อมูล : 20 ธันวาคม 2561)

Crash Sensor. (2561). [ออนไลน์]. เข้าถึงได้จาก :

http://wiki.microduinoinc.com/The_Use_of_Crash_Sensor (วันที่ค้นข้อมูล : 20 ธันวาคม 2561)

Pulse Width Modulation (PWM). (2561). [ออนไลน์]. เข้าถึงได้จาก :

<https://www.thitiblog.com/blog/6142>. (วันที่ค้นข้อมูล : 16 ธันวาคม 2561)

Logic gate

<https://th.wikipedia.org/wiki/%E0%B8%A5%E0%B8%AD%E0%B8%88%E0%B8%B4%E0%B8%81%E0%B9%80%E0%B8%81%E0%B8%95>

Symbol info in ISE Xiling