



دانشگاه صنعتی شریف
دانشکده مهندسی کامپیوتر
سمینار کارشناسی ارشد گرایش معماری کامپیوتر

عنوان:

مدیریت دما در سامانه‌های بحرانی-مختلط چند هسته‌ای تحمل‌پذیر اشکال
Thermal Management in Fault-Tolerant Mixed-Criticality Multicore Systems

نگارش:

پوریا گوهری

۹۷۰۰۰۰۰

استاد راهنما:

دکتر شاهین حسابی

استاد ممتحن داخلی:

دکتر علیرضا اجلائی

چکیده: لورم ایپسوم متن ساختگی با تولید سادگی نامفهوم از صنعت چاپ و با استفاده از طراحان گرافیک است. چاپگرها و متون بلکه روزنامه و مجله در ستون و سطرآنچنان که لازم است و برای شرایط فعلی تکنولوژی مورد نیاز و کاربردهای متنوع با هدف بهبود ابزارهای کاربردی می باشد. کتابهای زیادی در شصت و سه درصد گذشته، حال و آینده شناخت فراوان جامعه و متخصصان را می طلبد تا با نرم افزارها شناخت بیشتری را برای طراحان رایانه ای علی الخصوص طراحان خلاق و فرهنگ پیشرو در زبان فارسی ایجاد کرد. در این صورت می توان امید داشت که تمام و دشواری موجود در ارائه راهکارها و شرایط سخت تایپ به پایان رسد و زمان مورد نیاز شامل حروفچینی دستاوردهای اصلی و جوابگوی سوالات پیوسته اهل دنیای موجود طراحی اساسا مورد استفاده قرار گیرد.

واژه‌های کلیدی: سامانه‌های بحرانی-مختلط، بسترهای چندهسته‌ای، تحمل‌پذیری اشکال، مدیریت دما

۱ مقدمه

لورم ایپسوم متن ساختگی با تولید سادگی نامفهوم از صنعت چاپ و با استفاده از طراحان گرافیک است. چاپگرها و متون بلکه روزنامه و مجله در ستون و سطرآنچنان که لازم است و برای شرایط فعلی تکنولوژی مورد نیاز و کاربردهای متنوع با هدف بهبود ابزارهای کاربردی می باشد. کتابهای زیادی در شصت و سه درصد گذشته، حال و آینده شناخت فراوان جامعه و متخصصان را می طلبد تا با نرم افزارها شناخت بیشتری را برای طراحان رایانه ای علی الخصوص طراحان خلاق و فرهنگ پیشرو در زبان فارسی ایجاد کرد. در این صورت می توان امید داشت که تمام و دشواری موجود در ارائه راهکارها و شرایط سخت تایپ به پایان رسد و زمان مورد نیاز شامل حروفچینی دستاوردهای اصلی و جوابگوی سوالات پیوسته اهل دنیای موجود طراحی اساسا مورد استفاده قرار گیرد.

لورم ایپسوم متن ساختگی با تولید سادگی نامفهوم از صنعت چاپ و با استفاده از طراحان گرافیک است. چاپگرها و متون بلکه روزنامه و مجله در ستون و سطرآنچنان که لازم است و برای شرایط فعلی تکنولوژی مورد نیاز و کاربردهای متنوع با هدف بهبود ابزارهای کاربردی می باشد. کتابهای زیادی در شصت و سه درصد گذشته، حال و آینده شناخت فراوان جامعه و متخصصان را می طلبد تا با نرم افزارها شناخت بیشتری را برای طراحان رایانه ای علی الخصوص طراحان خلاق و فرهنگ پیشرو در زبان فارسی ایجاد کرد. در این صورت می توان امید داشت که تمام و دشواری موجود در ارائه راهکارها و شرایط سخت تایپ به پایان رسد و زمان مورد نیاز شامل حروفچینی دستاوردهای اصلی و جوابگوی سوالات پیوسته اهل دنیای موجود طراحی اساسا مورد استفاده قرار گیرد.

۲ بررسی کارهای مرتبط پیشین

تمرکز اصلی این پژوهش بر ارائه‌ی روش زمان‌بندی آگاه از دمای سطح تراشه و قابلیت اطمینان در سامانه‌های بحرانی-مختلط چند هسته‌ای همگن است. با توجه به آنکه سامانه‌های نهفته‌ی بحرانی-مختلط نوع ارتقاء یافته‌ای از سامانه‌های نهفته‌ی بحرانی-ایمن هستند [۱]، در این بخش سعی می‌شود به بررسی برخی کارهای مرتبط با این پژوهش و سامانه‌های بحرانی-مختلط در حوزه‌ی سامانه‌های بحرانی-ایمن نیز پرداخته شود. به همین منظور در ابتدا به بررسی کارهای پیشین در حوزه‌ی نگاشت و زمان‌بندی وظایف در سامانه‌های بحرانی-مختلط پرداخته می‌شود سپس به بررسی کارهای پیشین در حوزه‌ی تحمل‌پذیری اشکال در سامانه‌های بحرانی-ایمن و بحرانی-مختلط پرداخته می‌شود و در انتها به بررسی پژوهش‌های حوزه‌ی مدیریت دما و سقف توان پرداخته می‌شود.

جدول ۲-۱: جمع‌بندی و مقایسه روش‌های پیشین

روش	بستر	مدیریت دما/سقف توان	مدل سامانه	تحمل‌پذیری اشکال	مدل وظایف
[۲][۳][۴][۵]	تک‌هسته‌ای	×	بحرانی-مختلط	×	پراکنده
[۶]	تک‌هسته‌ای	×	بحرانی-مختلط	×	متناوب
[۷]	چندهسته‌ای	×	بحرانی-مختلط	×	پراکنده
روش پیشنهادی	چندهسته‌ای	✓	بحرانی-مختلط	افزونی چندپیمانه‌ای	گراف-متناوب

۱-۲ نداشت و زمان بندی وظایف در سامانه های بحرانی-مختلط

۲-۲ تحمل پذیری اشکال در سامانه های بحرانی-مختلط

۳-۲ مدیریت سقف توان مصرفی و حداکثر دمای سطح تراشه

۳ راهکار پیشنهادی

لورم ایپسوم متن ساختگی با تولید سادگی نامفهوم از صنعت چاپ و با استفاده از طراحان گرافیک است. چاپگرها و متون بلکه روزنامه و مجله در ستون و سطرآنچنان که لازم است و برای شرایط فعلی تکنولوژی مورد نیاز و کاربردهای متنوع با هدف بهبود ابزارهای کاربردی می باشد. کتابهای زیادی در شصت و سه درصد گذشته، حال و آینده شناخت فراوان جامعه و متخصصان را می طلبد تا با نرم افزارها شناخت بیشتری را برای طراحان رایانه ای علی الخصوص طراحان خلاقی و فرهنگ پیشرو در زبان فارسی ایجاد کرد. در این صورت می توان امید داشت که تمام و دشواری موجود در ارائه راهکارها و شرایط سخت تایپ به پایان رسد و زمان مورد نیاز شامل حروفچینی دستاوردهای اصلی و جوابگوی سوالات پیوسته اهل دنیای موجود طراحی اساسا مورد استفاده قرار گیرد.

لورم ایپسوم متن ساختگی با تولید سادگی نامفهوم از صنعت چاپ و با استفاده از طراحان گرافیک است. چاپگرها و متون بلکه روزنامه و مجله در ستون و سطرآنچنان که لازم است و برای شرایط فعلی تکنولوژی مورد نیاز و کاربردهای متنوع با هدف بهبود ابزارهای کاربردی می باشد. کتابهای زیادی در شصت و سه درصد گذشته، حال و آینده شناخت فراوان جامعه و متخصصان را می طلبد تا با نرم افزارها شناخت بیشتری را برای طراحان رایانه ای علی الخصوص طراحان خلاقی و فرهنگ پیشرو در زبان فارسی ایجاد کرد. در این صورت می توان امید داشت که تمام و دشواری موجود در ارائه راهکارها و شرایط سخت تایپ به پایان رسد و زمان مورد نیاز شامل حروفچینی دستاوردهای اصلی و جوابگوی سوالات پیوسته اهل دنیای موجود طراحی اساسا مورد استفاده قرار گیرد.

۱-۳ مدل سامانه

مدل سخت افزار: در این پژوهش از بسترهای چند هسته ای با هسته های همگن استفاده می شود. در این مدل هر هسته به صورت مستقل می تواند ولتاژ و فرکانس خود را تغییر دهد. پردازنده ی اکسینوس ۴۴۱۵^۱ با چهار هسته ی مبتنی بر معماری آرم^۲ از خانواده ی Cortex-A9 نمونه ای از این بسترها است. در مدل پیشنهادی هسته های پردازنده با مجموعه ی $\{p_1, p_2, p_3, \dots\}$ نشان داده می شود. در این پژوهش فرض می شود هر هسته قابلیت استفاده از سطوح مشخص ولتاژ و فرکانس را دارد. این ولتاژها و فرکانس ها به صورت مجموعه ی $\{(v_1, f_1), (v_2, f_2), (v_3, f_3), \dots\}$ نشان داده می شود. دمای فعال سازی سامانه پویای مدیریت گرمای پردازنده یا به عبارتی حداکثر دمای امن پردازنده با T_{DTM} نشان داده می شود.

$$V_i = \rho_i V_{max} (\rho_{min} < \rho_i < \rho_{max} = 1) \quad (1)$$

در رابطه ی فوق ρ_i ضریب تغییر^۳ ولتاژ است.

۲-۳ تأمین شرایط قابلیت اطمینان و تحمل پذیری اشکال

همان گونه که گفته شد یکی از مهم ترین نیازمندی های سامانه های بحرانی-مختلط قابلیت اطمینان است. زمان بندی چندین نسخه از یک وظیفه بر روی هسته های مختلف احتمال اینکه حداقل یکی از آن ها به درستی اجرا شوند را بالا می برد و در نتیجه باعث بالا رفتن قابلیت اطمینان سامانه می شود [۸]. به همین منظور در این پژوهش با توجه به سطح قابلیت اطمینان مورد نیاز و حداکثر تعداد اشکالی که باید بر روی یک وظیفه تحمل شود، تعداد افزونگی مورد نیاز برای سامانه تعیین می شود. در ادامه برای هر وظیفه سعی می شود ولتاژ و فرکانس اجرا به گونه ای انتخاب شود که قابلیت اطمینان مورد نیاز وظیفه حفظ شود. مطابق الگوریتم ۱ در ابتدا سطوح ولتاژ و فرکانس پردازنده را از کوچک به بزرگ مرتب می کنیم (خط ۲). سپس برای هر زوج ولتاژ و فرکانس از کوچک به بزرگ قابلیت اطمینان وظیفه را مطابق رابطه ی ۴ محاسبه می کنیم. اگر قابلیت اطمینان محاسبه شده بزرگ تر یا مساوی قابلیت اطمینان مورد نیاز باشد، زوج ولتاژ و فرکانس استفاده شده برای محاسبه ی قابلیت اطمینان، به عنوان کوچک ترین ولتاژ و فرکانسی که قابلیت اطمینان وظیفه را حفظ می کند برگردانده می شود (خطوط ۳ تا ۶). در صورتی که هیچ یک از سطوح ولتاژ و فرکانس پردازنده نتواند قابلیت اطمینان وظیفه را برآورده کند، زمان بندی سامانه غیر عملی^۴ است (خط ۸).

Input: τ_i : Task, R_i : Min. Reliability of τ_i , (v, f) : processor voltage & frequency levels

Output: (v_i, f_i) : min. voltage and frequency that keep reliability of τ_i

```

1: function FINDMINVF( $\tau_i, R_i, (v, f)$ )
2:   Sort( $(v, f)$ )                                     ▷ Sorting volt. & freq. array Ascending
3:   for all  $(v_j, f_j)$  of Processor do
4:     if CalculateReliability( $\tau_i, f_i, v_i$ )  $\geq R_i$  then
5:       return  $(f_i, v_i)$ 
6:     end if
7:   end for
8:   return infeasible
9: end function

```

۳-۳ تعیین حداکثر هسته‌های فعال همزمان برای هر وظیفه

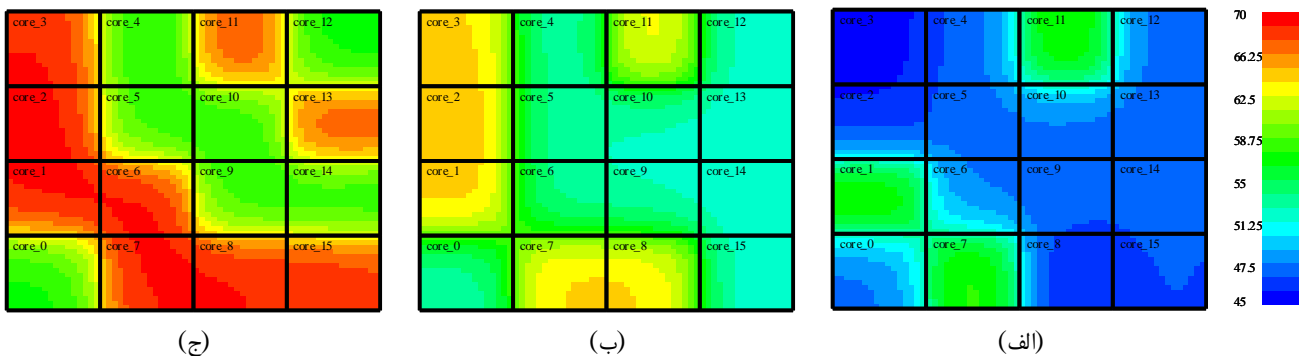
برای نگه‌داشتن دمای تراشه کمتر از دمای مشخصی لازم است که حداکثر توان مصرفی هر هسته با توجه به شرایط تراشه در هر لحظه مشخص شود. استفاده از همه‌ی هسته‌های یک تراشه بدون در نظر گرفتن شرایط می‌تواند موجود نقض حداکثر دمای امن تراشه شود. به عنوان مثال در شکل ۱-۳ یک پردازنده‌ی شانزده هسته‌ای در نظر گرفته شده‌است. همان‌گونه که در شکل دیده می‌شود افزایش تعداد هسته‌های فعال بدون کاهش ولتاژ و فرکانس هسته‌ها می‌تواند افزایش چشم‌گیری در دمای سطح تراشه ایجاد کند.

۴ نتایج ارزیابی

در این بخش، رویکرد زمان‌بندی آگاه از دمای سطح تراشه و قابلیت اطمینان به کمک شبیه‌سازی مورد ارزیابی قرار می‌گیرد. در این پژوهش از شبیه‌سازهای [۹]gem5، [۱۰]McPAT و [۱۱]HotSpot برای ارزیابی روش پیشنهادی استفاده می‌شود. همچنین در شبیه‌سازی‌های انجام شده از بسته محک^۵ MiBench [۱۲] برای مدل‌سازی کاربردهای واقعی استفاده شده است.

۵ نتیجه‌گیری و کارهای آتی

در این پژوهش سعی بر آن است که راه حلی برای مشکل افزایش دمای سطح تراشه که باعث بوجود آمدن مشکلاتی در زمینه‌ی رعایت قیود قابلیت اطمینان و بی‌درنگی سامانه‌های بحرانی-مختلط می‌شود، ارائه شود. همان‌گونه که دیده شد استفاده‌ی غیر اصولی از تمام هسته‌های یک تراشه با حداکثر فرکانس و ولتاژ، می‌تواند اثرات جانبی بسیاری برای سامانه داشته باشد. در این راستا یک روش آگاه از دمای سطح تراشه که قابلیت تحمل‌پذیری اشکال نیز داشته باشد می‌تواند کمک بسزایی به حفظ قابلیت اطمینان کند. در این پژوهش در ابتدا برای هر وظیفه حداقل ولتاژ و فرکانسی که قابلیت اطمینان را حفظ کنند، تعیین شد. در ادامه مفهومی به نام حداکثر هسته‌های فعال همزمان برای هر وظیفه بر اساس سقف توان مصرفی هر وظیفه با ولتاژ و فرکانسی که در مرحله‌ی قبل تعیین شد، بدست آمد و در ادامه زمان‌بندی نهایی بر اساس این فاکتور و روش تحمل‌پذیری اشکال چندپیمانه‌ای



شکل ۳-۱: بررسی تأثیر تعداد هسته‌های فعال بر دمای تراشه (الف) سه هسته‌ی فعال (ب) شش هسته‌ی فعال (ج) نه هسته‌ی فعال

ارائه گردید. در کارهای آتی تلاش می‌شود تا کیفیت خدمات تا حد امکان افزایش یابد و مشکلات احتمالی روش پیشنهادی برطرف گردد و همچنین مقایسه‌ی کامل‌تری با کارهای موجود در این زمینه ارائه گردد. جدول ۵-۱ زمان‌بندی کارهای صورت گرفته و آتی را نشان می‌دهد:

جدول ۵-۱: مراحل انجام پروژه و زمان‌بندی آن

فعالیت		زمان		خرداد	تیر	مرداد	شهریور	مهر	آبان	آذر	دی	بهمن	اسفند	فروردین	اردیبهشت	خرداد	تیر	مرداد
مطالعه و تحلیل کارهای پیشین		✓	✓	✓	✓	✓	✓											
ارائه‌ی روش پیشنهادی			✓	✓	✓	✓												
پیاده‌سازی روش پیشنهادی								✓	✓	✓								
ارزیابی کارهای پیشین								✓	✓	✓	✓							
ارزیابی روش پیشنهادی									✓	✓	✓	✓						
پیاده‌سازی کارهای آتی و ارزیابی آن											✓	✓	✓	✓	✓		✓	
نگارش پایان‌نامه																✓	✓	
آمادگی و دفاع از پایان‌نامه																		✓

- [1] S. Baruah, V. Bonifaci, G. D'Angelo, H. Li, A. Marchetti-Spaccamela, N. Megow, and L. Stougie, "Scheduling real-time mixed-criticality jobs," *IEEE Transactions on Computers*, vol.61, pp.1140–1152, aug 2012.
- [2] S. Baruah and S. Vestal, "Schedulability Analysis of Sporadic Tasks with Multiple Criticality Specifications," in *2008 Euromicro Conference on Real-Time Systems*, (Prague), pp.147–155, IEEE, jul 2008.
- [3] S. Vestal, "Preemptive Scheduling of Multi-criticality Systems with Varying Degrees of Execution Time Assurance," in *28th IEEE International Real-Time Systems Symposium (RTSS 2007)*, (Tucson, Arizona, USA), pp.239–243, IEEE, dec 2007.
- [4] S. Baruah, V. Bonifaci, G. D'angelo, H. Li, A. Marchetti-Spaccamela, S. Van Der Ster, and L. Stougie, "Preemptive Uniprocessor Scheduling of Mixed-Criticality Sporadic Task Systems," *Journal of the ACM*, vol.62, pp.1–33, may 2015.
- [5] P. Ekberg and W. Yi, "Bounding and shaping the demand of generalized mixed-criticality sporadic task systems," *Real-Time Systems*, vol.50, pp.48–86, jan 2014.
- [6] H. Su and D. Zhu, "An Elastic Mixed-Criticality Task Model and Its Scheduling Algorithm," in *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2013, (New Jersey), pp.147–152, IEEE Conference Publications, 2013.
- [7] H. Li and S. Baruah, "Outstanding Paper Award: Global Mixed-Criticality Scheduling on Multiprocessors," in *2012 24th Euromicro Conference on Real-Time Systems*, (Pisa, Italy), pp.166–175, IEEE, jul 2012.
- [8] R. M. Pathan, "Fault-tolerant and real-time scheduling for mixed-criticality systems," *Real-Time Systems*, vol.50, pp.509–547, jul 2014.
- [9] N. Binkert, B. Beckmann, G. Black, S. K. Reinhardt, A. Saidi, A. Basu, J. Hestness, D. R. Hower, T. Krishna, S. Sardashti, *et al.*, "The gem5 simulator," *ACM SIGARCH Computer Architecture News*, vol.39, no.2, pp.1–7, 2011.
- [10] S. Li, J. H. Ahn, R. D. Strong, J. B. Brockman, D. M. Tullsen, and N. P. Jouppi, "Mcpat: an integrated power, area, and timing modeling framework for multicore and manycore architectures," in *Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture*, pp.469–480, ACM, 2009.
- [11] W. Huang, S. Ghosh, S. Velusamy, K. Sankaranarayanan, K. Skadron, and M. R. Stan, "Hotspot: A compact thermal modeling methodology for early-stage vlsi design," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.14, no.5, pp.501–513, 2006.
- [12] M. R. Guthaus, J. S. Ringenberg, D. Ernst, T. M. Austin, T. Mudge, and R. B. Brown, "Mibench: A free, commercially representative embedded benchmark suite," in *Proceedings of the Fourth Annual IEEE International Workshop on Workload Characterization. WWC-4 (Cat. No. 01EX538)*, pp.3–14, IEEE, 2001.

واژه‌نامه

Infeasible ¶	ARM ¶	
Benchmark ∆	Scale ¶	Exynos4415 ¶