

Convocatoria Abierta - Silicluste 2025

¿Diseñas en Verilog? ¿Te gustaría ver tu proyecto fabricado en silicio real?

Esta es tu oportunidad de formar parte de Silicluste, un chip colaborativo que reunirá módulos digitales sencillos diseñados por la comunidad.

¿Quién puede participar?

Estudiantes, makers, docentes, ingenieros, autodidactas... ¡Todos son bienvenidos!

La participación es completamente gratuita.

Envía tu módulo Verilog a: silicluste@gmail.com

Fecha límite: Domingo 3 de agosto de 2025

Tu envío debe incluir:

- Archivo .v del módulo
- PDF con:
 - * Tu nombre completo (para los créditos)
 - * Nombre del proyecto
 - * Descripción breve de su funcionamiento
 - * Diagrama de bloques o tabla de verdad (si aplica)
- Testbench funcional que permita validar el módulo

Este testbench será clave para que podamos verificar tu diseño cuando regrese fabricado en silicio.

Especificaciones del módulo:

- Área máxima: 150 x 150 um

- Hasta 10 entradas, 10 salidas
- 1 señal de reloj
- Lenguaje: Verilog 2005
- Sin bucles (for, generate, etc.)

Ejemplos de proyectos válidos:

- * Sumador de 8 bits
- * Contador binario
- * Mux 4:1
- * Codificador / decodificador
- * LFSR
- * Detector de secuencia
- * FSM sencilla

No es un concurso.

Si tu módulo cumple con las reglas, ¡lo incluimos en el chip!

Al finalizar, publicaremos los resultados en redes y cada diseño será acreditado a su autor o equipo.

¿Dudas? Escribe a: siliccluster@gmail.com

¡Haz historia en el diseño digital mexicano y latinoamericano con Siliccluster!