

# Convocatoria Abierta - Siliccluster 2025

## Version en Espanol

¿Diseñas en Verilog? ¿Te gustaría ver tu proyecto fabricado en silicio real?

Esta es tu oportunidad de formar parte de Siliccluster, un chip colaborativo que reunirá módulos digitales sencillos diseñados por la comunidad.

¿Quién puede participar?

Estudiantes, makers, docentes, ingenieros, autodidactas... ¡Todos son bienvenidos!

Participación 100% gratuita.

Envía tu módulo a: [siliccluster@gmail.com](mailto:siliccluster@gmail.com)

Fecha límite: Domingo 3 de agosto de 2025

Tu envío debe incluir:

- Archivo `.v`` con el código Verilog del módulo
- Archivo `.pdf`` con:
  - Tu nombre completo (para créditos)
  - Nombre del proyecto
  - Descripción breve de su funcionamiento
  - Diagrama de bloques o tabla de verdad (si aplica)
  - Testbench funcional para validar el módulo

ADVERTENCIA: El testbench es clave para verificar tu diseño una vez fabricado.

Especificaciones del módulo:

- Área máxima:  $150 \times 150 \mu\text{m}$
- Máximo 10 entradas, 10 salidas
- 1 señal de reloj
- Verilog 2005
- Sin bucles (``for``, ``generate``, etc.)
- Tecnología de fabricación: PDK de Sky130

- Estimación: ~500 compuertas lógicas máximo

Ejemplos válidos:

- Sumador de 8 bits
- Contador binario
- Mux 4:1
- LFSR
- Codificador/decodificador
- Detector de secuencia
- FSM sencilla

No es un concurso: si tu módulo cumple con las reglas, ¡lo incluimos en el chip!

¿Puedo enviar más de un módulo?

¡Sí! Puedes enviar más de un proyecto, siempre que cada uno cumpla con todos los requisitos y se envíe de forma organizada e independiente (por ejemplo, en carpetas o archivos `.zip` separados, uno por módulo).

## English Version

Do you design in Verilog? Would you like to see your project fabricated in real silicon?

This is your chance to be part of Siliccluster, a collaborative chip that integrates simple digital modules from the community.

Who can participate?

Students, makers, teachers, engineers, self-learners... Everyone is welcome!

Completely free participation.

Send your module to: [siliccluster@gmail.com](mailto:siliccluster@gmail.com)

Deadline: Sunday, August 3rd, 2025

Your submission must include:

- `.v` file with the Verilog module
- `.pdf` file including:
  - Your full name (for credits)

- Project name
- Short description of the module's function
- Block diagram or truth table (if applicable)
- Functional testbench to validate the design

WARNING: The testbench is key to verify your module after fabrication.

Module specifications:

- Max area: 150 × 150 μm
- Up to 10 inputs, 10 outputs
- 1 clock signal
- Verilog 2005
- No loops (`for`, `generate`, etc.)
- Fabrication technology: Sky130 PDK
- Estimated: ~500 logic gates max

Valid example modules:

- 8-bit adder
- Binary counter
- 4:1 Mux
- LFSR
- Encoder / decoder
- Sequence detector
- Simple FSM

This is not a competition - If your module meets the specs, we'll include it in the chip!

Can I submit more than one module?

Yes! You can submit multiple modules, as long as each one meets all the requirements and is sent separately and clearly organized (for example, one folder or `.zip` file per module).